



(12) 发明专利申请

(10) 申请公布号 CN 104682340 A

(43) 申请公布日 2015. 06. 03

(21) 申请号 201310633004. 9

(22) 申请日 2013. 11. 28

(71) 申请人 西安国龙竹业科技有限公司

地址 710075 陕西省西安市高新区科技路

39 号亚美大厦聚源阁 1102 室

(72) 发明人 沈建荣

(74) 专利代理机构 西安智大知识产权代理事务

所 61215

代理人 弋才富

(51) Int. Cl.

H02H 3/20(2006. 01)

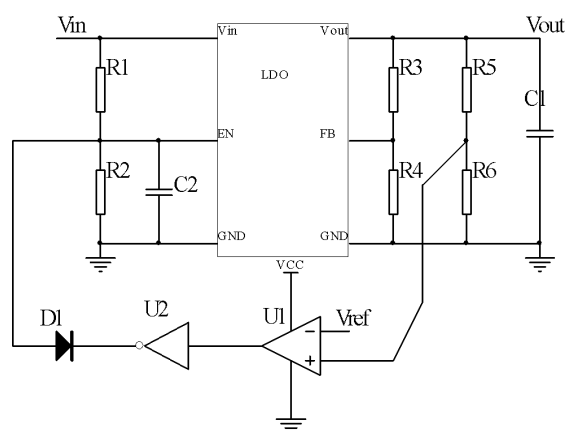
权利要求书1页 说明书2页 附图1页

(54) 发明名称

一种输出过压保护电路

(57) 摘要

一种输出过压保护电路,包括:接在 LD0 芯片的 V_{in} 端与 EN 端的电阻 R1;接在 LD0 芯片的 EN 端与 GND 端的并联的电阻 R2 和电容 C2;接在 LD0 芯片的 V_{out} 端与 FB 端的电阻 R3;接在 LD0 芯片的 FB 端与 GND 端的电阻 R4;接在 LD0 芯片的 V_{out} 端与 GND 端的电容 C1。LD0 芯片的 V_{out} 端接电阻 R5 的一端,电阻 R5 的另一端接电阻 R6 和运放 U1 的正相端,电阻 R6 的另一端接地,运放 U1 的反相端接 V_{ref} ,运放 U1 的输出端接非门 U2 的输入端,非门 U2 的输出端接二极管 D1 的阴极,二极管 D1 的阳极接 LD0 芯片的 EN 端,本发明避免了输出电压过高烧毁后级电路的风险。



1. 一种输出过压保护电路,包括:

接在 LDO 芯片的 Vin 端与 EN 端的电阻 R1;

接在 LDO 芯片的 EN 端与 GND 端的并联的电阻 R2 和电容 C2;

接在 LDO 芯片的 Vout 端与 FB 端的电阻 R3;

接在 LDO 芯片的 FB 端与 GND 端的电阻 R4;

接在 LDO 芯片的 Vout 端与 GND 端的电容 C1;

其特征在于,

LDO 芯片的 Vout 端接电阻 R5 的一端,电阻 R5 的另一端接电阻 R6 和运放 U1 的正相端,电阻 R6 的另一端接地,运放 U1 的反相端接 Vref,运放 U1 的输出端接非门 U2 的输入端,非门 U2 的输出端接二极管 D1 的阴极,二极管 D1 的阳极接 LDO 芯片的 EN 端。

一种输出过压保护电路

技术领域

[0001] 本发明属于 LD0 应用技术领域,特别涉及一种输出过压保护电路。

背景技术

[0002] LD0 是 low dropout regulator,意为低压差线性稳压器,是相对于传统的线性稳压器来说的。目前的 LD0 芯片中,由于输出过压电路不存在导致在输出有过压时,输出电压过高导致后级电路烧毁,存在电路整体烧毁的风险。

发明内容

[0003] 为了克服上述现有技术的缺点,本发明的目的在于提供一种输出过压保护电路,其主要原理是利用电阻分压特性和比较器的特性、非门的反向作用。

[0004] 为了实现上述目的,本发明采用的技术方案是:

[0005] 一种输出过压保护电路,包括:

[0006] 接在 LD0 芯片的 Vin 端与 EN 端的电阻 R1;

[0007] 接在 LD0 芯片的 EN 端与 GND 端的并联的电阻 R2 和电容 C2;

[0008] 接在 LD0 芯片的 Vout 端与 FB 端的电阻 R3;

[0009] 接在 LD0 芯片的 FB 端与 GND 端的电阻 R4;

[0010] 接在 LD0 芯片的 Vout 端与 GND 端的电容 C1;

[0011] 其特征在于,

[0012] LD0 芯片的 Vout 端接电阻 R5 的一端,电阻 R5 的另一端接电阻 R6 和运放 U1 的正相端,电阻 R6 的另一端接地,运放 U1 的反相端接 Vref,运放 U1 的输出端接非门 U2 的输入端,非门 U2 的输出端接二极管 D1 的阴极,二极管 D1 的阳极接 LD0 芯片的 EN 端。

[0013] 与现有技术相比,本发明采用分压电阻的方式和比较器、非门的反向,使得输出电压必须低于一定门限才能工作,避免了输出电压过高烧毁后级电路的风险。

附图说明

[0014] 图 1 是本发明结构示意图。

具体实施方式

[0015] 下面结合附图和实施例详细说明本发明的实施方式。

[0016] 如图 1 所示,一种输出过压保护电路,包括:接在 LD0 芯片的 Vin 端与 EN 端的电阻 R1;接在 LD0 芯片的 EN 端与 GND 端的并联的电阻 R2 和电容 C2;接在 LD0 芯片的 Vout 端与 FB 端的电阻 R3;接在 LD0 芯片的 FB 端与 GND 端的电阻 R4;接在 LD0 芯片的 Vout 端与 GND 端的电容 C1。LD0 芯片的 Vout 端接电阻 R5 的一端,电阻 R5 的另一端接电阻 R6 和运放 U1 的正相端,电阻 R6 的另一端接地,运放 U1 的反相端接 Vref,运放 U1 的输出端接非门 U2 的输入端,非门 U2 的输出端接二极管 D1 的阴极,二极管 D1 的阳极接 LD0 芯片的 EN 端。

[0017] 本方案中 R5 和 R6 组成分压电路,当 V_{out} 高于 $V_{ref} * (R5+R6)/R6$ 时,比较器输出高电平,经过非门反向后,输出低电平,拉低电源的 EN 管脚,电源关闭输出,保护后级电路。

[0018] 当 V_{out} 低于 $V_{ref} * (R5+R6)/R6$ 时,比较器输出低电平,经过非门反向后,输出高电平,二极管截止,不影响 EN 管脚电平,电源正常启动和正常工作。

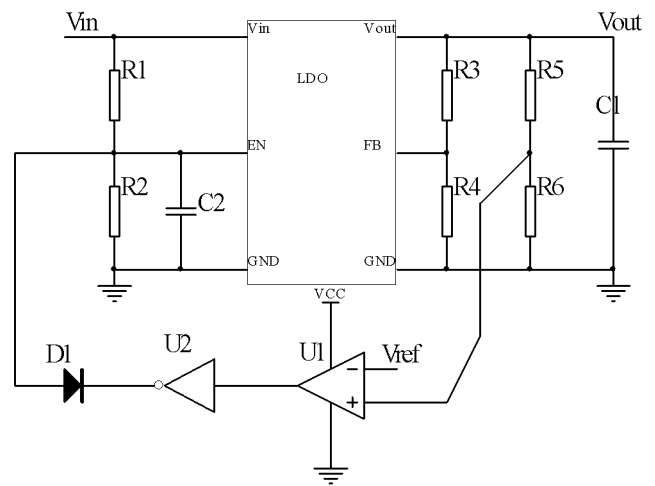


图 1