



(12)发明专利

(10)授权公告号 CN 106356337 B

(45)授权公告日 2020.04.14

(21)申请号 201510422648.2

(22)申请日 2015.07.17

(65)同一申请的已公布的文献号

申请公布号 CN 106356337 A

(43)申请公布日 2017.01.25

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72)发明人 肖莉红

(74)专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 21/8238(2006.01)

H01L 21/336(2006.01)

H01L 21/205(2006.01)

(56)对比文件

CN 103839800 A, 2014.06.04, 说明书第0033-0042段、附图1.

US 2014/0273530 A1, 2014.09.18, 全文.

CN 101584030 A, 2009.11.18, 说明书第5页第3段-第12页第1段、附图10-17.

审查员 张海洋

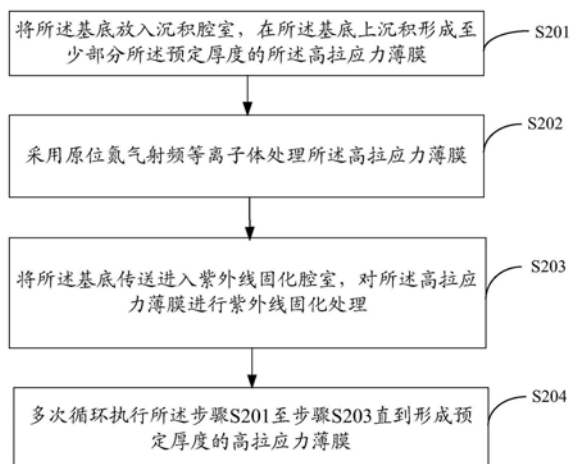
权利要求书1页 说明书5页 附图1页

(54)发明名称

一种半导体器件的制造方法

(57)摘要

本发明提供一种半导体器件的制造方法,涉及半导体技术领域。所述方法包括:提供基底,在基底上形成预定厚度的高拉应力薄膜,其中,形成高拉应力薄膜的方法包括以下步骤:步骤S1:将基底放入沉积腔室,在基底上沉积形成至少部分预定厚度的高拉应力薄膜;步骤S2:采用原位氮气射频等离子体处理高拉应力薄膜;步骤S3:将基底传送进入紫外线固化腔室,对所述高拉应力薄膜进行紫外线固化处理,以提高所述高拉应力薄膜的拉应力;步骤S4:多次循环执行所述步骤S1至步骤S3直到形成预定厚度的高拉应力薄膜。本发明的制造方法可制作出具有高拉应力的接触孔刻蚀停止层,且该接触孔刻蚀停止层的表面上很少甚至没有其他微小的颗粒杂质沉积。



1. 一种半导体器件的制造方法,所述方法包括:

提供基底,在所述基底上形成预定厚度的高拉应力薄膜,其中,形成所述高拉应力薄膜的方法包括以下步骤:

步骤S1:将所述基底放入沉积腔室,在所述基底上沉积形成至少部分所述预定厚度的所述高拉应力薄膜;

步骤S2:采用原位氮气射频等离子体处理所述高拉应力薄膜,在原位氮气射频等离子体处理中,氮的等离子体与所述高拉应力薄膜中的H-和HO-悬挂键反应,用于增强高拉应力薄膜的拉应力,同时用于减少微小的颗粒杂质在高拉应力薄膜上的沉积;

步骤S3:将所述基底传送进入紫外线固化腔室,对所述高拉应力薄膜进行紫外线固化处理,以提高所述高拉应力薄膜的拉应力,其中,在所述紫外线固化处理之前和/或之后还包括进行氮气吹扫的步骤;

步骤S4:多次循环执行所述步骤S1至步骤S3直到形成预定厚度的高拉应力薄膜。

2. 根据权利要求1所述的制造方法,其特征在于,所述高拉应力薄膜为接触孔刻蚀停止层。

3. 根据权利要求2所述的制造方法,其特征在于,所述接触孔刻蚀停止层的材料包括氮化硅。

4. 根据权利要求1所述的制造方法,其特征在于,在所述步骤S1中,沉积形成所述高拉应力薄膜之前,还包括进行氮气吹扫的步骤。

5. 根据权利要求1所述的制造方法,其特征在于,在所述步骤S1中,所述沉积采用等离子体增强化学气相沉积工艺。

6. 根据权利要求5所述的制造方法,其特征在于,在所述步骤S2中还包括向所述沉积腔室内通入惰性气体的步骤。

7. 根据权利要求6所述的制造方法,其特征在于,所述原位氮气射频等离子体处理的工艺参数包括:氮气流量范围为10000~15000sccm,惰性气体流量范围为10000~15000sccm,温度范围为350~450℃,所述沉积腔室内压力范围为6~10 Torr,射频功率范围为50~150watt,射频时间范围为5~15s。

8. 根据权利要求6或7所述的制造方法,其特征在于,所述惰性气体选自氦气、氖气、氩气、氪气、氙气、氡气中的一种或几种。

9. 根据权利要求1所述的制造方法,其特征在于,所述紫外线固化处理的温度范围为320~430℃。

一种半导体器件的制造方法

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件的制造方法。

背景技术

[0002] 在现代CMOS器件的制造中,尤其是针对90nm以下薄膜技术工艺,人们引入了很多方法用于提高载流子的电迁移率。其中对于NMOS器件制造工艺中,通常采用高拉应力的氮化硅作为接触孔刻蚀停止层(Contact Etch Stop Layer,简称CESL),通过其高拉应力来改变NMOS沟道中的应力状况,从而提高其电子迁移率。

[0003] 为了能够获得更高拉应力的氮化硅(Si_3N_4)薄膜,目前通常采用多次循环执行薄氮化硅沉积和紫外线照射固化的方法来制备高拉应力的氮化硅薄膜以作为层间介电层(Inter-Layer Dielectric,简称ILD)的接触孔刻蚀停止层。然而,上述多次循环工艺容易遭受微小的颗粒杂质的影响,而使得制备形成的氮化硅薄膜上形成有颗粒杂质,如图1所示,图1中箭头所指的即为微小的颗粒杂质。微小的颗粒杂质可能会对后续的刻蚀和接触孔性能产生负面影响。另外,沉积和紫外线照射固化在不同的腔室内进行,因此需要将晶片在沉积腔室和紫外线照射固化腔室之间进行传输,在该传输过程中频繁的开启和关闭真空阀门是导致微小的颗粒杂质产生的根本原因。

[0004] 现有的等离子增强化学气相沉积(Plasma-enhanced Chemical Vapor Deposition,简称PECVD)工艺沉积氮化硅薄膜时,往往通过沉积后的反应气体射频净化和/或泵送惰性气体等常用方法来减少微小的颗粒杂质,然而,对于拉应力氮化硅薄膜,这些常规的方法都会导致应力的损失。

[0005] 因此,有必要提出一种新的半导体器件的制造方法,以解决上述技术问题。

发明内容

[0006] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0007] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,所述方法包括:

[0008] 提供基底,在所述基底上形成预定厚度的高拉应力薄膜,其中,形成所述高拉应力薄膜的方法包括以下步骤:

[0009] 步骤S1:将所述基底放入沉积腔室,在所述基底上沉积形成至少部分所述预定厚度的所述高拉应力薄膜;

[0010] 步骤S2:采用原位氮气射频等离子体处理所述高拉应力薄膜;

[0011] 步骤S3:将所述基底传送进入紫外线固化腔室,对所述高拉应力薄膜进行紫外线固化处理,以提高所述高拉应力薄膜的拉应力;

[0012] 步骤S4:多次循环执行所述步骤S1至步骤S3直到形成预定厚度的高拉应力薄膜。

[0013] 可选地,所述高拉应力薄膜为接触孔刻蚀停止层。

- [0014] 可选地,所述接触孔刻蚀停止层的材料包括氮化硅。
- [0015] 可选地,在所述步骤S1中,沉积形成所述高拉应力薄膜之前,还包括进行氮气吹扫的步骤。
- [0016] 可选地,在所述步骤S3中,在所述紫外线固化处理之前和/或之后还包括进行氮气吹扫的步骤。
- [0017] 可选地,在所述步骤S1中,所述沉积采用等离子体增强化学气相沉积工艺。
- [0018] 可选地,在所述步骤S2中还包括向所述沉积腔室内通入惰性气体的步骤。
- [0019] 可选地,所述原位氮气射频等离子体处理的工艺参数包括:氮气流量范围为10000~15000sccm,惰性气体流量范围为10000~15000sccm,温度范围为350~450℃,所述沉积腔室内压力范围为6~10Torr,射频功率范围为50~150watt,射频时间范围为5~15s。
- [0020] 可选地,所述惰性气体选自氦气、氖气、氩气、氪气、氙气、氡气中的一种或几种。
- [0021] 可选地,所述紫外线固化处理的温度范围为320~430℃。
- [0022] 综上所述,本发明的半导体器件的制造方法通过多次循环执行沉积、氮气射频等离子体处理、紫外线固化以及氮气吹扫,可制作出具有高拉应力的接触孔刻蚀停止层,且该接触孔刻蚀停止层的表面上很少甚至没有其他微小的颗粒杂质沉积,因此,采用本发明的制造方法可显著提高器件的性能和良率。

附图说明

- [0023] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。
- [0024] 附图中:
- [0025] 图1为现有接触孔刻蚀停止层上形成的微小的颗粒杂质的示意图;
- [0026] 图2为本发明的一个实施例的一种高拉应力薄膜的制造方法的示意性流程图。

具体实施方式

[0027] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0028] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0029] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另

一个元件、部件、区、层或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0030] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向（旋转90度或其它取向）并且在此使用的空间描述语相应地被解释。

[0031] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

[0032] 这里参考作为本发明的理想实施例（和中间结构）的示意图的横截面图来描述发明的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0033] 为了彻底理解本发明，将在下列的描述中提出详细的步骤，以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

[0034] 下面，参照图2来描述本发明的一个实施例提出的一种半导体器件的制造方法。图2为本发明的一个实施例的一种高拉应力薄膜的制造方法的示意性流程图。

[0035] 本发明实施例提供一种半导体器件的制造方法，所述方法包括：

[0036] 首先，提供基底，所述基底可以是以下所提到的材料中的至少一种：硅、绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。在所述基底上至少形成有一个晶体管。本实施例中，所述晶体管为NMOS晶体管，包括栅极结构和位于所述栅极结构两侧的源极/漏极，以及位于栅极结构上的金属硅化物层。

[0037] 接着，在所述基底上形成预定厚度的高拉应力薄膜。本实施例中，所述高拉应力薄膜为接触孔刻蚀停止层。接触孔刻蚀停止层可以为氮化硅、氧化硅或氮氧化硅等材料。本实施例中，接触孔刻蚀停止层的材料包括氮化硅。

[0038] 在一个示例中，如图2所示，形成所述高拉应力薄膜的方法包括以下步骤：

[0039] 首先，执行步骤S201，将所述基底放入沉积腔室，在所述基底上沉积形成至少部分所述预定厚度的所述高拉应力薄膜。

[0040] 本实施例中,采用等离子体增强化学气相沉积PECVD工艺进行高拉应力薄膜的沉积。PECVD工艺具有低温、低压、高沉积速率以及能控制沉积薄膜的应力等优点。示例性地,采用PECVD工艺沉积高拉应力的氮化硅薄膜作为接触孔刻蚀停止层,其所用的反应气体包括硅烷(SiH_4)和氨气(NH_3),其中,硅烷的流量可以设置在20至200sccm之间,氨气的流量可以设置在50至300sccm之间,沉积温度可以设置在350至450℃之间,射频功率为500~2000W。然后,启动设置好的射频电源,开始沉积一层比较薄的氮化硅层。

[0041] 在一个示例中,在开始沉积之前还包括采用氮气吹扫进行吹扫的步骤,在沉积之前采用氮气吹扫沉积腔室,可净化沉积腔室内的环境,将一些杂质颗粒或气体排出,有利于后续沉积的进行,同时还有助于避免杂质颗粒等沉积在高拉应力薄膜上。

[0042] 接着,执行步骤S202,采用原位氮气射频等离子体处理所述高拉应力薄膜。

[0043] 在本步骤中,通过向沉积腔室内通入氮气和惰性气体的混合气体之后,开启射频电源,产生氮的等离子体来对步骤S1中沉积形成的氮化硅薄膜进行处理,氮的等离子体与氮化硅薄膜中的H-和H0-悬挂键反应,以增强氮化硅薄膜的拉应力,同时还可显著减少微小的颗粒杂质在氮化硅薄膜上的沉积。

[0044] 示例性地,所述原位氮气射频等离子体处理的工艺参数包括:氮气流量范围为10000~15000sccm,惰性气体流量范围为10000~15000sccm,温度范围为350~450℃,所述沉积腔室内压力范围为6~10Torr,射频功率范围为50~150watt,射频时间范围为5~15s。

[0045] 其中,所述惰性气体可以选自氦气、氖气、氩气、氪气、氙气、氡气中的一种或几种,本实施例中,较佳地惰性气体选用氩气。

[0046] 接着,执行步骤S203,将所述基底传送进入紫外线固化腔室,对所述高拉应力薄膜进行紫外线固化处理,其中,在所述紫外线固化处理之前和/或之后还包括进行氮气吹扫的步骤。

[0047] 仍然以沉积高拉应力的氮化硅接触孔刻蚀停止层为例,将所述基底传送进入紫外线固化腔室,对所述接触孔刻蚀停止层进行紫外线固化处理,其中,在所述紫外线固化处理之前和/或之后还包括进行氮气吹扫的步骤。本实施例中,较佳地为在所述紫外线固化处理之前和之后均进行氮气吹扫。氮气吹扫除了可以净化紫外线固化腔室内的工作环境外,还可以减少接触孔刻蚀停止层上的微小颗粒杂质的沉积。

[0048] 本实施例中,采用波长范围320nm~400nm的紫外线照射以固化氮化硅薄膜,将氮化硅薄膜转变为具有高拉应力的氮化硅薄膜,紫外线固化处理的温度范围为320~430℃,紫外线固化的时间以实际工艺进行确定,例如时间可以为5至20min。利用紫外线固化可以去除氮化硅薄膜中的氢,形成新的高拉应力的Si-N膜,产生高拉应力的氮化硅薄膜。

[0049] 最后,执行步骤S204,多次循环执行所述步骤S201至步骤S203直到形成预定厚度的高拉应力薄膜。本步骤中,根据实际工艺需要沉积的高拉应力薄膜的厚度设定需要循环多少次,例如,可循环执行1次、2次、3次、4次、5次等,在此不作具体限制。高拉应力的接触孔刻蚀停止层可提高NMOS的电子迁移率,进而提高器件的性能。

[0050] 上述步骤仅仅示出了高拉应力接触孔刻蚀停止层的制作步骤,之后还包括其他一些半导体器件的制作步骤,例如,在接触孔刻蚀停止层的表面上形成层间介电层,在对层间介电层和接触孔刻蚀停止层进行刻蚀形成接触孔,采用金属填充该接触孔形成金属接触等步骤。

[0051] 上述形成高拉应力薄膜的方法不仅仅适应于由氮化硅薄膜构成的接触孔刻蚀停止层的制作,对于其它需要使用具有高拉应力氮化硅薄膜的器件也可适用。

[0052] 综上所述,本发明的半导体器件的制造方法通过多次循环执行沉积、氮气射频等离子体处理、紫外线固化以及氮气吹扫,可制作出具有高拉应力的接触孔刻蚀停止层,且该接触孔刻蚀停止层的表面上很少甚至没有其他微小的颗粒杂质沉积,因此,采用本发明的制造方法可显著提高器件的性能和良率。

[0053] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

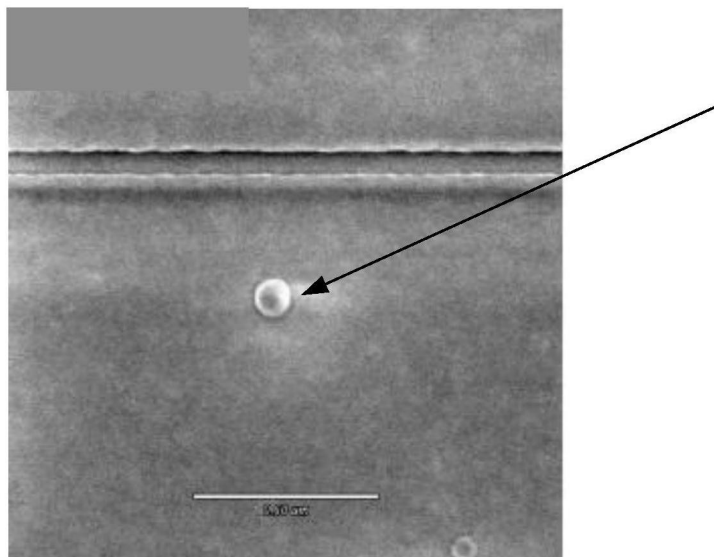


图1

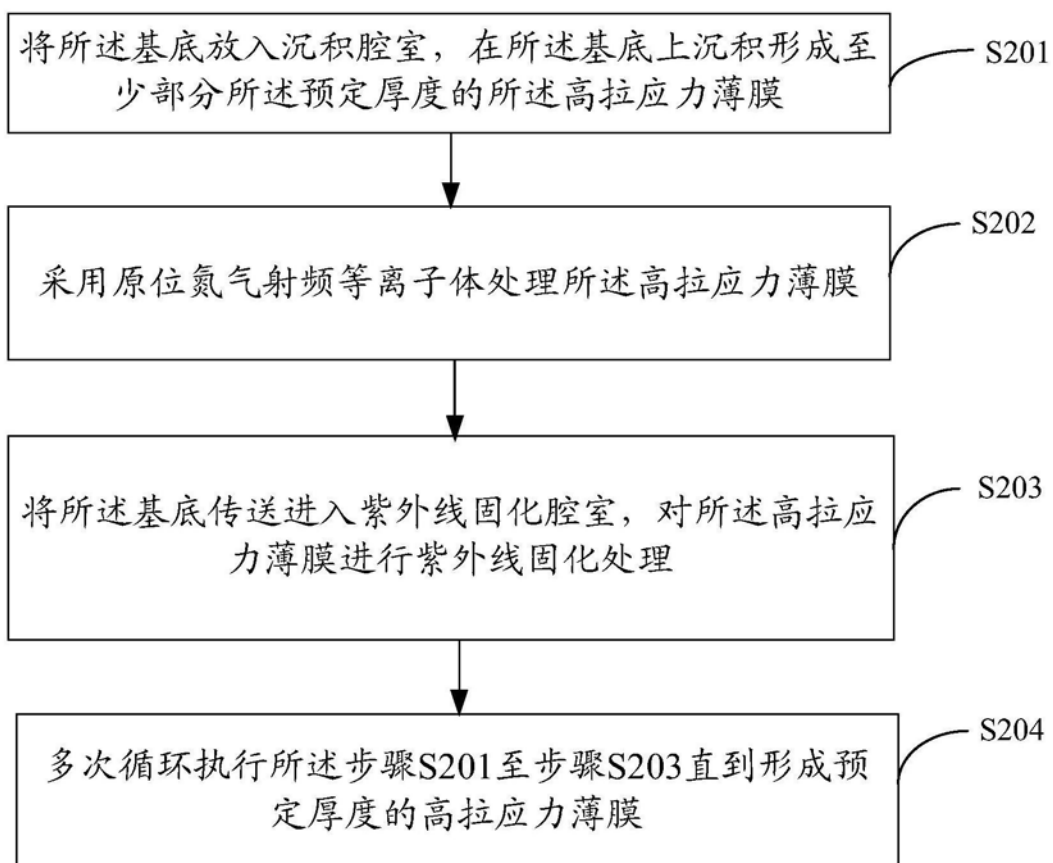


图2