

1. 一种驱动用集成电路,具备:

多输入检测电路,若被输入第一驱动信号和第二驱动信号的一方则输出第一检测信号,若被输入上述第一驱动信号和上述第二驱动信号的双方则输出第二检测信号;

第一驱动部,具有与第一负载连接的第一电流路径,若被输入上述第一驱动信号和上述第一检测信号则驱动上述第一负载的第一驱动电流流过上述第一电流路径,若被输入上述第一驱动信号和上述第二检测信号,则与被输入上述第一驱动信号和上述第一检测信号的情况相比,限制上述第一驱动电流的电流量;以及

第二驱动部,具有与第二负载连接的第二电流路径,若被输入上述第二驱动信号和上述第一检测信号则驱动上述第二负载的第二驱动电流流过上述第二电流路径,若被输入上述第二驱动信号和上述第二检测信号,则与被输入上述第二驱动信号和上述第二检测信号的情况相比,限制上述第二驱动电流的电流量。

2. 根据权利要求1所述的驱动用集成电路,其中,

上述第一驱动部通过将基于上述第一驱动信号而被控制动作的第一驱动晶体管和基于上述第一驱动信号以及上述第一检测信号、上述第二检测信号的任意一个而被控制动作的第二驱动晶体管以并联的方式电连接在上述第一电流路径上而构成,

上述第二驱动部通过将基于上述第二驱动信号而被控制动作的第三驱动晶体管和基于上述第二驱动信号以及上述第一检测信号、上述第二检测信号的任意一个而被控制动作的第四驱动晶体管以并联的方式电连接在上述第二电流路径上而构成。

3. 根据权利要求2所述的驱动用集成电路,其中,

上述第一驱动晶体管、上述第二驱动晶体管、上述第三驱动晶体管、上述第四驱动晶体管均由第一绝缘栅型场效应晶体管构成,

上述多输入检测电路构成为包含对具有比上述第一绝缘栅型场效应晶体管的栅极长度尺寸小的栅极长度尺寸的第二绝缘栅型场效应晶体管进行组合而成的逻辑积电路以及逻辑和电路。

4. 一种驱动用集成电路,具备:

多输入检测电路,若被输入多个驱动信号中的一个驱动信号则输出第一检测信号,若被输入两个以上的驱动信号,则输出第二检测信号;和

驱动电路,具有与多个负载分别独立连接的多个电流路径,若被输入上述一个驱动信号和上述第一检测信号,则与上述一个驱动信号对应的驱动一个负载的驱动电流流过一个电流路径,若被输入上述两个以上的驱动信号和上述第二检测信号,则与被输入上述一个驱动信号和上述第一检测信号的情况相比,与上述两个以上的驱动信号对应的分别驱动两个以上的负载的两个以上的驱动电流的电流量在两个以上的电流路径中受到限制。

5. 一种驱动系统,具备:

权利要求1~权利要求3中任意一项所述的驱动用集成电路;

开关电路,配置在上述多输入检测电路与电源之间,分别选择从上述电源向上述多输入检测电路输入的上述第一驱动信号和上述第二驱动信号;

上述第一负载,经由上述第一电流路径与上述第一驱动部连接;以及

上述第二负载,经由上述第二电流路径与上述第二驱动部连接。

驱动用集成电路以及驱动系统

技术领域

[0001] 本发明涉及驱动用集成电路以及驱动系统,特别是涉及驱动多个负载的驱动用集成电路以及包含该驱动用集成电路和多个负载而构建的驱动系统。

背景技术

[0002] 在下述专利文献1中,公开了过电流保护装置。过电流保护装置在外部输入端子与外部输出端子之间具备驱动晶体管、过电流限制电路以及过电流检测电路。驱动晶体管驱动负载。过电流限制电路控制驱动晶体管的栅极电压,并利用该过电流限制电路限制过电流。另一方面,在过电流检测电路中,检测流过驱动晶体管的源极区域与漏极区域之间的电流,并控制栅极电压。

[0003] 若多个负载同时驱动,则驱动电流量增大,且产生电流过热。在使用上述过电流保护装置限制过电流的情况下,分别驱动多个负载的多个驱动晶体管的每一个都需要过电流限制电路和过电流检测电路。因此,过电流保护装置的电路规模随着负载数的增加而增大,所以存在改善的余地。

[0004] 专利文献1:日本专利5434170号公报

发明内容

[0005] 本发明考虑上述情况,提供一种能够有效地限制驱动多个负载的驱动电流,并且能够减小电路规模的驱动用集成电路以及驱动系统。

[0006] 本发明的第一实施方式的驱动用集成电路具备:多输入检测电路,若被输入第一驱动信号和第二驱动信号的一方则输出第一检测信号,若被输入第一驱动信号和第二驱动信号的双方则输出第二检测信号;第一驱动部,具有与第一负载连接的第一电流路径,若被输入第一驱动信号和第一检测信号,则驱动第一负载的第一驱动电流流过第一电流路径,若被输入第一驱动信号和第二检测信号,则限制第一驱动电流的电流量;以及第二驱动部,具有与第二负载连接的第二电流路径,若被输入第二驱动信号和第一检测信号,则驱动第二负载的第二驱动电流流过第二电流路径,若被输入第二驱动信号和第二检测信号,则限制第二驱动电流的电流量。

[0007] 第一实施方式的驱动用集成电路具备多输入检测电路、第一驱动部以及第二驱动部。在多输入检测电路中,若被输入第一驱动信号和第二驱动信号的一方,则输出第一检测信号。另外,在多输入检测电路中,若被输入第一驱动信号和第二驱动信号的双方,则输出第二检测信号。

[0008] 第一驱动部具有与第一负载连接的第一电流路径。在第一驱动部中,若被输入第一驱动信号和第一检测信号,则驱动第一负载的第一驱动电流流过第一电流路径,若被输入第一驱动信号和第二检测信号,则限制第一驱动电流的电流量。

[0009] 第二驱动部具有与第二负载连接的第二电流路径。在第二驱动部中,若被输入第二驱动信号和第一检测信号,则驱动第二负载的第二驱动电流流过第二电流路径,若被输

入第二驱动信号和第二检测信号,则限制第二驱动电流的电流流量。

[0010] 这里,驱动用集成电路针对多个第一驱动部以及第二驱动部具备一个多输入检测电路。能够在通过该多输入检测电路输入了多个第一驱动信号以及第二驱动信号时,限制第一驱动电流或者第二驱动电流的电流流量。

[0011] 在本发明的第二实施方式的驱动用集成电路中,在第一实施方式的驱动用集成电路中,第一驱动部通过将基于第一驱动信号而被控制动作的第一驱动晶体管和基于第一驱动信号以及第一检测信号、第二检测信号的任意一个而被控制动作的第二驱动晶体管在以并联的方式电连接第一电流路径上而构成,第二驱动部通过将基于第二驱动信号而被控制动作的第三驱动晶体管和基于第二驱动信号以及第一检测信号、第二检测信号的任意一个而被控制动作的第四驱动晶体管以并联的方式电连接在第二电流路径上而构成。

[0012] 根据第二实施方式的驱动用集成电路,第一驱动部通过将第一驱动晶体管和第二驱动晶体管以并联的方式电连接在第一电流路径上而构成。在第一驱动晶体管中基于第一驱动信号而被控制动作。在第二驱动晶体管中基于第一驱动信号以及第一检测信号、第二检测信号的任意一个而被控制动作。在第一驱动部中,基于第一驱动信号和第一检测信号,第一驱动晶体管和第二驱动晶体管动作,且第一驱动电流流过第一电流路径。另一方面,由于在第一驱动部中,基于第一驱动信号和第二检测信号,第一驱动晶体管动作而第二驱动晶体管不动作,所以流过第一电流路径的第一驱动电流受到限制。

[0013] 另外,第二驱动部通过将第三驱动晶体管和第四驱动晶体管以并联的方式电连接在第二电流路径上而构成。在第三驱动晶体管中基于第二驱动信号而被控制动作。在第四驱动晶体管中基于第二驱动信号以及第一检测信号、第二检测信号的任意一个而被控制动作。在第二驱动部中,基于第二驱动信号和第一检测信号,第三驱动晶体管和第四驱动晶体管动作,第二驱动电流流过第二电流路径。另一方面,在第二驱动部中,由于基于第二驱动信号和第二检测信号,第三驱动晶体管动作而第四驱动晶体管不动作,所以流过第二电流路径的第二驱动电流受到限制。

[0014] 在本发明的第三实施方式的驱动用集成电路中,在第二实施方式的驱动用集成电路中,第一驱动晶体管、第二驱动晶体管、第三驱动晶体管、第四驱动晶体管均由第一绝缘栅型场效应晶体管构成,多输入检测电路构成为包含对具有比第一绝缘栅型场效应晶体管的栅极长度尺寸小的栅极长度尺寸的第二绝缘栅型场效应晶体管进行组合而成的逻辑积电路以及逻辑和电路。

[0015] 根据第三实施方式的驱动用集成电路,第一驱动部的第一驱动晶体管和第二驱动晶体管、第二驱动部的第三驱动晶体管和第四驱动晶体管均由第一绝缘栅型场效应晶体管构成。另一方面,多输入检测电路构成为包含对第二绝缘栅型场效应晶体管进行组合而成的逻辑积电路以及逻辑和电路。

[0016] 这里,将第二绝缘栅型场效应晶体管的栅极长度尺寸设定为比第一绝缘栅型场效应晶体管的栅极长度尺寸小。因此,能够减小多输入检测电路的电路规模。

[0017] 本发明的第四实施方式的驱动用集成电路具备:多输入检测电路,若被输入多个驱动信号中的一个驱动信号,则输出第一检测信号,若被输入两个以上的驱动信号则输出第二检测信号;和驱动电路,具有与多个负载分别独立连接的多个电流路径,若被输入一个驱动信号和第一检测信号,则与一个驱动信号对应的驱动一个负载的驱动电流流过一个电

流路径,若被输入两个以上的驱动信号以及第二检测信号则与两个以上的驱动信号对应的分别驱动两个以上的负载的两个以上的驱动电流的电流在两个以上的电流路径中受到限制。

[0018] 本发明的第四实施方式的驱动用集成电路具备多输入检测电路和驱动电路。在多输入检测电路中,若被输入一个驱动信号,则输出第一检测信号。另外,在多输入检测电路中,若被输入两个以上的驱动信号,则输出第二检测信号。

[0019] 驱动电路具有与多个负载分别独立连接的多个电流路径。在驱动电路中,若被输入一个驱动信号和第一检测信号,则与一个驱动信号对应的驱动一个负载的驱动电流流过一个电流路径。另外,在驱动电路中,若被输入两个以上的驱动信号以及第二检测信号,则与两个以上的驱动信号对应的分别驱动两个以上的负载的两个以上的驱动电流的电流在两个以上的电流路径中受到限制。

[0020] 这里,驱动用集成电路针对多个电流路径具备一个多输入检测电路。在通过该多输入检测电路输入了两个以上的驱动信号时,在两个以上的电流路径中两个以上的驱动电流的电流受到限制。

[0021] 本发明的第五实施方式的驱动系统具备:第一实施方式~第三实施方式中任意一项的一个驱动用集成电路;开关电路,配置在多输入检测电路与电源之间,分别选择从电源向多输入检测电路输入的第一驱动信号和第二驱动信号;第一负载,经由第一电流路径与第一驱动部连接;以及第二负载,经由第二电流路径与第二驱动部连接。

[0022] 第五实施方式的驱动系统具备第一实施方式~第三实施方式中任意一项的一个驱动用集成电路、开关电路、第一负载以及第二负载。因此,能够包含通过驱动用集成电路得到的作用来构建驱动系统。

[0023] 本发明的驱动用集成电路以及驱动系统具有能够有效地限制驱动多个负载的驱动电流,并且能够减小电路规模的优异的效果。

附图说明

[0024] 图1是本发明的一实施方式的驱动用集成电路以及包含该驱动用集成电路而构成的驱动系统的电路框图。

[0025] 图2是构建图1所示的驱动用集成电路的多输入检测电路的逻辑电路图。

[0026] 图3是表示向图2所示的多输入检测电路输入的驱动信号和从多输入检测电路输出的检测信号的关系的图(真理值表)。

[0027] 图4是构建图1所示的驱动用集成电路的驱动电路的驱动部的电路图。

具体实施方式

[0028] 以下,使用图1~图4,对本发明的一实施方式的驱动用集成电路以及驱动系统进行说明。

[0029] (驱动系统的结构)

[0030] 如图1所示,本实施方式的驱动系统1构成为包含作为半导体集成电路的驱动用集成电路50、组入驱动用集成电路50的输入侧的开关电路10、以及组入驱动用集成电路50的输出侧的负载40。

[0031] 在本实施方式中,开关电路10具备6个开关元件11~16。开关元件11~16的每一个的一端与电源电压Vcc1连接。电源电压Vcc1例如从车载用电池经由省略了图示的电源电路调整为电路动作所需要的电压,例如被设定为5V。从电源电压Vcc1供给的电压作为经由开关电路10输入至驱动用集成电路50的驱动信号S(S1~S6)来使用。

[0032] 开关元件11~16的另一端分别与驱动用集成电路50的输入端子I1~I6连接。即,开关元件11的另一端与输入端子I1连接。以下,同样地,开关元件12的另一端与输入端子I2连接,开关元件13的另一端与输入端子I3连接,开关元件14的另一端与输入端子I4连接,开关元件15的另一端与输入端子I5连接,开关元件16的另一端与输入端子I6连接。

[0033] 负载40具备通过选择开关元件11~16的任意一个而被驱动的6个第一负载41~第六负载46。若详细说明,若选择开关元件11则第一负载41被驱动,若选择开关元件12则第二负载42被驱动。以下,同样地,若选择开关元件13则第三负载43被驱动,若选择开关元件14则第四负载44被驱动,若选择开关元件15则第五负载被驱动,若选择开关元件16则第六负载46被驱动。在本实施方式中,第一负载41~第六负载46分别使用发光二极管(LED:Light Emitting Diode)。

[0034] 在第一负载41~第六负载46的每一个的阳极区域连接有电源电压Vcc2。电源电压Vcc2与电源电压Vcc1相同,例如被设定为5V。第一负载41~第六负载46的每一个的阴极区域分别经由第一电流路径311~第六电流路径316与驱动用集成电路50的输出端子O1~O6连接。

[0035] (驱动用集成电路的结构)

[0036] 驱动用集成电路50包含多输入检测电路20和驱动电路30而构成。多输入检测电路20的省略了附图标记的多个输入端子分别与驱动用集成电路50的输入端子I1~I6连接。若选择开关电路10的开关元件11(导通动作),则向输入端子I1输入由电源电压Vcc1生成的第一驱动信号S1。该第一驱动信号S1被输入至多输入检测电路20。同样地,若选择开关元件12,向输入端子I2输入第二驱动信号S2,若选择开关元件13则向输入端子I3输入第三驱动信号S3,若选择开关元件14则向输入端子I4输入第四驱动信号S4。进一步,若选择开关元件15则向输入端子I5输入第五驱动信号S5,若选择开关元件16则向输入端子I6输入第六驱动信号S6。

[0037] 另外,多输入检测电路20的同样省略了附图标记的多个输出端子与驱动电路30连接。在多输入检测电路20中,例如在选择了开关元件11时,第一驱动信号S1和检测信号Sm成为一对被输出至驱动电路30。这里,检测信号Sm是表示检测出多个第一驱动信号S1~第六驱动信号S6中的一个驱动信号S例如第一驱动信号S1的结果的第一检测信号、或者是表示同时检测出两个以上的驱动信号S例如第一驱动信号S1和第二驱动信号S2的结果的第二检测信号。此外,对于多输入检测电路20的具体的电路结构在后面进行说明。

[0038] 在这里,驱动电路30与负载40的第一负载41~第六负载46对应地具备6个第一驱动部31~第六驱动部36。第一驱动部31的省略了附图标记的输入端子与多输入检测电路20连接,第一驱动部31的同样省略了附图标记的输出端子与输出端子O1连接,经由该输出端子O1与第一负载41连接。从多输入检测电路20向第一驱动部31输出第一驱动信号S1以及检测信号Sm。在第一驱动部31中驱动第一负载41的第一驱动电流Id1经由第一电流路径311流动。

[0039] 以下,同样地,第二驱动部32的输入端子与多输入检测电路20连接,第二驱动部32的输出端子经由输出端子02与第二负载42连接。在第二驱动部32中驱动第二负载42的第二驱动电流 I_{d2} 经由第二电流路径312流动。第三驱动部33的输入端子与多输入检测电路20连接,第三驱动部33的输出端子经由输出端子03与第三负载43连接。在第三驱动部33中驱动第三负载43的第三驱动电流 I_{d3} 经由第三电流路径313流动。第四驱动部34的输入端子与多输入检测电路20连接,第四驱动部34的输出端子经由输出端子04与第四负载44连接。在第四驱动部34中驱动第四负载44的第四驱动电流 I_{d4} 经由第四电流路径314流动。第五驱动部35的输入端子与多输入检测电路20连接,第五驱动部35的输出端子经由输出端子05与第五负载45连接。在第五驱动部35中驱动第五负载45的第五驱动电流 I_{d5} 经由第五电流路径315流动。而且,第六驱动部36的输入端子与多输入检测电路20连接,第六驱动部36的输出端子经由输出端子06与第六负载46连接。在第六驱动部36中驱动第六负载46的第六驱动电流 I_{d6} 经由第六电流路径316流动。

[0040] (多输入检测电路的结构)

[0041] 如图2所示,多输入检测电路20组合多个逻辑电路而构成。即,多输入检测电路20包含多个“非”逻辑(NOT)电路221~226、230;多个逻辑积(AND)电路201、204、208~211;以及多个逻辑和(OR)电路202、203、205~207而构成。逻辑积电路201、204是3输入。逻辑积电路208~211是2输入。

[0042] 若详细说明,首先,逻辑初级的输入端子I1连接有输入的“非”逻辑电路221的输出与图1所示的第一驱动部31连接,并与图2所示的逻辑和电路202的输入连接,并且,与逻辑积电路210的输入连接。输入端子I2连接有输入的“非”逻辑电路222的输出与第二驱动部32连接,并与逻辑和电路205的输入连接,并且,与逻辑积电路209的输入连接。输入端子I3连接有输入的“非”逻辑电路223的输出与第三驱动部33连接,并与逻辑和电路206的输入连接,并且,与逻辑积电路208的输入连接。输入端子I4连接有输入的“非”逻辑电路224的输出与第四驱动部34连接,并与逻辑和电路202的输入连接,并且,与逻辑积电路210的输入连接。输入端子I5连接有输入的“非”逻辑电路225的输出与第五驱动部35连接,并与逻辑和电路203的输入连接,并且,与逻辑积电路211的输入连接。输入端子I6连接有输入的“非”逻辑电路226的输出与第六驱动部36连接,并与逻辑和电路203的输入连接,并且,与逻辑积电路211的输入连接。

[0043] 逻辑下一级以下的逻辑积电路210的输出与逻辑和电路206的输入连接,并且,与逻辑积电路208的输入连接。逻辑积电路211的输出与逻辑和电路205的输入连接,并且,与逻辑积电路209的输入连接。逻辑积电路208的输出以及逻辑积电路209的输出与逻辑和电路207的输入连接,该逻辑和电路207的输出与逻辑积电路204的输入连接。逻辑和电路205的输出以及逻辑和电路206的输出与逻辑积电路204的输入连接,逻辑积电路204的输出与逻辑积电路201的输入连接。逻辑和电路202的输出以及逻辑和电路203的输出与逻辑积电路201的输入连接。而且,逻辑积电路201的输出与逻辑最后级的“非”逻辑电路230连接。“非”逻辑电路230向驱动电路30的第一驱动部31~第六驱动部36分别输出检测信号 S_m 。

[0044] 图3中示出了向多输入检测电路20输入的驱动信号S与从多输入检测电路20输出的检测信号 S_m 的关系(真理值表)。在多输入检测电路20中,输入多个第一驱动信号 S_1 ~第六驱动信号 S_6 中的一个驱动信号S,例如若输入“1(高电平)”的第一驱动信号 S_1 ,则输出作

为“0(低电平)”的第一检测信号的检测信号 S_m 。另一方面,在多输入检测电路20中,若输入多个第一驱动信号 $S_1 \sim$ 第六驱动信号 S_6 中的两个以上的驱动信号 S ,例如“1”的第一驱动信号 S_1 以及第二驱动信号 S_2 ,则输出作为“1”的第二检测信号的检测信号 S_m 。此外,多输入检测电路20在多个第一驱动信号 $S_1 \sim$ 第六驱动信号 S_6 全部为“0”时,输出作为“0”的第一检测信号的检测信号 S_m 。

[0045] (驱动电路的驱动部的结构)

[0046] 由于图1所示的驱动电路30的第一驱动部31~第六驱动部36各自的结构全部为相同的结构,所以仅对第一驱动部31的结构进行说明。如图4所示,第一驱动部31包含在第一驱动电流 I_{d1} 流入第一负载41的第一电流路径311上以并联的方式电连接的第一驱动晶体管304以及第二驱动晶体管305而构成。进一步,第一驱动部31具备第一晶体管301、第二晶体管302、第三晶体管303、第四晶体管306以及第五晶体管307而构成。

[0047] 这里,第一驱动晶体管304、第二驱动晶体管305均由n沟道导电型的绝缘栅型场效应晶体管(IGFET:Insulated Gate Field Effect Transistor)构成。该晶体管中至少包含有金属-氧化物-半导体型场效应晶体管(MOSFET:Metal Oxide Semiconductor FET)和金属-绝缘物-半导体型场效应晶体管(MISFET:Metal Insulator Semiconductor FET)。

[0048] 第一驱动晶体管304的一个主电极(漏极)经由第一电流路径311与第一负载41连接,另一个主电极(源极)经由第一电流路径311与电源电压 V_{ss} 连接。电源电压 V_{ss} 是电路动作的基准电压,例如被设定为0V。同样地,第二驱动晶体管305的一个主电极经由第一电流路径311与第一负载41连接,另一个主电极经由第一电流路径311与电源电压 V_{ss} 连接。

[0049] 第一驱动晶体管304、第二驱动晶体管305形成为比构成多输入检测电路20的各逻辑电路的晶体管,具体而言n沟道导电型场效应晶体管的导通电阻小的导通电阻。换言之,第一驱动晶体管304、第二驱动晶体管305的每一个的栅极长度(沟道宽度)尺寸被设定为比构成各逻辑电路的晶体管的栅极长度(沟道宽度)尺寸小。

[0050] 第一晶体管301、第二晶体管302均由p沟道导电型的绝缘栅型场效应晶体管构成。第三晶体管303、第四晶体管306、第五晶体管307均由n沟道导电型的场效应晶体管构成。

[0051] 第一晶体管301、第二晶体管302的每一个的一个主电极(源极)与电源电压 V_{cc3} 连接。电源电压 V_{cc3} 在这里被设定为与电源电压 V_{cc1} 、电源电压 V_{cc2} 相同的电压。第一晶体管301的另一个主电极(漏极)与第三晶体管303的一个主电极(漏极)连接。第二晶体管302的另一个主电极(漏极)与第四晶体管306的一个主电极(漏极)连接。向第一晶体管301、第二晶体管302的每一个的控制电极(栅极)输入第一驱动信号 S_1 。基于该第一驱动信号 S_1 ,来控制第一晶体管301、第二晶体管302的每一个的动作。

[0052] 第三晶体管303的另一个主电极(源极)与电源电压 V_{ss} 连接,控制电极与第二驱动晶体管305的控制电极以及第三晶体管303的一个主电极连接。第二驱动晶体管305以及第三晶体管303构成镜像电路。第四晶体管306的另一个主电极(源极)与电源电压 V_{ss} 连接,控制电极与第一驱动晶体管304的控制电极以及第四晶体管306的一个主电极连接。在这里,第一驱动晶体管304以及第四晶体管306也构成镜像电路。

[0053] 第五晶体管307将一个主电极(源极)与第一晶体管301的另一个主电极和第三晶体管303的一个主电极以及控制电极连接,将另一个主电极与电源电压 V_{ss} 连接。第五晶体管307的控制电极与多输入检测电路20连接,基于从多输入检测电路20输出的检测信号 S_m

(第一检测信号或者第二检测信号)来控制第五晶体管307的动作。

[0054] (本实施方式的作用以及效果)

[0055] 如图1所示,以上说明的本实施方式的驱动用集成电路50具备多输入检测电路20和至少第一驱动部31以及第二驱动部32。在多输入检测电路20中,如图3所示,若输入第一驱动信号S1以及第二驱动信号S2的一方则输出第一检测信号“0”。另外,在多输入检测电路20中,若输入第一驱动信号S1以及第二驱动信号S2双方则输出第二检测信号“1”。

[0056] 如图1以及图4所示,第一驱动部31具有与第一负载41连接的第一电流路径311。在第一驱动部31中,若输入第一驱动信号S1以及第一检测信号“0”,则驱动第一负载41的第一驱动电流 I_{d1} 流过第一电流路径311。

[0057] 若详细说明,图1所示的开关电路10的开关元件11导通动作,向输入端子I1输入“1”的第一驱动信号S1。如图2所示,第一驱动信号S1经由“非”逻辑电路221变成反转信号“0”,并输出至第一驱动部31,并且经由多输入检测电路20的各逻辑电路作为图3所示的第一检测信号“0”输出至第一驱动部31。

[0058] 在图4所示的第一驱动部31中,第一驱动信号S1被输入至第一晶体管301以及第二晶体管302的控制电极,第一晶体管301以及第二晶体管302进行导通动作。在这里,第五晶体管307根据第一检测信号“0”进行截止动作。由此,从电源电压 V_{cc3} 向电源电压 V_{ss} ,电流流过第一晶体管301以及第三晶体管303,并且,电流流过第二晶体管302以及第四晶体管306。

[0059] 若电流流过第四晶体管306,则构成镜像电路的第一驱动晶体管304中流过与流过第四晶体管306的电流量相同的第一驱动电流 I_{d1} 的一半的电流。此外,若电流流过第三晶体管303,则构成镜像电路的第二驱动晶体管305中流过与流过第三晶体管303的电流量相同的第一驱动电流 I_{d1} 的一半的电流。即,在第一电流路径311中,第一驱动电流 I_{d1} 流过第一驱动晶体管304以及第二驱动晶体管305。

[0060] 另一方面,在图1所示的开关电路10的开关元件11以及开关元件12双方进行导通动作时,向输入端子I1输入“1”的第一驱动信号S1,并且向输入端子I2输入“1”的第二驱动信号S2。如图2所示,第一驱动信号S1经由“非”逻辑电路221变为反转信号“0”,并被输出至第一驱动部31,并且经由多输入检测电路20的各逻辑电路作为图3所示的第二检测信号“1”输出至第一驱动部31。同样地,第二驱动信号S2经由“非”逻辑电路222成为反转信号“0”,并被输出至第二驱动部32,并且经由多输入检测电路20的各逻辑电路作为第二检测信号“1”输出至第二驱动部32。

[0061] 在图4所示的第一驱动部31中,第一驱动信号S1被输入至第一晶体管301以及第二晶体管302的控制电极,第一晶体管301以及第二晶体管302进行导通动作。在这里,第五晶体管307基于第二检测信号“1”进行导通动作。由此,从电源电压 V_{cc3} 向电源电压 V_{ss} ,电流流过第二晶体管302以及第四晶体管306,但电流未流过第一晶体管301以及第三晶体管303。

[0062] 若电流流过第四晶体管306,则在构成镜像电路的第一驱动晶体管304中流过与流过第四晶体管306的电流量相同的第一驱动电流 I_{d1} 的一半的电流。但是,由于电流未流过第三晶体管303,所以电流也未流过第二驱动晶体管305。因此,在第一电流路径311中只有第一驱动电流 I_{d1} 的电流量的一半流过第一驱动晶体管304,所以将第一驱动电流 I_{d1} 的电

流量被限制在一半。

[0063] 在第二驱动部32中也同样地,第二驱动信号S2使第一晶体管301以及第二晶体管302进行导通动作,并且,第五晶体管307基于第二检测信号“1”进行导通动作。因此,在第二驱动部32中,由于只有第二驱动电流Id2的电流量的一半流过第二电流路径312,所以第二驱动电流Id2的电流量被限制在一半。

[0064] 在这里,驱动用集成电路50针对多个第一驱动部31以及第二驱动部32具备一个多输入检测电路20。在通过该多输入检测电路20输入了多个第一驱动信号S1以及第二驱动信号S2时,能够限制第一驱动电流Id1或者第二驱动电流Id2的电流量。因此,能够有效地限制驱动多个第一负载41以及第二负载42的第一驱动电流Id1以及第二驱动电流Id2,并且,能够减小电路规模。

[0065] 此外,在这里,对具备驱动电路30的2个第一驱动部31以及第二驱动部32、负载40的2个第一负载41以及第二负载42的每一个时的作用以及效果进行说明。在本实施方式的驱动用集成电路50中,具备3个以上的第一驱动部31等、3个以上的第一负载41等每一个时,也能够得到相同的作用以及效果。

[0066] 另外,如图4所示,在本实施方式的驱动用集成电路50中,在驱动电路30中,第一驱动部31通过将第一驱动晶体管304和第二驱动晶体管305在第一电流路径311上以并联的方式电连接而构成。在第一驱动晶体管304中基于第一驱动信号S1来控制动作。在第二驱动晶体管305中,基于第一驱动信号S1以及第一检测信号“0”、第二检测信号“1”的任意一个检测信号Sm来控制动作。在第一驱动部31中,基于第一驱动信号S1和第一检测信号“0”,第一驱动晶体管304和第二驱动晶体管305动作,第一驱动电流Id1流过第一电流路径311。另一方面,在第一驱动部31中,由于基于第一驱动信号S1和第二检测信号“1”,第一驱动晶体管304动作,第二驱动晶体管305不动作,流过第一电流路径311的第一驱动电流Id1的电流量被限制在一半。

[0067] 另外,如图1以及图4所示,第二驱动部32通过将第一(第三)驱动晶体管304和第二(第四)驱动晶体管305在第二电流路径312上以并联的方式电连接而构成。在第一驱动晶体管304中,基于第二驱动信号S2来控制动作。在第二驱动晶体管305中,基于第二驱动信号S2以及第一检测信号“0”、第二检测信号“1”的任意一个检测信号Sm来控制动作。在第二驱动部32中,基于第二驱动信号S2和第一检测信号“0”,第一驱动晶体管304以及第二驱动晶体管305动作,第二驱动电流Id2流过第二电流路径312。另一方面,由于在第二驱动部32中,基于第二驱动信号S2和第二检测信号“1”,第一驱动晶体管304动作,第二驱动晶体管305不动作,所以流过第二电流路径312的第二驱动电流Id2的电流量被限制在一半。

[0068] 进一步,在本实施方式的驱动用集成电路50中,图4所示的第一驱动部31(~第六驱动部36的每一个)的第一驱动晶体管304和第二驱动晶体管305均由第一绝缘栅型场效应晶体管构成。另一方面,图2所示的多输入检测电路20包含对第二绝缘栅型场效应晶体管进行组合而成的逻辑积电路201等以及逻辑和电路202等而构成。

[0069] 在这里,将第二绝缘栅型场效应晶体管的栅极长度尺寸设定为比第一绝缘栅型场效应晶体管的栅极长度尺寸小。因此,由于第二绝缘栅型场效应晶体管的占有面积比第一绝缘栅型场效应晶体管的占有面积小,所以能够减小多输入检测电路20的电路规模。

[0070] 另外,如图1所示,本实施方式的驱动用集成电路50具备多输入检测电路20和驱动

电路30。如图3所示,在多输入检测电路20中,若输入多个第一驱动信号S1~第六驱动信号S6中的例如一个第一驱动信号S1则输出第一检测信号“0”。另外,在多输入检测电路20中,若输入两个以上的例如第一驱动信号S1以及第二驱动信号S2,则输出第二检测信号“1”。

[0071] 如图1以及图4所示,驱动电路30具有与多个第一负载41~第六负载46分别独立连接的多个第一电流路径311~第六电流路径316。在驱动电路30中,若输入一个第一驱动信号S1和第一检测信号“0”,则与第一驱动信号S1对应的驱动第一负载41的第一驱动电流Id1流过第一电流路径311。

[0072] 另外,在驱动电路30中,输入了第一驱动信号S1、第二驱动信号S2以及第二检测信号“1”。在该情况下,与第一驱动信号S1和第二驱动信号S2对应的驱动第一负载41和第二负载42的第一驱动电流Id1和第二驱动电流Id2的电流量在第一电流路径311和第二电流路径312中受到限制。

[0073] 在这里,如图1所示,驱动用集成电路50针对多个第一电流路径311~第六电流路径316具备一个多输入检测电路20。在通过该多输入检测电路20输入了两个以上的例如第一驱动信号S1和第二驱动信号S2时,能够在第一电流路径311和第二电流路径312中限制第一驱动电流Id1和第二驱动电流Id2的电流量。

[0074] 进一步,如图1所示,本实施方式的驱动系统1具备驱动用集成电路50、开关电路10以及两个以上的第一负载41~第六负载46。因此,能够包含通过驱动用集成电路50得到的作用以及效果来构建驱动系统1。

[0075] [上述实施方式的补充说明]

[0076] 本发明并不限于上述实施方式,能够在不脱离其主旨的范围内例如进行如下的变形。例如,本发明作为负载,并不限于发光二极管,也可以是马达。另外,本发明作为驱动电路的驱动晶体管也可以使用双极晶体管。

[0077] 进一步,本发明也可以改变在驱动电路中分别流过驱动部的第一驱动晶体管、第二驱动晶体管的驱动电流的比率。例如,将分别流过第一驱动晶体管、第二驱动晶体管的驱动电流的比率设为4比6。由此,在输入了多个驱动电流时,能够在驱动部更加高效地抑制电流过热。

[0078] 另外,本发明能够应用于具有两个以上且小于6个以及7个以上的负载的驱动系统。在该情况下,驱动电路的驱动部数量与负载数量一致。

[0079] 附图标记说明

[0080] 1…驱动系统;10…开关电路;11~16…开关元件;20…多输入检测电路;30…驱动电路;31~36…驱动部;40~46…负载;50…驱动用集成电路;201、204、208~211…逻辑集成电路;202、203、205~207…逻辑和电路;221~226、230…“非”逻辑电路;301~303、306、307…晶体管;304、305…驱动晶体管;311~316…电流路径。

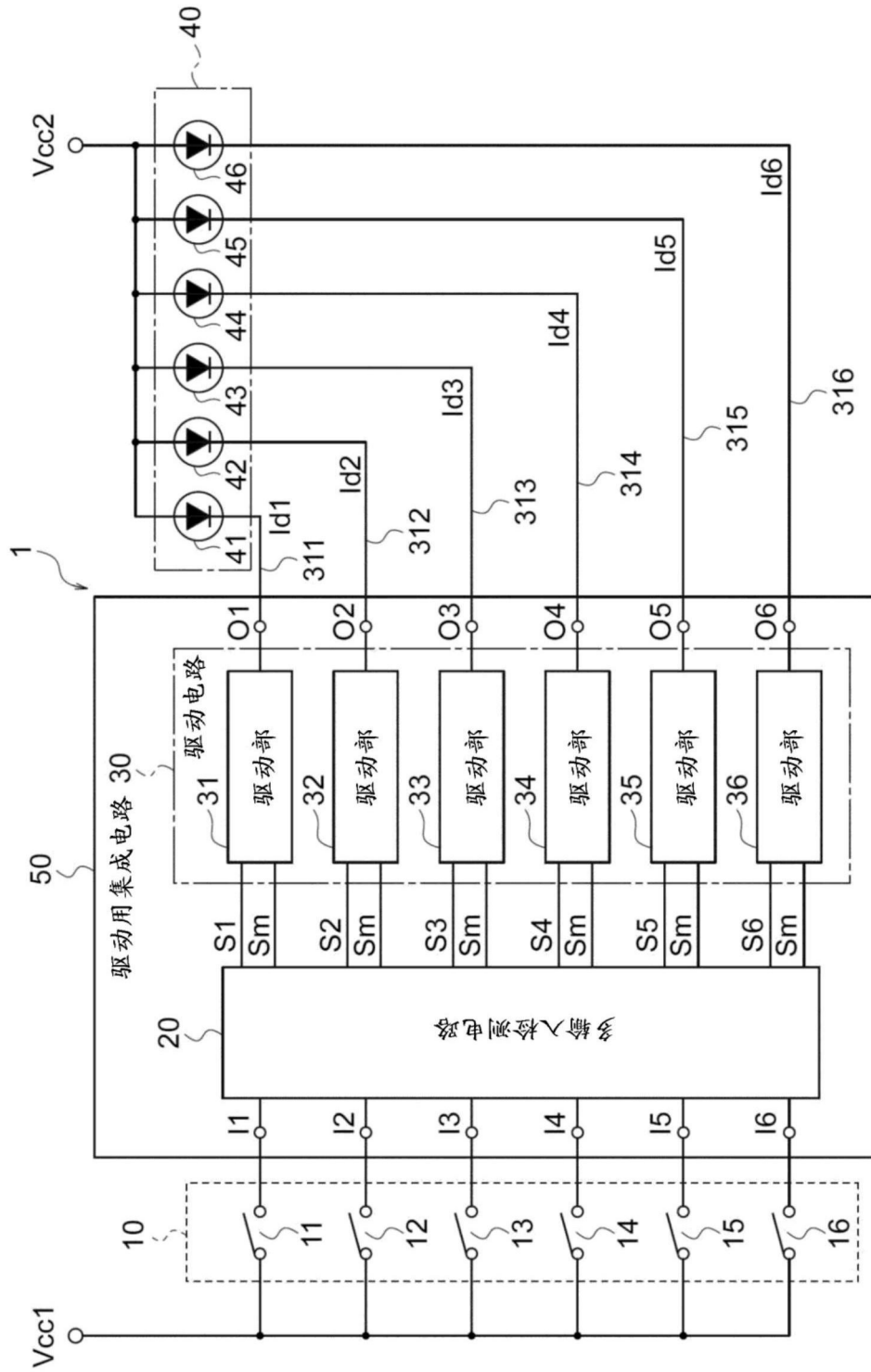


图1

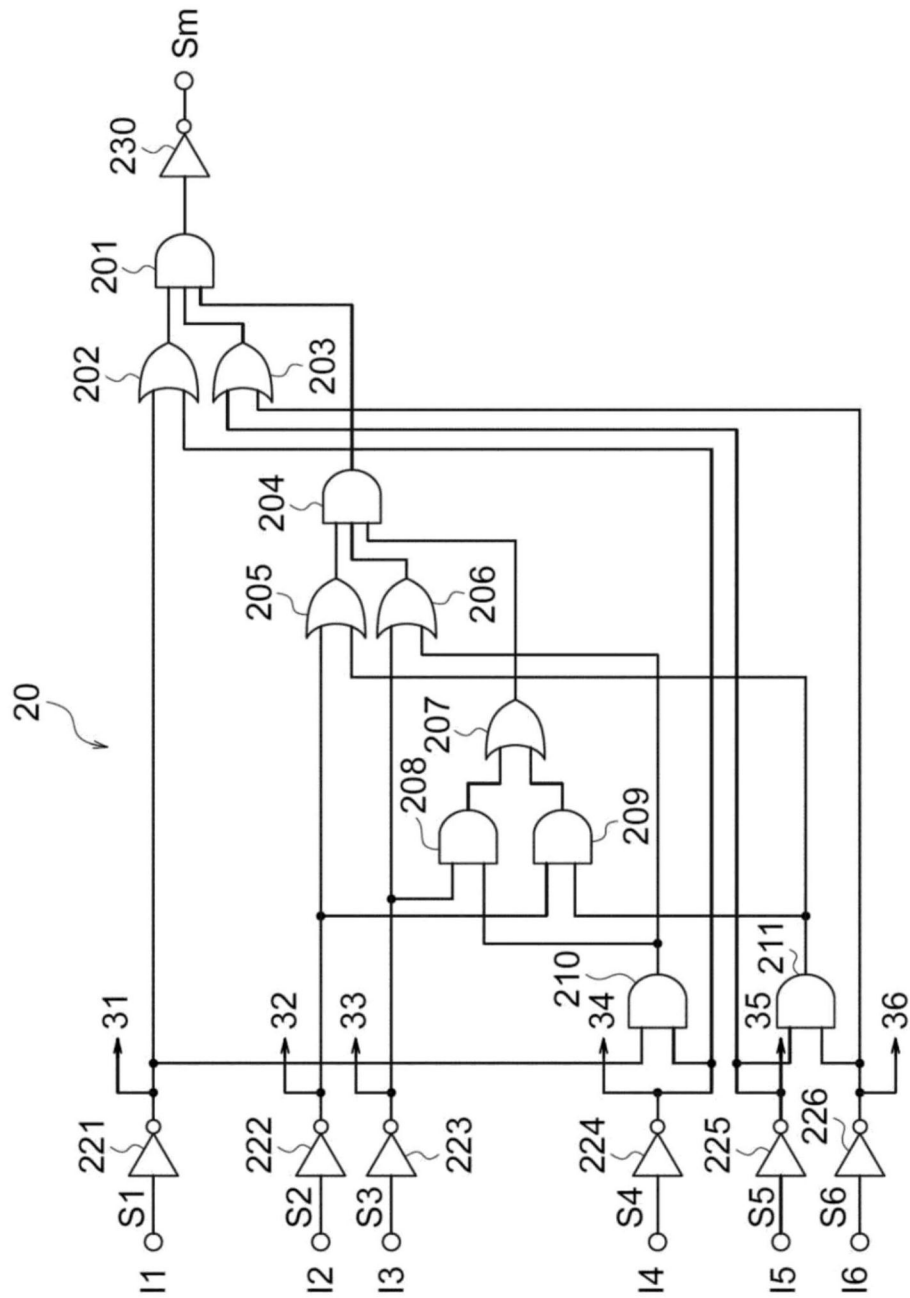


图2

驱动信号						检测信号
S1	S2	S3	S4	S5	S6	Sm
0	0	0	0	0	0	0
1	0	0	0	0	0	0
0	1	0	0	0	0	0
0	0	1	0	0	0	0
0	0	0	1	0	0	0
0	0	0	0	1	0	0
0	0	0	0	0	1	0
1	1	*	*	*	*	1
*	1	1	*	*	*	1
*	*	1	1	*	*	1
*	*	*	1	1	*	1
*	*	*	*	1	1	1

第一检测信号

第二检测信号

图3

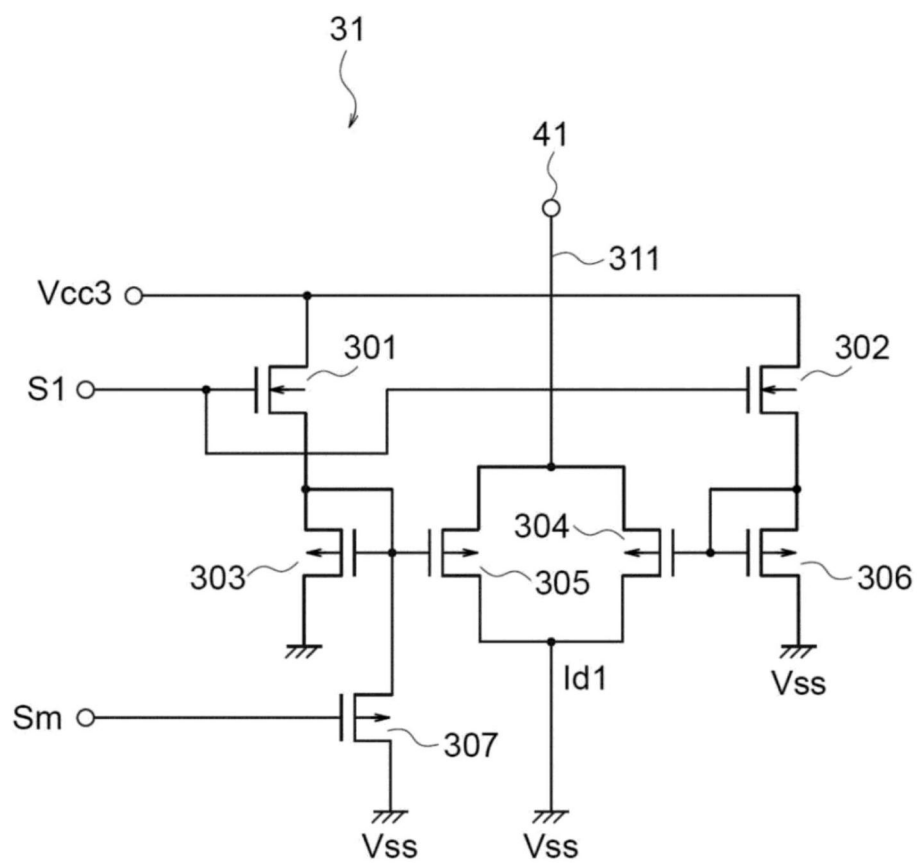


图4