



## (12) 实用新型专利

(10) 授权公告号 CN 204886941 U

(45) 授权公告日 2015. 12. 16

(21) 申请号 201520495855. 6

(22) 申请日 2015. 07. 10

(73) 专利权人 成都弘毅天承科技有限公司

地址 610000 四川省成都市高新区天益街  
38 号 3 栋

(72) 发明人 严立

(51) Int. Cl.

H04B 1/40(2015. 01)

H04B 1/44(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

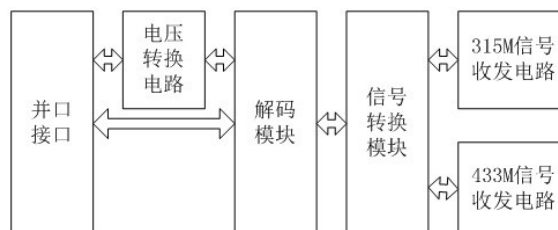
权利要求书1页 说明书3页 附图2页

### (54) 实用新型名称

一种智能家居用并口 315M 和 433M 收发模块

### (57) 摘要

本实用新型涉及收发模块领域,具体涉及一种智能家居用并口 315M 和 433M 收发模块。其包括:并口接口:提供模块所需电源通道和数据传输通道;电压转换电路:转换并口接口提供的输入电压,为解码模块供电;解码模块:包括 11 个输入输出端口,连接并口接口和信号转换模块,并对信号解码;信号转换模块:包括 2 个 SPDT 芯片,连接 315M 信号收发电路和 433M 信号收发电路与解码模块通信;315M 信号收发电路:收发 315M 频率的信号;433M 信号收发电路:收发 315M 频率的信号;实现了 315M 和 433M 双频率工作,使用 I/O 端口少,数据收发使用并口通信,数据传输量和传输速度都优于串口传输。



1. 一种智能家居用并口 315M 和 433M 收发模块,其特征在于包括:  
并口接口:提供模块所需电源通道和数据传输通道;  
电压转换电路:转换并口接口提供的输入电压,为解码模块供电;  
解码模块:包括 12 个输入输出端口,连接并口接口和信号转换模块,并对信号解码;  
信号转换模块:包括 2 个 SPDT 芯片,连接 315M 信号收发电路和 433M 信号收发电路与解码模块通信;  
315M 信号收发电路:收发 315M 频率的信号;  
433M 信号收发电路:收发 433M 频率的信号。
2. 根据权利要求 1 所述的一种智能家居用并口 315M 和 433M 收发模块,其特征在于:  
信号转换模块的第一 SPDT 芯片 U1 的 J2 端和第二 SPDT 芯片 U2 的 J3 端分别连接 433M 信号收发电路两端,信号转换模块的第一 SPDT 芯片 U1 的 J3 端和第二 SPDT 芯片 U2 的 J2 端连接 315M 信号收发电路两端;第一 SPDT 芯片 U1 的 J1 端和第二 SPDT 芯片 U2 的 J1 端分别连接解码模块的两个 I/O 端口;第一 SPDT 芯片 U1 的 V2 与第二 SPDT 芯片 U2 的 V1 相连后与解码模块的相连,第一 SPDT 芯片 U1 的 V1 与第二 SPDT 芯片 U2 的 V2 相连后也与解码模块相连。
3. 根据权利要求 1 所述的一种智能家居用并口 315M 和 433M 收发模块,其特征在于:  
315M 信号收发电路和 433M 信号收发电路包括有天线外还包括有 SMA 接口。
4. 根据权利要求 1 所述的一种智能家居用并口 315M 和 433M 收发模块,其特征在于:  
电压转换电路输入输出端均连接有滤波电路。

## 一种智能家居用并口 315M 和 433M 收发模块

### 技术领域

[0001] 本实用新型涉及一种信号收发模块,特别是一种智能家居用并口 315M 和 433M 收发模块。

### 背景技术

[0002] 现有射频技术收发模块多使用单工作频率,无法满足多种的使用环境,少部分多频率收发模块只是单纯依靠增加输入输出端的数量来实现多频率工作;模块接口使用 UART 模式的串口,传输数据缓慢,处理能力低下。

### 发明内容

[0003] 本实用新型的发明目的在于:针对现有技术存在的问题,提供一种智能家居用并口 315M 和 433M 收发模块,实现了 315M 和 433M 双频率工作,使用 I/O 端口少,数据收发使用并口通信,数据传输量和传输速度都优于串口传输。

[0004] 为了实现上述目的,本实用新型采用的技术方案为:一种智能家居用并口 315M 和 433M 收发模块,包括:并口接口;提供模块所需电源通道和数据传输通道;电压转换电路:转换并口接口提供的输入电压,为解码模块供电;解码模块:包括 12 个输入输出端口,连接并口接口和信号转换模块,并提供信号解码;信号转换模块:包括 2 个 SPDT 芯片,连接 315M 信号收发电路和 433M 信号收发电路与解码模块通信;315M 信号收发电路:收发 315M 频率的信号;433M 信号收发电路:收发 315M 频率的信号。解码模块控制信号转换模块实现多路复用,通过 315M 信号收发电路和 433M 信号收发电路完成信号的接受和发送;并口接口连接解码模块的 8 个输入输出端口作为数据传输通道,解码模块的另外 4 个输入输出端口连接信号转换模块。解码模块接收信号处理后将串行数据存入寄存器,再将数据转换为并行输出通过并口与其它设备进行互交。信号收发电路包括滤波电路和天线阻抗匹配电路两部分,315M 和 433M 的信号收发电路结构相同,根据不同的信号收发频率,分别选择 315M 频率和 433M 频率的天线,再对电路内部元件匹配合理的数值。

[0005] 本实用新型的方案中,信号转换模块的第一 SPDT 芯片 U1 的 J2 端和第二 SPDT 芯片 U2 的 J3 端分别连接 433M 信号收发电路两端,信号转换模块的第一 SPDT 芯片 U1 的 J3 端和第二 SPDT 芯片 U2 的 J2 端连接 315M 信号收发电路两端;第一 SPDT 芯片 U1 的 J1 端和第二 SPDT 芯片 U2 的 J1 端分别连接解码模块的两个 I/O 端口;第一 SPDT 芯片 U1 的 V2 与第二 SPDT 芯片 U2 的 V1 相连后与解码模块的相连,第一 SPDT 芯片 U1 的 V1 与第二 SPDT 芯片 U2 的 V2 相连后与解码模块相连。第一 SPDT 芯片 U1 的 V2 与第二 SPDT 芯片 U2 的 V1 为高电平时,第一 SPDT 芯片 U1 的 J1 端与 J3 端导通,第二 SPDT 芯片 U2 的 J1 端与 J2 端导通,此时收发模块处理 315M 的数据,第一 SPDT 芯片 U1 的 V1 与第二 SPDT 芯片 U2 的 V2 为高电平时,第一 SPDT 芯片 U1 的 J1 端与 J2 端导通,第二 SPDT 芯片 U2 的 J1 端与 J3 端导通,此时收发模块处理 433M 的数据。解码模块通过对 V1 和 V2 上的电压的调节,使 SPDT 芯片处于不同的工作状态,实现了多路复用,使用 2 路 I/O 接口完成 4 路通信。

[0006] 作为本实用新型的优选方案,315M 信号收发电路和 433M 信号收发电路连接有天线外还连接有 SMA 接口,在信号较弱的情况下,可使用外接独立天线加强信号收发。

[0007] 作为本实用新型的优选方案,电压转换电路输入输出端均连接有滤波电路,减少其它电路信号对传输信号的干扰。

[0008] 综上所述,由于采用了上述技术方案,本实用新型的有益效果是:315M 和 433M 双频率工作,使用 I/O 端口少,数据收发使用并口通信,数据传输量和传输速度都优于串口传输。

## 附图说明

[0009] 图 1 是本实用新型的原理。

[0010] 图 2 是本实用新型的解码模块的电路图。

[0011] 图 3 是本实用新型的信号转换模块的电路图。

[0012] 图 4 是本实用新型的电压转换电路的电路图。

[0013] 图 5 是本实用新型的单个信号收发电路的电路图。

## 具体实施方式

[0014] 下面结合附图,对本实用新型作详细的说明。

[0015] 为了使本实用新型的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本实用新型进行进一步详细说明。应当理解,此处所描述的具体实施例仅用以解释本实用新型,并不用于限定本实用新型。

## 实施例

[0016] 解码模块使用 CC1110 芯片,其 P00 到 P07 接口用作并口通信。RF\_P 和 RF\_N 分别连接第一 SPDT 芯片和第二 SPDT 芯片的 J1 端作为数据串行传输通道,VCC 由电压转换模块提供电压。电压转换模块使用 LM1173 芯片将串口提供的 5V 电压转换为解码模块所需的 3.3V 电压。电压转换模块输入端还分别连接极性电容 C1 和电容 C15 接地,输出端分别连接极性电容 C2 和电容 C13 接地排除信号干扰。信号转换模块使用两个 AS179-92 芯片信号转换模块的第一 SPDT 芯片 U1 的 J2 端和第二 SPDT 芯片 U2 的 J3 端分别连接 433M 信号收发电路两端,信号转换模块的第一 SPDT 芯片 U1 的 J3 端和第二 SPDT 芯片 U2 的 J2 端连接 315M 信号收发电路两端;第一 SPDT 芯片 U1 的 J1 端和第二 SPDT 芯片 U2 的 J1 端分别连接解码模块的两个 I/O 端口;第一 SPDT 芯片 U1 的 V2 与第二 SPDT 芯片 U2 的 V1 相连后与解码模块的 Q1 相连,第一 SPDT 芯片 U1 的 V1 与第二 SPDT 芯片 U2 的 V2 相连后与解码模块的 Q2 相连。第一 SPDT 芯片 U1 的 V2 与第二 SPDT 芯片 U2 的 V1 为高电平时,第一 SPDT 芯片 U1 的 J1 端与 J3 端导通,第二 SPDT 芯片 U2 的 J1 端与 J2 端导通,此时收发模块处理 315M 的数据,第一 SPDT 芯片 U1 的 V1 与第二 SPDT 芯片 U2 的 V2 为高电平时,第一 SPDT 芯片 U1 的 J1 端与 J2 端导通,第二 SPDT 芯片 U2 的 J1 端与 J3 端导通,此时收发模块处理 433M 的数据。解码模块通过对 V1 和 V2 上的电压的调节,使 SPDT 芯片处于不同的工作状态,实现了多路复用,使用 2 路 I/O 接口完成 4 路通信。信号收发电路包括滤波电路和天线阻抗匹配电路两部分,信号收发电路结构相同,根据不同的信号收发频率选择天线后,对电路内部

元件匹配合理的数值。

[0017] 天线匹配电路中,集成天线连接负载电阻 R1,SMA 接口连接负载电阻 R2,电阻 R1 和 R2 另一端连接后与电容 C15 相连,电容 C15 另一端连接电感 L4 后通过电容 C13 接地,L4 两端连接 C14 和电感 L3,电容 C15 和电感 L4 之间还连接有电容 C14 接地,电感 L3 另一端连接电容 C12 和电感 L2 作为差分射频信号的两个端口,电容 C12 的射频信号端口依次连接电感 L1 和电容 C11 后接地,电感 L2 的射频信号端口连接地。对 433M 频率信号时,匹配电路中的器件数值为 C15 为 220pF,C14 为 5.6pF,L4 为 27nH,L3 为 22nH,C12 为 3.9pF,L2 为 27nH,L1 为 27nH,C11 为 220pF。对 315M 频率信号时,匹配电路中的器件数值为 C15 为 220pF,C14 为 6.8pF,L4 为 33nH,L3 为 18nH,C12 为 12pF,L2 为 33nH,L1 为 33nH,C11 为 220pF。

[0018] 以上所述仅为本实用新型的较佳实施例而已,并不用以限制本实用新型,凡在本实用新型的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本实用新型的保护范围之内。

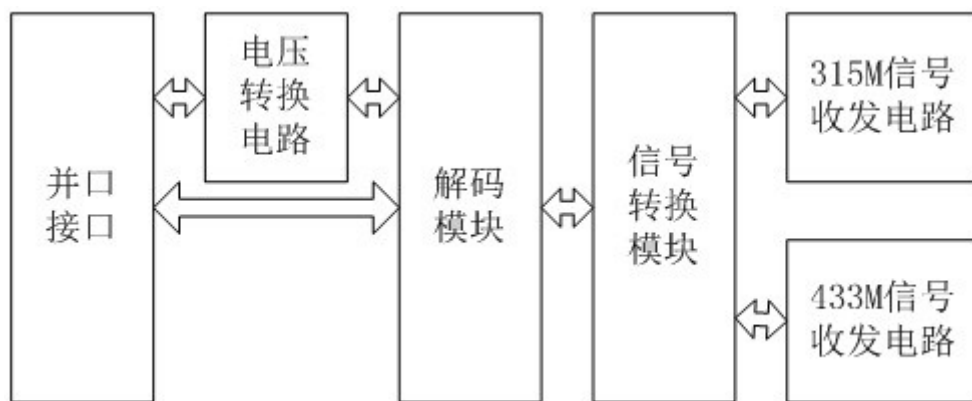


图 1

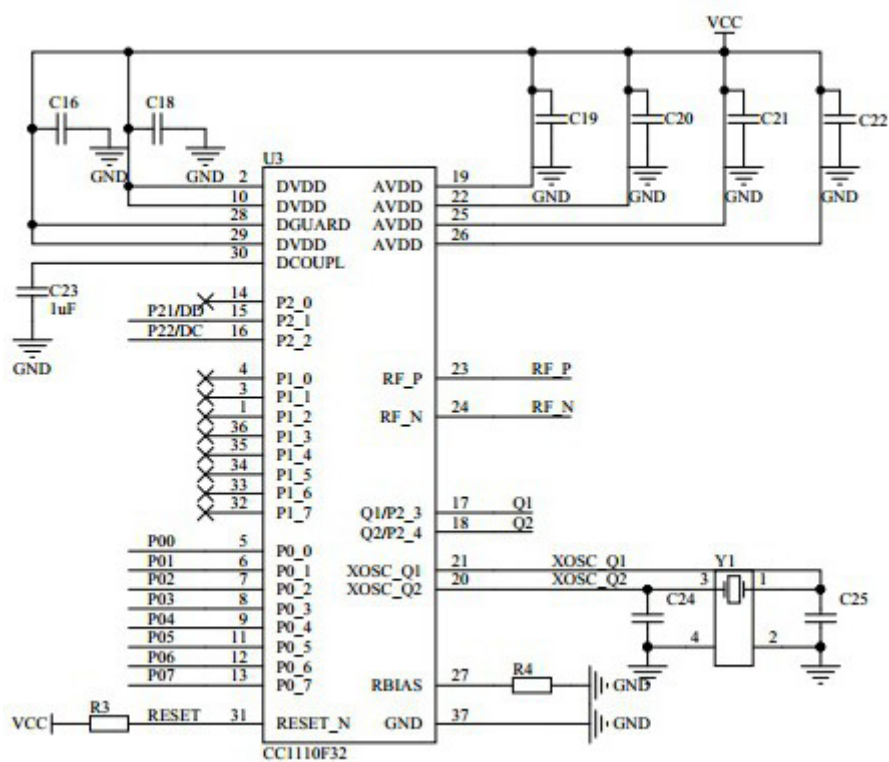


图 2

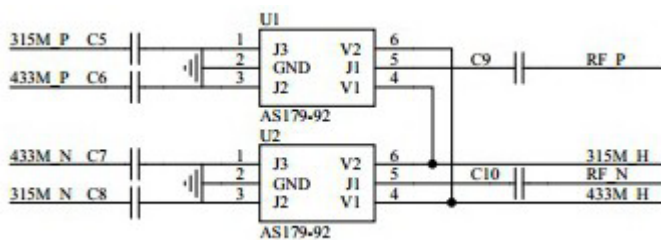


图 3

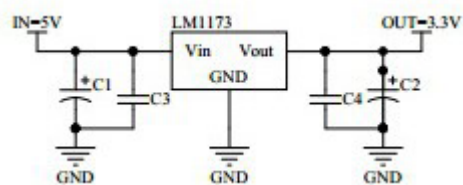


图 4

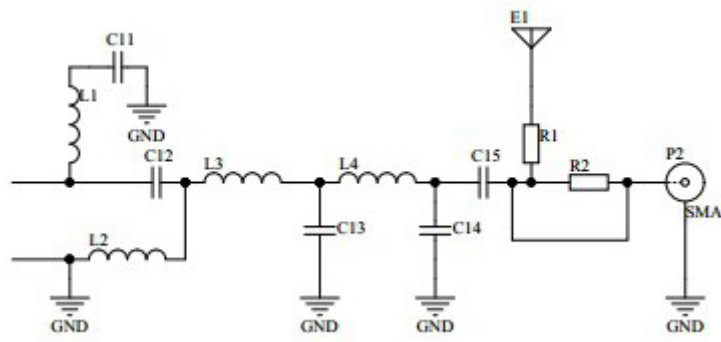


图 5