



## (12) 发明专利

(10) 授权公告号 CN 101533781 B

(45) 授权公告日 2013. 05. 01

(21) 申请号 200910128713. 5

(22) 申请日 2009. 03. 10

(30) 优先权数据

2008-058906 2008. 03. 10 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 宫入秀和 沟口隆文

(74) 专利代理机构 中国专利代理(香港)有限公司  
72001

代理人 柯广华 王丹昕

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/027(2006. 01)

H01L 21/84(2006. 01)

G02F 1/1362(2006. 01)

(56) 对比文件

US 2005221546 A1, 2005. 10. 06,

CN 101005083 A, 2007. 07. 25,

JP 3270674 B2, 2002. 04. 02,

US 2003134458 A1, 2003. 07. 17,

审查员 吕媛

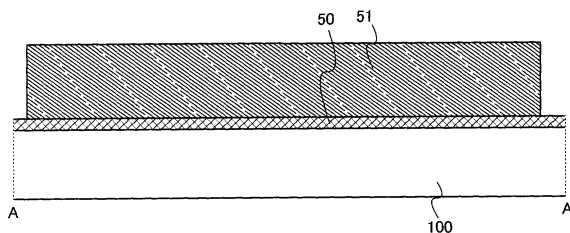
权利要求书5页 说明书29页 附图58页

(54) 发明名称

薄膜晶体管的制造方法、以及显示装置的制造方法

(57) 摘要

本发明的名称为薄膜晶体管及其制造方法、显示装置及其制造方法,提供了一种薄膜晶体管的制造方法,包括如下步骤:利用第一抗蚀剂掩模形成遮光层;在遮光层上形成基底膜;在基底膜上依次层叠第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜;利用第二导电膜上的第二抗蚀剂掩模对第二导电膜、杂质半导体膜、半导体膜、第一绝缘膜进行第一蚀刻;对第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻来形成栅电极层;利用第三抗蚀剂掩模形成源电极及漏电极层、源区域及漏区域、以及半导体层,其中第一抗蚀剂掩模和第二抗蚀剂掩模使用同一个光掩模形成。



1. 一种薄膜晶体管的制造方法,包括如下步骤:  
形成遮光膜和该遮光膜上的第一抗蚀剂掩模;  
通过蚀刻所述遮光膜的一部分形成具有图案的遮光层;  
在所述遮光层上形成基底膜;  
在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜;  
在所述第二导电膜上形成第二抗蚀剂掩模;  
通过使用所述第二抗蚀剂掩模,对所述第二导电膜、所述杂质半导体膜、所述半导体膜、以及所述第一绝缘膜进行第一蚀刻,至少使所述第一导电膜露出;  
进行第二蚀刻,其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层;  
在所述第二导电膜上形成第三抗蚀剂掩模;以及  
通过使用所述第三抗蚀剂掩模,对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层,其中所述第一抗蚀剂掩模和所述第二抗蚀剂掩模使用同一个光掩模形成。
2. 根据权利要求1所述的薄膜晶体管的制造方法,  
其中通过所述第一蚀刻形成元件区域,  
并且通过所述第二蚀刻,在离所述元件区域侧面有相等的距离的内侧形成所述栅电极层的侧面。
3. 一种薄膜晶体管的制造方法,包括如下步骤:  
形成遮光膜和该遮光膜上的第一抗蚀剂掩模;  
通过蚀刻所述遮光膜的一部分形成具有图案的遮光层;  
在所述遮光层上形成基底膜;  
在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜;  
在所述第二导电膜上形成第二抗蚀剂掩模;  
通过使用所述第二抗蚀剂掩模,对所述第二导电膜、所述杂质半导体膜、所述半导体膜、以及所述第一绝缘膜进行第一蚀刻,至少使所述第一导电膜露出;  
在所述第二导电膜上形成第三抗蚀剂掩模;  
进行第二蚀刻,其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层;以及  
通过使用所述第三抗蚀剂掩模,对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层,其中所述第一抗蚀剂掩模和所述第二抗蚀剂掩模使用同一个光掩模形成。
4. 根据权利要求3所述的薄膜晶体管的制造方法,其中将所述第二抗蚀剂掩模的面积形成为小于所述第一抗蚀剂掩模的面积。
5. 根据权利要求4所述的薄膜晶体管的制造方法,其中通过氧等离子体进行灰化而形成所述第二抗蚀剂掩模。
6. 一种薄膜晶体管的制造方法,包括如下步骤:  
形成遮光膜和该遮光膜上的第一抗蚀剂掩模;  
通过蚀刻所述遮光膜的一部分形成具有图案的遮光层;

在所述遮光层上形成基底膜；

在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；

在所述第二导电膜上形成具有凹部的第二抗蚀剂掩模；

通过使用所述第二抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、所述半导体膜、所述第一绝缘膜进行第一蚀刻，至少使所述第一导电膜露出；

进行第二蚀刻，其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层；

通过使所述第二抗蚀剂掩模缩小，以使重叠于所述第二抗蚀剂掩模的凹部的所述第二导电膜露出并形成第三抗蚀剂掩模；以及

通过使用所述第三抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层，

其中所述第一抗蚀剂掩模和所述第二抗蚀剂掩模使用同一个光掩模形成。

7. 根据权利要求6所述的薄膜晶体管的制造方法，其中所述第二抗蚀剂掩模使用多级灰度掩模形成。

8. 一种薄膜晶体管的制造方法，包括如下步骤：

形成遮光膜和该遮光膜上的第一抗蚀剂掩模；

通过蚀刻所述遮光膜的一部分形成具有图案的遮光层；

在所述遮光层上形成基底膜；

在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；

在所述第二导电膜上形成具有凹部的第二抗蚀剂掩模；

通过使用所述第二抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、所述半导体膜、所述第一绝缘膜进行第一蚀刻，至少使所述第一导电膜露出；

通过使所述第二抗蚀剂掩模缩小，以使重叠于所述第二抗蚀剂掩模的凹部的所述第二导电膜露出并形成第三抗蚀剂掩模；

进行第二蚀刻，其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层；以及

通过使用所述第三抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层，

其中所述第一抗蚀剂掩模和所述第二抗蚀剂掩模使用同一个光掩模形成。

9. 根据权利要求8所述的薄膜晶体管的制造方法，

其中所述第一蚀刻为干蚀刻，

并且所述第二蚀刻为湿蚀刻。

10. 一种显示装置的制造方法，包括如下步骤：

形成遮光膜和该遮光膜上的第一抗蚀剂掩模；

通过蚀刻所述遮光膜的一部分形成具有图案的遮光层；

在所述遮光层上形成基底膜；

在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；

在所述第二导电膜上使用与用于形成所述第一抗蚀剂掩模的同一个光掩模形成第二

抗蚀剂掩模；

通过使用所述第二抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、所述半导体膜、以及所述第一绝缘膜进行第一蚀刻，至少使所述第一导电膜露出；

进行第二蚀刻，其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层；

在所述第二导电膜上形成第三抗蚀剂掩模；

通过使用所述第三抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管；

去除所述第三抗蚀剂掩模；

覆盖所述薄膜晶体管地形成第二绝缘膜；

在所述第二绝缘膜中形成开口部，以使所述源电极及漏电极层的一部分露出；以及

在所述开口部及所述第二绝缘膜上选择性地形成像素电极。

11. 根据权利要求 10 所述的显示装置的制造方法，

其中通过所述第一蚀刻形成元件区域，

并且通过所述第二蚀刻，在离所述元件区域侧面有相等的距离的内侧形成栅电极层的侧面。

12. 一种显示装置的制造方法，包括如下步骤：

形成遮光膜和该遮光膜上的第一抗蚀剂掩模；

通过蚀刻所述遮光膜的一部分形成具有图案的遮光层；

在所述遮光层上形成基底膜；

在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；

在所述第二导电膜上使用与用于形成所述第一抗蚀剂掩模的同一个光掩模形成第二抗蚀剂掩模；

通过使用所述第二抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、所述半导体膜、以及所述第一绝缘膜进行第一蚀刻，至少使所述第一导电膜露出；

在所述第二导电膜上形成第三抗蚀剂掩模；

进行第二蚀刻，其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层；

通过使用所述第三抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管；

去除所述第三抗蚀剂掩模；

覆盖所述薄膜晶体管地形成第二绝缘膜；

在所述第二绝缘膜中形成开口部，以使所述源电极及漏电极层的一部分露出；以及

在所述开口部及所述第二绝缘膜上选择性地形成像素电极。

13. 根据权利要求 12 所述的显示装置的制造方法，

其中所述第一蚀刻为干蚀刻，

并且所述第二蚀刻为湿蚀刻。

14. 一种显示装置的制造方法，包括如下步骤：

形成遮光膜和该遮光膜上的第一抗蚀剂掩模；

通过蚀刻所述遮光膜的一部分形成具有图案的遮光层；

在所述遮光层上形成基底膜；

在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；

在所述第二导电膜上使用与用于形成所述第一抗蚀剂掩模的同一个光掩模形成具有凹部的第二抗蚀剂掩模；

通过使用所述第二抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、所述半导体膜、以及所述第一绝缘膜进行第一蚀刻，至少使所述第一导电膜露出；

进行第二蚀刻，其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层；

通过使所述第二抗蚀剂掩模缩小，以使重叠于所述第二抗蚀剂掩模的凹部的所述第二导电膜露出并形成第三抗蚀剂掩模；

通过使用所述第三抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管；

去除所述第三抗蚀剂掩模；

覆盖所述薄膜晶体管地形成第二绝缘膜；

在所述第二绝缘膜中形成开口部，以使所述源电极及漏电极层的一部分露出；以及

在所述开口部及所述第二绝缘膜上选择性地形成像素电极。

15. 根据权利要求 14 所述的显示装置的制造方法，其中所述第二抗蚀剂掩模利用多级灰度掩模形成。

16. 一种显示装置的制造方法，包括如下步骤：

形成遮光膜和该遮光膜上的第一抗蚀剂掩模；

通过蚀刻所述遮光膜的一部分形成具有图案的遮光层；

在所述遮光层上形成基底膜；

在所述基底膜上依次形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；

在所述第二导电膜上使用与用于形成所述第一抗蚀剂掩模的同一个光掩模形成具有凹部的第二抗蚀剂掩模；

通过使用所述第二抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、所述半导体膜、以及所述第一绝缘膜进行第一蚀刻，至少使所述第一导电膜露出；

通过使所述第二抗蚀剂掩模缩小，以使重叠于所述第二抗蚀剂掩模的凹部的所述第二导电膜露出并形成第三抗蚀剂掩模；

进行第二蚀刻，其中所述第一导电膜的一部分被侧面蚀刻以形成栅电极层；

通过使用所述第三抗蚀剂掩模，对所述第二导电膜、所述杂质半导体膜、以及所述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管；

去除所述第三抗蚀剂掩模；

覆盖所述薄膜晶体管地形成第二绝缘膜；

在所述第二绝缘膜中形成开口部,以使所述源电极及漏电极层的一部分露出;以及在所述开口部及所述第二绝缘膜上选择性地形成像素电极。

17. 根据权利要求 16 所述的显示装置的制造方法,其中将通过 CVD 法或溅射法形成的绝缘膜和通过旋涂法形成的绝缘膜层叠而形成所述第二绝缘膜。

## 薄膜晶体管的制造方法、以及显示装置的制造方法

### 技术领域

[0001] 发明涉及薄膜晶体管及其制造方法、具有该薄膜晶体管的显示装置及其制造方法。

### [0002] 背景技术

[0003] 近年来,由形成在玻璃衬底等的具有绝缘表面的衬底上的厚度为几 nm 至几百 nm 左右的半导体薄膜构成的薄膜晶体管引人注目。薄膜晶体管广泛地应用于电子器件诸如 IC(集成电路)及电光装置。尤其,正在加快开发作为以液晶显示装置或 EL(电致发光)显示装置等为代表的显示装置的开关元件的薄膜晶体管。在有源矩阵型液晶显示装置中,通过在连接到所选择的开关元件的像素电极和对应于该像素电极的相对电极之间施加电压,进行配置在像素电极和相对电极之间的液晶层的光学调制,并且该光学调制被观察者识别为显示图案。在此,有源矩阵型液晶显示装置是指一种液晶显示装置,其中采用通过利用开关元件使配置为矩阵状的像素电极驱动,在屏幕上形成显示图案的方式。

[0004] 目前,如上所述那样的有源矩阵型显示装置的用途正在扩大,并且对于屏幕尺寸的大面积化、高精细化及高开口率化的要求得到提高。此外,对于有源矩阵型显示装置要求高可靠性,并且对于其生产方法要求高生产性及生产成本的降低。作为提高生产性并降低生产成本的方法之一,可以举出步骤的简化。

[0005] 在有源矩阵型显示装置中,主要将薄膜晶体管用作开关元件。在制造薄膜晶体管时,为了步骤的简化,重要的是减少用于光刻的光掩模的数目。例如,若是增加一个光掩模,则需要如下步骤:抗蚀剂涂敷、预烘干、曝光、显影、后烘干等的步骤、在其前后的步骤中的被膜的形成及蚀刻步骤、以及抗蚀剂的剥离、清洗及干燥步骤等。因此,若是增加一个用于制造步骤的光掩模,则大幅度地增加步骤数目。为了减少制造步骤中的光掩模,正在进行多种技术开发。

[0006] 薄膜晶体管大致分成其沟道形成区设置于栅电极的下层的顶栅型和其沟道形成区设置于栅电极的上层的底栅型。已知地是,在底栅型薄膜晶体管的制造步骤中使用的光掩模数目少于在顶栅型薄膜晶体管的制造步骤中使用的光掩模数目。一般地,利用三个光掩模制造底栅型薄膜晶体管。

[0007] 此外,减少光掩模数目的现有技术主要采用复杂的技术如背面曝光、抗蚀剂回流或剥离法(lift-off method)并需要特殊的装置。因利用这种复杂的技术导致各种问题,因此成为成品率的降低的原因之一。另外,必须牺牲薄膜晶体管的电特性的情况也多。

[0008] 作为在薄膜晶体管的制造步骤中的用来减少光掩模数目的典型方法,使用多级灰度掩模(被称为半色调掩模或灰色调掩模的掩模)的技术是众所周知的。作为使用多级灰度掩模减少制造步骤的技术,例如可以举出专利文献 1。

[0009] 专利文献 1 日本专利申请公开 2003-179069 号公报

[0010] 但是,即使在上述多级灰度掩模制造底栅型薄膜晶体管的情况下,也需要至少两个多级灰度掩模,因此难以进一步减少光掩模的数目。将两个多级灰度掩模中之一用于对栅电极层的构图。

[0011] 在此,本发明的一个方式提供一种可以制造薄膜晶体管的新的方法,而不使用用于栅电极层的构图的新的光掩模。就是说,公开无需利用复杂的技术,并且利用一个光掩模可以制造的薄膜晶体管的制造方法。

## 发明内容

[0012] 由此,在薄膜晶体管的制造时,可以比现有技术减少所使用的光掩模的数目。

[0013] 另外,本发明的一个方式尤其可以应用于用于显示装置的像素的薄膜晶体管(像素 TFT)。因此,本发明的一个方式目的在于提供一种显示装置的制造方法,其中不使用复杂的技术,而用来光刻法的光掩模的数目比现有技术少。

[0014] 再者,本发明的一个方式的目的在于提供不仅减少光掩模的数目,而且减少光漏电流并具有良好的电特性的薄膜晶体管及具有良好的显示特性的显示装置;尤其是在液晶显示装置中,防止来自背光灯一侧的光行进到半导体层。

[0015] 在本发明的一个方式的薄膜晶体管的制造方中,形成遮光膜和该遮光膜上的第一抗蚀剂掩模;通过蚀刻遮光膜的一部分形成具有图案的遮光层;在该遮光层上形成基底膜;在该基底膜上形成第一导电膜、在该第一导电膜上依次层叠第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜而形成的薄膜叠层体、该薄膜叠层体上的第二抗蚀剂掩模;通过第一蚀刻至少使上述第一导电膜露出并形成上述薄膜叠层体的图案;以及通过第二蚀刻形成第一导电膜的图案。在此,基于第一导电膜被选择性地侧蚀(sideetching)的条件进行第二蚀刻,并且使用同一个光掩模形成第一抗蚀剂掩模和第二抗蚀剂掩模。

[0016] 在此,作为第一蚀刻利用干蚀刻或湿蚀刻即可,但优选利用各向异性高的蚀刻法(物理蚀刻)而进行。作为第一蚀刻利用各向异性高的蚀刻法,可以提高图案的加工精度。注意,在以干蚀刻进行第一蚀刻的情况下,虽然能够在一个步骤中进行,但是在以湿蚀刻进行第一蚀刻的情况下,在多个步骤中进行第一蚀刻。因此,作为第一蚀刻优选利用干蚀刻。

[0017] 另外,作为第二蚀刻利用干蚀刻或湿蚀刻即可,但是优选利用各向同性的蚀刻占优势的蚀刻法(化学蚀刻)而进行。作为第二蚀刻利用各向同性的蚀刻占优势的蚀刻法(化学蚀刻),可以对第一导电膜进行侧面蚀刻。因此,作为第二蚀刻优选利用湿蚀刻。

[0018] 注意,第一导电膜的图案例如是指形成栅电极及栅极布线和电容电极及电容布线、电源线等的金属布线的俯视布局。

[0019] 注意,遮光层由具有遮光性的材料的膜形成即可。作为具有遮光性的膜,可以举出金属膜,优选使用铬或氧化铬等形成即可。另外,遮光层至少设置为重叠于薄膜叠层体所具有的半导体膜。其面积优选形成为大于薄膜叠层体。

[0020] 另外,遮光层和薄膜叠层体使用同一个光掩模形成。通过与薄膜叠层体同一个光掩模形成遮光层,可以无需追加新的光掩模地设置遮光层。

[0021] 注意,如上所述,遮光层的面积优选大于薄膜叠层体,因此形成薄膜叠层体的第二抗蚀剂掩模优选形成为比形成遮光层的第一抗蚀剂掩模缩小。作为使抗蚀剂掩模缩小的方法,可以利用如以氧等离子体的灰化等。

[0022] 本发明的一个方式是一种薄膜晶体管的制造方法,包括如下步骤:形成遮光膜和该遮光膜上的第一抗蚀剂掩模;通过蚀刻上述遮光膜的一部分形成具有图案的遮光层;在上述遮光层上形成基底膜;在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体

膜、杂质半导体膜、以及第二导电膜；在上述第二导电膜上形成第二抗蚀剂掩模；通过使用上述第二抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻，至少使上述第一导电膜露出；对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层；在上述第二导电膜上形成第三抗蚀剂掩模；以及通过使用上述第三抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层，其中上述第一抗蚀剂掩模和上述第二抗蚀剂掩模使用同一个光掩模形成。

[0023] 本发明的一个方式是一种薄膜晶体管的制造方法，包括如下步骤：形成遮光膜和该遮光膜上的第一抗蚀剂掩模；通过蚀刻上述遮光膜的一部分形成具有图案的遮光层；在上述遮光层上形成基底膜；在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；在上述第二导电膜上形成第二抗蚀剂掩模；通过使用上述第二抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻，至少使上述第一导电膜露出；在上述第二导电膜上形成第三抗蚀剂掩模；对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层；以及通过使用上述第三抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层，其中上述第一抗蚀剂掩模和上述第二抗蚀剂掩模使用同一个光掩模形成。

[0024] 本发明的一个方式是一种薄膜晶体管的制造方法，包括如下步骤：形成遮光膜和该遮光膜上的第一抗蚀剂掩模；通过蚀刻上述遮光膜的一部分形成具有图案的遮光层；在上述遮光层上形成基底膜；在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；在上述第二导电膜上形成具有凹部的第二抗蚀剂掩模；通过使用上述第二抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻，至少使上述第一导电膜露出；对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层；通过使上述第二导电膜缩小，以使重叠于上述第二抗蚀剂掩模的凹部的上述第二导电膜露出并形成第三抗蚀剂掩模；以及通过使用上述第三抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层，其中上述第一抗蚀剂掩模和上述第二抗蚀剂掩模使用同一个光掩模形成。

[0025] 本发明的一个方式是一种薄膜晶体管的制造方法，包括如下步骤：形成遮光膜和该遮光膜上的第一抗蚀剂掩模；通过蚀刻上述遮光膜的一部分形成具有图案的遮光层；在上述遮光层上形成基底膜；在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；在上述第二导电膜上形成具有凹部的第二抗蚀剂掩模；通过使用上述第二抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻，至少使上述第一导电膜露出；通过使上述第二抗蚀剂掩模缩小，以使重叠于上述第二抗蚀剂掩模的凹部的上述第二导电膜露出并形成第三抗蚀剂掩模；对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层；以及通过使用上述第三抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层，其中上述第一抗蚀剂掩模和上述第二抗蚀剂掩模使用同一个光掩模形成。

[0026] 根据上述结构的制造方法,在第一抗蚀剂掩模具有凹部的情况下,上述第一抗蚀剂掩模优选使用多级灰度掩模形成。通过使用多级灰度掩模,可以以简单步骤形成具有凹部的抗蚀剂掩模。

[0027] 通过上述结构的制造方法,以上述第一蚀刻形成元件区域,并且以上述第二蚀刻,在离上述元件区域侧面有大约相等的距离内侧形成栅电极层的侧面。

[0028] 根据上述结构的制造方法,其中将上述第二抗蚀剂掩模的面积优选形成为小于上述第一抗蚀剂掩模的面积,以便确实地实现半导体层的遮光。

[0029] 在本发明的将第二抗蚀剂掩模的面积形成为小于第一抗蚀剂掩模的面积 of 上述结构中,以氧等离子体进行灰化而形成上述第二抗蚀剂掩模。

[0030] 根据上述结构的利用第一蚀刻及第二蚀刻的制造方法,其中作为上述第一蚀刻优选利用干蚀刻且作为上述第二蚀刻优选利用湿蚀刻。利用第一蚀刻的加工优选高精度地进行,并且利用第二蚀刻的加工需要引起侧面蚀刻。为了进行高精度地加工,优选利用干蚀刻,这是因为湿蚀刻因为利用化学反应,所以与干蚀刻相比容易发生侧面蚀刻的缘故。

[0031] 本发明的一个方式是一种显示装置的制造方法,包括如下步骤:形成遮光膜和该遮光膜上的第一抗蚀剂掩模;通过蚀刻上述遮光膜的一部分形成具有图案的遮光层;在上述遮光层上形成基底膜;在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜;在上述第二导电膜上使用与上述第一抗蚀剂掩模同一个光掩模形成第二抗蚀剂掩模;通过使用上述第二抗蚀剂掩模,对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻,至少使上述第一导电膜露出;对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层;在上述第二导电膜上形成第三抗蚀剂掩模;通过使用上述第三抗蚀剂掩模,对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管;去除上述第三抗蚀剂掩模;覆盖上述薄膜晶体管形成地第二绝缘膜;在上述第二绝缘膜中形成开口部,以使上述源电极及漏电极层的一部分露出;以及在上述开口部及上述第二绝缘膜上选择性地形成像素电极。

[0032] 本发明的一个方式是一种显示装置的制造方法,包括如下步骤:形成遮光膜和该遮光膜上的第一抗蚀剂掩模;通过蚀刻上述遮光膜的一部分形成具有图案的遮光层;在上述遮光层上形成基底膜;在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜;在上述第二导电膜上使用与上述第一抗蚀剂掩模同一个光掩模形成第二抗蚀剂掩模;通过使用上述第二抗蚀剂掩模,对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻,至少使上述第一导电膜露出;在上述第二导电膜上形成第三抗蚀剂掩模;对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层;通过使用上述第三抗蚀剂掩模,对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管;去除上述第三抗蚀剂掩模;覆盖上述薄膜晶体管地形成第二绝缘膜;在上述第二绝缘膜中形成开口部,以使上述源电极及漏电极层的一部分露出;以及在上述开口部及上述第二绝缘膜上选择性地形成像素电极。

[0033] 本发明的一个方式是一种显示装置的制造方法,包括如下步骤:形成遮光膜和该遮光膜上的第一抗蚀剂掩模;通过蚀刻上述遮光膜的一部分形成具有图案的遮光层;在上

述遮光层上形成基底膜；在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；在上述第二导电膜上使用与上述第一抗蚀剂掩模同一个光掩模形成具有凹部的第二抗蚀剂掩模；通过使用上述第二抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻，至少使上述第一导电膜露出；对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层；通过使上述第二抗蚀剂掩模缩小，以使重叠于上述第二抗蚀剂掩模的凹部的上述第二导电膜露出并形成第三抗蚀剂掩模；通过使用上述第三抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管；去除上述第三抗蚀剂掩模；覆盖上述薄膜晶体管地形成第二绝缘膜；在上述第二绝缘膜中形成开口部，以使上述源电极及漏电极层的一部分露出；以及在上述开口部及上述第二绝缘膜上选择性地形成像素电极。

[0034] 本发明的一个方式是一种显示装置的制造方法，包括如下步骤：形成遮光膜和该遮光膜上的第一抗蚀剂掩模；通过蚀刻上述遮光膜的一部分形成具有图案的遮光层；在上述遮光层上形成基底膜；在上述基底膜上依次层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜、以及第二导电膜；在上述第二导电膜上使用与上述第一抗蚀剂掩模同一个光掩模形成具有凹部的第二抗蚀剂掩模；通过使用上述第二抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、上述半导体膜、上述第一绝缘膜进行第一蚀刻，至少使上述第一导电膜露出；通过使上述第二抗蚀剂掩模缩小，以使重叠于上述第二抗蚀剂掩模的凹部的上述第二导电膜露出并形成第三抗蚀剂掩模；对上述第一导电膜的一部分进行引起侧面蚀刻的第二蚀刻形成栅电极层；通过使用上述第三抗蚀剂掩模，对上述第二导电膜、上述杂质半导体膜、以及上述半导体膜的一部分进行第三蚀刻形成源电极及漏电极层、源区域及漏区域层、以及半导体层来形成薄膜晶体管；去除上述第三抗蚀剂掩模；覆盖上述薄膜晶体管地形成第二绝缘膜；在上述第二绝缘膜中形成开口部，以使上述源电极及漏电极层的一部分露出；以及在上述开口部及上述第二绝缘膜上选择性地形成像素电极。

[0035] 根据上述结构的显示装置的制造方法，其中上述第一抗蚀剂掩模优选利用多级灰度掩模形成。

[0036] 通过应用上述结构的显示装置的制造方法，可以以上述第一蚀刻形成元件区域，并且以上述第二蚀刻，在离上述元件区域侧面有大约相等的距离的内侧形成栅电极层的侧面。

[0037] 根据上述结构的显示装置的制造方法，其中上述第一蚀刻优选为干蚀刻，并且上述第二蚀刻优选为湿蚀刻。

[0038] 根据上述结构的显示装置的制造方法，优选层叠通过 CVD 法或溅射法形成的绝缘膜和通过旋涂法形成的绝缘膜形成上述第二绝缘膜。特别优选通过 CVD 法或溅射法形成氮化硅膜并通过旋涂法形成有机树脂膜。通过这样形成保护绝缘膜，可以防止薄膜晶体管的电特性会受到杂质元素等的影响，且提高像素电极的被形成面的平坦性来防止成品率的降低。

[0039] 另外，本发明的一个方式的薄膜晶体管包括：遮光膜上的绝缘膜；上述绝缘膜上的栅电极层；上述栅电极层上的栅极绝缘膜；上述栅极绝缘膜上的半导体层；具有上述半导体层上的源区域及漏区域的杂质半导体层；上述源区域及漏区域上的源电极及漏电极；

以及与上述栅 电极层的侧面接触的空洞。

[0040] 注意,优选在尽量不受到“无故意的蚀刻”的条件下进行蚀刻。

[0041] 膜“具有耐热性”是指在步骤中的温度下,该膜可以保持作为膜的形状且保持该膜被要求的功能及特性。

[0042] 注意,“栅极布线”是指连接到薄膜晶体管的栅电极的布线。栅极布线由栅电极层形成。另外,栅极布线有时被称为扫描线。

[0043] 另外,“源极布线”是指连接到薄膜晶体管的源电极及漏电极的一方的布线。源极布线由源电极及漏电极层形成。源极布线有时称为信号线。

[0044] 另外,“电源线”是指连接到电源且保持为恒定电压的布线。

[0045] 无需新的光掩模用来栅电极的图案形成,而可以大幅度地减少薄膜晶体管的制造步骤数目,并且该薄膜晶体管可以应用于显示装置,因此,也可以大幅度地减少显示装置的制造步骤。

[0046] 更具体地说,可以减少光掩模的数目。也可以使用一个光掩模(多级灰度掩模)制造薄膜晶体管。因此,可以大幅度地减少薄膜晶体管或显示装置的制造步骤数目。另外,可以使用一个光掩模制造薄膜晶体管,因此可以防止当进行光掩模的位置对准时发生不一致。

[0047] 此外,与以光掩模数目的减少为目的的现有技术不同,不需要通过背面曝光、抗蚀剂回流及剥离法等的复杂步骤。由此,可以不降低成品率且大幅度地减少显示装置的制造步骤数目。

[0048] 另外,在以光掩模的数目的减少为目的的现有技术中,必须牺牲电特性的情况也不少。但是,在本发明的一个方式中,可以维持薄膜晶体管的电特性并大幅度地减少薄膜晶体管的制造步骤数目。因此,可以大幅度地减少显示装置的制造步骤数目,而不牺牲显示装置的显示质量等。

[0049] 再者,借助于上述效果,可以大幅度地减少薄膜晶体管及显示装置的制造成本。

[0050] 可以遮光半导体层,因此可以制造减少光漏电流且具有良好的电 特性的薄膜晶体管及具有该薄膜晶体管的显示质量良好的显示装置。

[0051] 再者,也可以制造在栅电极层端部中产生的漏电流小的薄膜晶体管,因此可以得到对比度高且显示质量良好的显示装置。

#### 附图说明

[0052] 图 1A 至 1C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0053] 图 2A 至 2C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0054] 图 3A 至 3C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0055] 图 4A 至 4C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0056] 图 5A 至 5C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0057] 图 6A 至 6C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0058] 图 7A 至 7C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0059] 图 8A 至 8C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

[0060] 图 9A 至 9C 是说明薄膜晶体管及显示装置的制造方法的一例的图;

- [0061] 图 10A 至 10C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0062] 图 11A 至 11C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0063] 图 12A 至 12C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0064] 图 13A 至 13C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0065] 图 14A 至 14C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0066] 图 15A 至 15C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0067] 图 16A 至 16C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0068] 图 17 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0069] 图 18 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0070] 图 19 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0071] 图 20 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0072] 图 21 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0073] 图 22 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0074] 图 23 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0075] 图 24 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0076] 图 25 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0077] 图 26 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0078] 图 27 是说明有源矩阵衬底的连接部的图；
- [0079] 图 28 是说明有源矩阵衬底的连接部的图；
- [0080] 图 29A 至 29C 是说明有源矩阵衬底的连接部的图；
- [0081] 图 30A-1 和 30A-2 及 30B-1 和 30B-2 是说明多级灰度掩模的图；
- [0082] 图 31A 至 31C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0083] 图 32A 至 32C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0084] 图 33 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0085] 图 34 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0086] 图 35 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0087] 图 36 是说明显示装置的像素电路的一例的图；
- [0088] 图 37 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0089] 图 38 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0090] 图 39 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0091] 图 40 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0092] 图 41 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0093] 图 42 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0094] 图 43A 至 43C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0095] 图 44A 至 44C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0096] 图 45A 至 45C 是说明薄膜晶体管及显示装置的制造方法的一例的图；
- [0097] 图 46A 和 46B 是说明电子设备的图；
- [0098] 图 47 是说明电子设备的图；
- [0099] 图 48A 至 48C 是说明电子设备的图；

[0100] 图 49A 至 49C 是说明薄膜晶体管及显示装置的制造方法的一例的图。

[0101] 选择图为图 2A 至 2C。

### 具体实施方式

[0102] 下面,关于本发明的实施方式参照附图进行详细说明。但是,本发明不局限于以下说明。这是因为所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不局限于下面所示的实施方式中的记载内容。注意,当参照附图说明发明结构之际,在不同的附图中也使用相同的附图标记来表示相同的部分。此外,当表示相同的部分之际,有时使用相同的阴线图案而并不附记附图标记。另外,在俯视图中不表示基底膜、第一绝缘膜、以及第二绝缘膜。

#### [0103] 实施方式 1

[0104] 在本实施方式中,参照图 1A 至图 29C 说明薄膜晶体管的制造方法及将该薄膜晶体管配置为矩阵状的显示装置的制造方法的一例。

[0105] 注意,图 17 至图 25 示出根据本实施方式的薄膜晶体管的俯视图,图 25 是形成了像素电极的完成图。图 1A 至图 4C 是沿着图 17 至图 25 所示的 A-A' 的截面图。图 5A 至图 7C 是沿着图 19 至图 25 所示的 B-B' 的截面图。图 8A 至图 10C 是沿着图 19 至图 25 所示的 C-C' 的截面图。图 11A 至图 13C 是沿着图 19 至图 25 所示的 D-D' 的截面图。图 14A 至图 16C 是沿着图 19 至图 25 所示的 E-E' 的截面图。

[0106] 首先,在衬底 100 的一个主表面上形成遮光膜 50。遮光膜 50 用来遮挡来自与衬底 100 的一个主表面相反的面外光或来自其他面的散射光而设置。

[0107] 衬底 100 是绝缘衬底。在将衬底 100 应用于显示装置的情况下,可以使用玻璃衬底或石英衬底作为衬底 100。在本实施方式中,使用玻璃衬底。

[0108] 遮光膜 50 可以由能够遮光的材料的膜形成即可,不局限于特定的材料。作为能够遮光的材料的膜,可以举出如以铬为主要成分的材料膜或含有碳黑的树脂膜等,但是从耐热性的观点来看,优选使用以铬为主要成分的材料膜。作为以铬为主要成分的材料,可以举出铬、氧化铬、氮化铬、或氟化铬等。

[0109] 注意,遮光膜 50 可以利用如溅射法或 CVD 法(包括热 CVD 法或等离子体 CVD 法等)等而形成。但是,不局限于特定的方法。

[0110] 接下来,在遮光膜 50 上形成第一抗蚀剂掩模 51(参照图 1A 和图 17)。

[0111] 接下来,利用第一抗蚀剂掩模 51 蚀刻遮光膜 50,形成遮光层 52(参照图 1B 和图 18)。蚀刻可以利用干蚀刻或湿蚀刻,优选利用干蚀刻。这是因为当利用湿蚀刻时遮光膜 50 缩小,而有时不能确保遮光层 52 的充分面积的缘故。通过利用干蚀刻,可以作为进一步反映第一抗蚀剂掩模 51 的图案的形状。另外,在形成遮光层 52 的上述蚀刻步骤中,有时衬底 100 被蚀刻。因此,优选在衬底 100 和遮光膜 50 之间预先设置“用作基底的绝缘膜”。该“用作基底的绝缘膜”可以利用和下面说明的基底膜 53 同样的材料及同样的形成方法而形成。通过在衬底 100 和遮光膜 50 之间具有“用作基底的绝缘膜”,可以防止在衬底 100 中包含的杂质金属元素附着到半导体层且进入到半导体层内部。

[0112] 接下来,去除第一抗蚀剂掩模 51(参照图 1C 和图 19),在遮光层 52 上形成基底膜

53(参照图 2A、图 5A、图 8A、图 11A、图 14A)。

[0113] 基底膜 53 由绝缘材料形成。基底膜 53 可以使用如氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜等而形成。但是,需要耐受后面步骤(第一绝缘膜 104 的形成等)的耐热性。另外,选择在后面步骤(第二导电膜 110 的蚀刻等)中不被蚀刻或腐蚀的材料。

[0114] 在使用玻璃衬底作为衬底 100 的情况下,作为基底膜 53 优选使用氮化硅膜或氮氧化硅膜。这是因为通过基底膜 53 含有氮可以有效地防止玻璃衬底 100 中的杂质金属元素进入到半导体层的缘故。再者,基底膜 53 优选包含卤素(氟、氯、或溴)。这是因为通过基底膜 53 含有卤素可以更有效地防止玻璃衬底 100 中的杂质金属元素进入到半导体层的缘故。为了使基底膜 53 含有卤素,将卤素气体或由卤素化合物而成的气体包含于用来形成的气体。

[0115] 注意,例如可以通过 CVD 法(包括热 CVD 法或等离子体 CVD 法等)或溅射法等形成基底膜 53,不局限于特定的方法。另外,基底膜 53 既可以由单层形成,又可以层叠多个膜而形成。

[0116] 接下来,在基底膜 53 上形成第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、以及第二导电膜 110。这些膜既可以由单层形成,又可以由层叠多个膜的叠层膜形成。

[0117] 使用导电材料形成第一导电膜 102。例如,可以使用钛、钼、铬、钽、钨、铝、铜、钕、铌或钐等的金属或以上述材料为主要成分的合金等导电材料形成第一导电膜 102。但是,需要耐受后面步骤(第一绝缘膜 104 的形成等)的耐热性,还需要选择在后面步骤(第二导电膜 110 的蚀刻等)中不受到无故意的蚀刻或腐蚀的材料。在这种条件下,第一导电膜 102 不局限于特定的材料。

[0118] 注意,例如可以通过溅射法或 CVD 法(包括热 CVD 法或等离子体 CVD 法等)等形成第一导电膜 102。但是,不局限于特定的方法。

[0119] 使用绝缘材料形成第一绝缘膜 104。例如,可以使用氧化硅膜、氮化硅膜、氧氮化硅膜或氮氧化硅膜等形成第一绝缘膜 104。但是,与第一导电膜 102 同样地需要耐受后面步骤(半导体膜 106 的形成等)的耐热性,并且还需要选择在后面步骤中不受到无故意的蚀刻或腐蚀的材料。在这种条件下,第一绝缘膜 104 不局限于特定的材料。

[0120] 注意,例如可以通过 CVD 法(包括热 CVD 法或等离子体 CVD 法等)或溅射法等形成第一绝缘膜 104,但是不局限于特定的方法。

[0121] 此外,第一绝缘膜 104 用作栅极绝缘膜。

[0122] 使用半导体材料形成半导体膜 106。例如,可以使用由硅烷气体形成的非晶硅等形成半导体膜 106。但是,与第一导电膜 102 等同样地需要耐受后面步骤(第二导电膜 110 等的形成等)的程度的耐热性,并还需要选择在后面的步骤中不受到无故意的蚀刻或腐蚀的材料。在这种条件下,半导体膜 106 不局限于特定的材料。因此,还可以使用锗等。注意,对于半导体膜 106 的结晶性也没有特别的限制。

[0123] 注意,例如可以通过 CVD 法(包括热 CVD 法或等离子体 CVD 法等)或溅射法等形成半导体膜 106。但是,不局限于特定的方法。

[0124] 杂质半导体膜 108 是包含赋予一导电性的杂质元素的半导体膜,并且它由用来形成添加有赋予一导电性的杂质元素的半导体的材料 气体等形成。例如,杂质半导体膜 108

是由包含磷化氢（化学式： $\text{PH}_3$ ）或乙硼烷（化学式： $\text{B}_2\text{H}_6$ ）的硅烷气体形成的包含磷或硼的硅膜。但是，与第一导电膜 102 等同样地需要耐受后面步骤（第二导电膜 110 等的形成等）的程度的耐热性，并还需要选择在后面步骤中不被蚀刻或腐蚀的材料。在这种条件下，杂质半导体膜 108 不局限于特定的材料。注意，对于杂质半导体膜 108 的结晶性也没有特别的限制。

[0125] 注意，在制造 n 型薄膜晶体管的情况下，作为赋予一导电性的杂质元素，使用磷或砷等，即可。也就是，使用于形成的硅烷气体包含具有所希望的浓度的磷化氢或砷化氢（化学式： $\text{AsH}_3$ ）等，即可。或者，在制造 p 型薄膜晶体管的情况下，作为赋予一导电性的杂质元素添加硼等即可。也就是，使用于形成的硅烷气体包含具有所希望的浓度的乙硼烷等，即可。另外，在如下情况下无须设置杂质半导体膜 108，即对由半导体膜 106 形成的半导体层的一部分利用掺杂等设置可以与源电极及漏电极层实现欧姆接触的区域的情况。

[0126] 注意，例如可以通过 CVD 法（包括热 CVD 法或等离子体 CVD 法等）等形成杂质半导体膜 108。但是，不局限于特定的方法。

[0127] 第二导电膜 110 由导电材料（作为第一导电膜 102 举出的材料等）形成，该导电材料是与第一导电膜 102 不同的材料。在此，“不同的材料”是指主要成分不同的材料。具体而言，选择不容易通过后面说明的第二蚀刻被蚀刻的材料，即可。此外，与第一导电膜 102 等同样地需要耐受后面步骤（第一保护膜 126 等的形成等）的程度的耐热性，并还需要选择在后面步骤中不受到无故意的蚀刻或腐蚀的材料。因此，在这种条件下，第二导电膜 110 不局限于特定的材料。

[0128] 注意，例如可以通过溅射法或 CVD 法（包括热 CVD 法或等离子体 CVD 法等）等形成第二导电膜 110。但是，不局限于特定的方法。

[0129] 注意，上面所说明的遮光膜 50、基底膜 53、第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、以及第二导电膜 110 被要求的耐热性是遮光膜 50 最高，并且按以上所述的顺序变低，因此第二导电膜 110 最低。例如，在半导体膜 106 为含有氢的非晶半导体膜的情况下，通过采用  $300^\circ\text{C}$  以上，半导体膜 106 中的氢脱离，而电特性变化。因此，例如在形成半导体膜 106 之后的步骤中，采用大约不超过  $300^\circ\text{C}$  的温度即可。

[0130] 接着，在第二导电膜 110 上形成第二抗蚀剂掩模 112（参照图 2B、图 5B、图 8B、图 11B、图 14B、图 20）。

[0131] 第二抗蚀剂掩模 112 使用与第一抗蚀剂掩模 51 的形成时所使用的掩模同一个掩模形成。但是，当使用与用来第一抗蚀剂掩模 51 的形成的掩模同一个掩模时，半导体层的边缘超出遮光层 52，因此有时遮光层 52 的半导体层的遮光不充分。从而，在第二抗蚀剂掩模 112 使用与第一抗蚀剂掩模 51 同一个掩模形成图案之后，使第二抗蚀剂掩模缩小即可。作为使抗蚀剂掩模缩小的方法，可以举出如利用氧等离子体的灰化（参照图 2B 中以虚线表示的矩形区域和第二抗蚀剂掩模 112）。

[0132] 接着，利用第二抗蚀剂掩模 112 进行第一蚀刻。就是，利用蚀刻对第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、以及第二导电膜 110 进行构图，而形成薄膜叠层体 114（参照图 2C、图 5C、图 8C、图 11C、图 14C、图 21）。此时，优选至少使第一导电膜 102 的表面露出。在本说明书中，将该蚀刻步骤称为第一蚀刻。作为第一蚀刻，采用干蚀刻或湿蚀刻即可。注意，在利用干蚀刻进行第一蚀刻的情况下，可以以一个步骤进行，但是在利用湿蚀

刻进行第一蚀刻的情况下,优选以多个步骤进行第一蚀刻。这是因为如下缘故,即在湿蚀刻中,每一种被蚀刻膜具有不同的蚀刻速率,因此难以在一个步骤进行蚀刻。

[0133] 注意,第一蚀刻优选例如以三个阶段的干蚀刻进行。首先,在 C12 气体、CF<sub>4</sub> 气体以及 O<sub>2</sub> 气体的混合气体中进行蚀刻,接下来只使用 C12 气体进行蚀刻,最后,只使用 CHF<sub>3</sub> 气体进行蚀刻即可。

[0134] 注意,也可以通过第一蚀刻对第一导电膜 102 进行蚀刻而使基底膜 53 露出。此时,优选以不使衬底 100 露出的方式进行蚀刻。

[0135] 接着,利用第二抗蚀剂掩模 112 进行第二蚀刻。就是,通过蚀刻对第一导电膜 102 进行构图,而形成栅电极层 116(参照图 3A、图 6A、图 9A、图 12A、图 15A、图 22)。该蚀刻步骤称为第二蚀刻。

[0136] 注意,栅电极层 116 构成薄膜晶体管的栅电极、栅极布线、电容元件的一方的电极、电容布线及支撑部,在表示为栅电极层 116A 的情况下是指构成栅极布线和薄膜晶体管的栅电极的栅电极层;在表示为栅电极层 116B 或栅电极层 116D 的情况下是指构成支撑部的栅电极层;在表示为栅电极层 116C 的情况下是指构成电容布线和电容元件的一方的电极的栅电极层。而且,将它们总称为栅电极层 116。

[0137] 以如下蚀刻条件进行第二蚀刻,即由第一导电膜 102 形成的栅电极层 116 的侧面形成在薄膜叠层体 114 的侧面的内侧。换言之,以栅电极层 116 的侧面与薄膜叠层体 114 的底面接触地形成的方式进行蚀刻(以在图 22 至 25 的 A-A' 截面中,栅电极层 116 的宽度小于薄膜叠层体 114 的宽度的方式进行蚀刻)。再者,以对第二导电膜 110 的蚀刻速率小,且对第一导电膜 102 的蚀刻速率大的条件进行蚀刻。换言之,以对第二导电膜 110 的第一导电膜 102 的蚀刻选择比大的条件进行。通过以这种条件进行第二蚀刻,可以形成栅电极层 116。

[0138] 注意,对于栅电极层 116 的侧面形状没有特别的限制。例如,也可以是锥形状。栅电极层 116 的侧面形状取决于用于第二蚀刻的药液等的条件。

[0139] 在此,“对第二导电膜 110 的蚀刻速率小,且对第一导电膜 102 的蚀刻速率大的条件”或者“对第二导电膜 110 的第一导电膜 102 的蚀刻选择比大的条件”是指满足以下第一必要条件和第二必要条件的条件。

[0140] 第一必要条件是指栅电极层 116 残留在所需要的部分的情况。需要栅电极层 116 的部分是指图 22 至 25 的抗蚀剂掩模中的以虚线表示的区域。换言之,需要地是,在第二蚀刻之后,栅电极层 116 以构成栅极布线、电容布线及支撑部的方式残留。为了使栅电极层构成栅极布线及电容布线,需要以不使这些布线断开的方式进行第二蚀刻。优选的是,如图 3A、图 9A、以及图 15A 所示,在离薄膜叠层体 114 的侧面具有间隔 d1 的内侧形成栅电极层 116 的侧面。实施者可以根据布局适当地设定间隔 d1,即可。

[0141] 第二必要条件是指由栅电极层 116 构成的栅极布线及电容布线的最小宽度 d3 和由源电极及漏电极层 120A 构成的源极布线的最小宽度 d2 合适的情况(参照图 25)。这是因为如下缘故:当通过第二蚀刻,源电极及漏电极层 120A 被蚀刻时,源极布线的最小宽度 d2 缩小,并且源极布线的电流密度成为过大,因此电特性降低。由此,以第一导电膜 102 的蚀刻速率不成为过大且第二导电膜 110 的蚀刻速率尽量小的条件进行第二蚀刻。

[0142] 此外,不容易增大源极布线的最小宽度 d2。这是因为如下缘故:源极布线的最小

宽度  $d_2$  取决于与源极布线重叠的半导体层的最小宽度  $d_4$ , 并且为了增大源极布线的最小宽度  $d_2$  而需要增大半导体层的最小宽度  $d_4$ , 由此不容易使相邻的栅极布线和电容布线绝缘。因此使半导体层的最小宽度  $d_4$  小于所述间隔  $d_1$  的大致两倍。换言之, 使间隔  $d_1$  大于半导体层的最小宽度  $d_4$  的大致一半。

[0143] 注意, 在栅极布线和与该栅极布线彼此相邻的电容布线之间存在着至少一个与源极布线重叠的半导体层的宽度为最小宽度  $d_4$  的部分, 即可。优选地是, 如图 25 所示, 将与栅极布线相邻的区域和与电容布线相邻的区域的半导体层的宽度设定为最小宽度  $d_4$ , 即可。

[0144] 注意, 优选将由源电极及漏电极层形成的连接于像素电极层的部分的电极宽度设定为源极布线的最小宽度  $d_2$ 。

[0145] 如上所说明, 非常重要的是根据引起侧面蚀刻的条件进行第二蚀刻。通过第二蚀刻引起第一导电膜 102 的侧面蚀刻, 可以使由栅电极层 116 构成的相邻的栅极布线和电容布线绝缘 (参照图 22)。在此, 第二蚀刻为引起侧面蚀刻的蚀刻, 因而大约各向同性地进行蚀刻。

[0146] 在此, 侧面蚀刻是指如下蚀刻, 即不仅在被蚀刻膜的厚度方向 (垂直于衬底面的方向或垂直于基底膜的面的方向) 上之外, 还在对厚度方向垂直的方向 (平行于衬底面的方向或平行于基底膜的面的方向) 上削去被蚀刻膜。受到侧面蚀刻的被蚀刻膜的端部形成成为根据对于被蚀刻膜的蚀刻气体或用于蚀刻的药液的蚀刻速率成为各种形状, 但是在很多情况下形成为使端部具有曲面。

[0147] 注意, 如图 22 所示, 将通过第一蚀刻形成的薄膜叠层体 114 设计为在接触于由栅电极层 116B 及栅电极层 116D 构成的支撑部的部分中变细 (参照图 22 中的两个箭头所示的部分)。通过采用这种结构, 可以利用第二蚀刻使栅电极层 116A 和栅电极层 116B 或栅电极层 116D 分断并绝缘。

[0148] 注意, 如图 22 所示的栅电极层 116B 及栅电极层 116D 用作支撑薄膜叠层体 114 的支撑部。通过具有支撑部, 可以防止形成在栅电极层上方的栅极绝缘膜等的剥离。再者, 通过设置支撑部, 可以防止由于第二蚀刻而形成接触栅电极层 116 的空洞的区域多余地扩大。注意, 通过设置支撑部, 可以防止薄膜叠层体 114 因其本身的重量破坏或破损并提高成品率, 因此很优选。然而, 本实施方式不局限于具有支撑部的形态, 也可以不设置支撑部。在图 26 中表示没有支撑部的形态的俯视图 (对应于图 25) 的一例。

[0149] 如上所说明, 优选采用湿蚀刻进行第二蚀刻。

[0150] 在采用湿蚀刻进行第二蚀刻的情况下, 由铝或钼形成第一导电膜 102, 由钛或钨形成第二导电膜 110, 并且将包含硝酸、醋酸及磷酸的药液用于蚀刻, 即可。或者, 由钼形成第一导电膜 102, 由钛、铝或钨形成第二导电膜 110, 并且将包含过氧化氢溶液的药液用于蚀刻, 即可。

[0151] 在采用湿蚀刻进行第二蚀刻的情况下, 最优选的是, 形成在添加有钽的铝上形成钼的叠层膜作为第一导电膜 102, 由钨形成第二导电膜 110, 并且将包含 2% 的硝酸、10% 的醋酸、72% 的磷酸的药液用于蚀刻。通过使用具有这样的组成的药液, 第一导电膜 102 被蚀刻而不蚀刻第二导电膜 110。注意, 添加到第一导电膜 102 的钽是为了实现铝的低电阻化和小丘的防止而添加的。

[0152] 注意, 如图 22 所示, 俯视的栅电极层 116 具有角 (例如, 角 151)。这是因为如下缘

故：由于形成栅电极层 116 的第二蚀刻是大致各向同性地进行的，因此蚀刻为使栅电极层 116 的侧面和薄膜叠层体 114 的侧面的间隔  $d1$  成为大致相同。

[0153] 接着，形成第三抗蚀剂掩模 118（参照图 3B、图 6B、图 9B、图 12B、图 15B、图 23）。注意，在此说明了在第二蚀刻之后形成第三抗蚀剂掩模 118，但是本发明不局限于此，还可以在形成第三抗蚀剂掩模 118 之后进行第二蚀刻。

[0154] 接着，使用第三抗蚀剂掩模 118 对薄膜叠层体 114 中的第二导电膜 110 进行蚀刻来形成源电极及漏电极层 120。在此，选择如下蚀刻条件，即不产生或不容易产生第二导电膜 110 以外的膜的无故意的蚀刻及腐蚀。特别重要的是，以不产生或不容易产生对栅电极层 116 的无故意的蚀刻及腐蚀的条件进行蚀刻。

[0155] 注意，源电极及漏电极层 120 构成薄膜晶体管的源电极或漏电极、源极布线、连接薄膜晶体管和像素电极的电极、以及电容元件的另一方的电极，“在表示为源电极及漏电极层 120A”或“源电极及漏电极层 120C”的情况下是指构成薄膜晶体管的源电极及漏电极的一方，以及源极布线的电极层；在表示为“源电极及漏电极层 120B”的情况下是指构成薄膜晶体管的源电极及漏电极的另一方、以及连接薄膜晶体管和像素电极的电极的电极层；在表示为“源电极及漏电极层 120D”的情况下是指构成电容元件的另一方的电极的电极层。而且，将它们总称为“源电极及漏电极层 120”。

[0156] 注意，作为薄膜叠层体 114 中的第二导电膜 110 的蚀刻，可以采用湿蚀刻或干蚀刻。

[0157] 接着，对薄膜叠层体 114 中的杂质半导体膜 108 及半导体膜 106 的上部（背沟道部）进行蚀刻来形成源区及漏区 122（参照图 3C、图 6C、图 9C、图 12C、图 15C、图 24）。在此，选择如下蚀刻条件，即不产生或不容易产生对杂质半导体膜 108 及半导体膜 106 以外的膜的无故意的蚀刻及腐蚀。特别重要的是，以不产生或不容易产生对栅电极层 116 的无故意的蚀刻及腐蚀的条件进行蚀刻。

[0158] 注意，作为对薄膜叠层体 114 中的杂质半导体膜 108 及半导体膜 106 的上部（背沟道部）的蚀刻，可以采用干蚀刻或湿蚀刻。

[0159] 然后，去除第三抗蚀剂掩模 118，以完成薄膜晶体管。如上所说明，可以使用一个光掩模（多级灰度掩模）制造遮光层及薄膜晶体管。

[0160] 注意，将参照图 3C 说明的步骤总称为第三蚀刻。如上所说明，第三蚀刻既可以以多个阶段进行，又可以以一个阶段进行。

[0161] 覆盖如上所述那样形成的薄膜晶体管地形成第二绝缘膜。在此，也可以只使用第一保护膜 126 形成第二绝缘膜，但是，优选使用第一保护膜 126 和第二保护膜 128 形成（参照图 4A、图 7A、图 10A、图 13A、图 16A）。与第一绝缘膜 104 同样地形成第一保护膜 126，即可。

[0162] 通过其表面大致成为平坦的方法形成第二保护膜 128。这是因为通过使第二保护膜 128 的表面大致平坦，可以防止形成在第二保护膜 128 上的像素电极层 132 的破裂等的缘故。因此，在此的“大致平坦”是指能够实现上述目的的程度即可，而并不被要求高平坦性。

[0163] 注意，例如可以使用感光聚酰亚胺、丙烯或环氧树脂等并通过旋涂法等来形成第二保护膜 128。但是，不局限于这些材料或形成方法。

[0164] 接着,在第二绝缘膜中形成第一开口部 130 及第二开口部 131(参照图 4B、图 7B、图 10B、图 13B、图 16B)。将第一开口部 130 及第二开口部 131 形成为至少到达源电极及漏电极层 120 的表面。第一开口部 130 及第二开口部 131 的形成方法不局限于特定的方法,而实施者根据第一开口部 130 的直径等适当地选择,即可。例如,通过采用光刻法进行干蚀刻,可以形成第一开口部 130 及第二开口部 131。

[0165] 注意,当通过光刻法形成开口部时,使用一个光掩模。

[0166] 接着,在第二绝缘膜上形成像素电极层 132(参照图 4C、图 7C、图 10C、图 13C、图 16C、图 25)。将像素电极层 132 形成为通过开口部连接到源电极及漏电极层 120。具体而言,将像素电极层 132 形成为通过第一开口部 130 连接到源电极及漏电极层 120B,并通过第二开口部 131 连接到源电极及漏电极层 120D。优选使用具有透光性的导电材料形成像素电极层 132。在此,作为具有透光性的导电材料,可以举出氧化铟锡(下面称为 ITO)、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌或添加有氧化硅的氧化铟锡等。通过溅射法或 CVD 法等形成具有透光性的导电材料的膜,即可,但是不局限于特定的方法。此外,至于像素电极层 132,可以是单层或层叠多个膜而成的叠层膜。

[0167] 注意,在本实施方式中,只有像素电极层 132 使用具有透光性的导电材料,但是本实施方式不局限于此。作为第一导电膜 102 及第二导电膜 110 的材料,也可以使用具有透光性的导电材料。

[0168] 注意,当通过光刻法形成像素电极层 132 时,使用一个光掩模。

[0169] 如上所说明,根据本实施方式的有源矩阵衬底的制造(所谓的阵列步骤)结束。如本实施方式所说明,通过利用侧面蚀刻形成栅电极层,可以使用比现有技术少一个的光掩模制造薄膜晶体管。

[0170] 如上所述那样制造的薄膜晶体管包括:遮光层上的基底膜;上述基底膜上的栅电极层;上述栅电极层上的栅极绝缘膜;上述栅极绝缘膜上的半导体层;具有上述半导体层上的源区及漏区的杂质半导体层;上述源区及漏区上的源电极及漏电极;以及与上述栅电极层的侧面接触的空洞(参照图 4C)。这种薄膜晶体管因为与栅电极层的侧面接触地具有空洞,因此可以制造栅电极层端部的漏电流小的薄膜晶体管。再者,通过具有遮光层可以制造光漏电流小的薄膜晶体管。

[0171] 在此,参照图 27 至图 29C 说明通过上述步骤制造的有源矩阵衬底的端子连接部。

[0172] 图 27 至图 29C 示出通过上述步骤制造的有源矩阵衬底中的栅极布线一侧的端子连接部及源极布线一侧的端子连接部的俯视图及截面图。

[0173] 图 27 示出在栅极布线一侧的端子连接部及源极布线一侧的端子连接部中的从像素部延伸的栅极布线及源极布线的俯视图。

[0174] 图 28 示出沿着图 27 中的 X-X' 的截面图。也就是,图 28 示出栅极布线一侧的端子连接部中的截面图。在图 28 中,只有栅电极层 116 露出。端子部连接到该栅电极层 116 露出的区域中。

[0175] 图 29A 至 29C 示出源极布线一侧的端子连接部中的截面图。在图 29A 至 29C 中,栅电极层 116 和源电极及漏电极层 120 隔着像素电极层 132 连接。图 29A 至 29C 示出栅电极层 116 和源电极及漏电极层 120 的各种连接方式。作为所公开的显示装置的发明中的端

子连接部,可以采用这些连接方式中的任何一种或图 29A 至 29C 所示的方式之外的连接方式。通过使源电极及漏电极层 120 连接到栅电极层 116,可以使端子的连接部的高度大致相等。

[0176] 在图 29A 中,通过蚀刻等去除第一保护膜 126 及第二保护膜 128 的端部,使栅电极层 116 和源电极及漏电极层 120 露出,并且通过该露出了的区域中形成像素电极层 132 实现电连接。图 29A 相当于沿着图 27 中的 Y-Y' 的截面图。

[0177] 注意,可以在形成第一开口部 130 及第二开口部 131 的同时,形成栅电极层 116 和源电极及漏电极层 120 露出了的区域。

[0178] 在图 29B 中,在第一保护膜 126 及第二保护膜 128 中设置第三开口部 160A,并且通过蚀刻等去除第一保护膜 126 及第二保护膜 128 的端部,使栅电极层 116 和源电极及漏电极层 120 露出。通过在该露出了的区域中形成像素电极层 132 实现电连接。

[0179] 注意,可以在形成第一开口部 130 及第二开口部 131 的同时,形成第三开口部 160A 和栅电极层 116 露出了的区域。

[0180] 在图 29C 中,通过在第一保护膜 126 及第二保护膜 128 中设置第三开口部 160B 及第四开口部 161,使栅电极层 116 和源电极及漏电极层 120 露出,并且通过在该露出了的区域中形成像素电极层 132 实现电连接。在此,与图 29A 及 29B 同样地通过蚀刻等去除第一保护膜 126 及第二保护膜 128 的端部,但是将该区域用作端子的连接部。

[0181] 注意,当形成第一开口部 130 及第二开口部 131 的同时,可以形成第三开口部 160B 及第四开口部 161 和栅电极层 116 露出了的区域。

[0182] 注意,对于图 29A 至 29C 所示的开口部的数目没有特别的限制,既可以对于一个端子设置一个开口部,又可以对于一个端子设置多个开口部。通过对于一个端子设置多个开口部,即使因为形成开口部的蚀刻步骤不充分等而不能获得良质的开口部也可以利用其他开口部实现电连接。再者,即使顺利地形成所有开口部,也可以扩大接触的面积,因此可以减少接触电阻,所以很优选。

[0183] 接着,说明使用通过上述步骤制造的显示装置的有源矩阵衬底制造液晶显示装置的方法。即说明单元步骤及模块步骤。但是,根据本实施方式的显示装置的制造方法中的单元步骤及模块步骤不局限于下面说明。

[0184] 在单元步骤中,贴合通过上述步骤制造的有源矩阵衬底和与此相对的衬底(下面,称为相对衬底)并注入液晶。首先,下面对于相对衬底的制造方法进行简单的说明。注意,即使没有特别的说明,形成在相对衬底上的膜也可以是单层或叠层。

[0185] 首先,在衬底上形成遮光层,在遮光层上形成红色、绿色、蓝色中任一种彩色滤光片层,在其上选择性地形成像素电极层,并且在像素电极层上形成肋材。

[0186] 作为遮光层,选择性地形成具有遮光性的材料的膜。作为具有遮光性的材料,例如可以使用包含黑色树脂(碳黑)的有机树脂。或者,可以使用以铬为主要成分的材料膜的叠层膜。以铬为主要成分的材料膜是指铬、氧化铬或氮化铬。用于遮光层的材料只要是具有遮光性的材料,而没有特别的限制。通过采用光刻法等选择性地形成具有遮光性的材料的膜。

[0187] 使用如下有机树脂膜选择性地形成彩色滤光片层即可,该有机树脂膜是当从背光灯照射白色光时,只能够透过红色、绿色、蓝色中任一种光。通过当形成时进行分别涂敷,可

以选择性地形成彩色滤光片层。作为彩色滤光片的排列,采用条形排列、三角排列或正方排列,即可。

[0188] 相对衬底的像素电极层可以与有源矩阵衬底所具有的像素电极层 132 同样地形成。但是,因为不需要选择性地形成,所以形成在相对衬底的整个面上,即可。

[0189] 形成在像素电极上的肋材是指为扩大视角而形成的形成了图案的有机树脂膜。注意,在并没有需要时,也可以不形成。

[0190] 注意,作为相对衬底的制造方法,还可以举出各种方式。例如,也可以在形成彩色滤光片层之后,在形成像素电极层之前形成外敷层。通过形成外敷层,可以提高像素电极的被形成面的平坦性,从而提高成品率。此外,可以防止包括在彩色滤光片层中的材料的一部分侵入到液晶材料中。作为外敷层,使用以丙烯酸树脂或环氧树脂为基础的热固化材料。

[0191] 此外,在形成肋材之前或后,也可以形成支柱间隔物(柱状间隔物),作为间隔物。支柱间隔物是指为了将有源矩阵衬底和相对衬底之间的间隔保持为一定而以一定间隔形成在相对衬底上的结构物。在使用珠状间隔物(球状间隔物)的情况下,也可以不形成支柱间隔物。

[0192] 接着,将取向膜形成在有源矩阵衬底及相对衬底上。例如,通过如下步骤形成取向膜,即将聚酰亚胺树脂等溶化在有机溶剂中,通过印刷法或旋涂法等涂敷它,然后去除有机溶剂之后焙烧该有源矩阵衬底及相对衬底。所形成的取向膜的厚度一般地为 50nm 以上且 100nm 以下左右。对取向膜进行研磨处理以使液晶分子具有一定的预倾角取向。例如,通过使用长绒毛的布如天鹅绒等擦取向膜,来进行研磨处理。

[0193] 接着,使用密封剂贴合有源矩阵衬底和相对衬底。当在相对衬底不设置有支柱间隔物的情况下,将珠状间隔物分散在所希望的区域中并贴合。

[0194] 接着,将液晶材料注入到在贴合了的有源矩阵衬底和相对衬底之间。在注入液晶材料之后,使用紫外线固化树脂等密封注入口。或者,也可以将液晶材料滴落在有源矩阵衬底或相对衬底上之后,贴合这些衬底。

[0195] 接着,将偏振片贴附到贴合有源矩阵衬底和相对衬底的液晶单元的双面而结束单元步骤。

[0196] 接着,作为模块步骤,将 FPC(柔性印刷电路)连接到端子部的输入端子(图 29A 至 29C 中的栅电极层 116 露出的区域)。在 FPC 中在有机树脂薄膜如聚酰亚胺等上形成有由导电膜构成的布线,并且 FPC 隔着各向异性导电膏剂(下面,称为 ACP)连接到输入端子。ACP 由用作粘合剂的膏剂和具有镀金等的直径为几十  $\mu\text{m}$  至几百  $\mu\text{m}$  的导电表面的粒子构成。通过混入在膏剂中的粒子接触于输入端子上的导电层和连接到形成在 FPC 中的布线的端子上的导电层,实现电连接。注意,在 FPC 的连接之后,也可以将偏振片贴附到有源矩阵衬底和相对衬底。如上所述,可以制造用于显示装置的液晶面板。

[0197] 如上所述,可以使用三个光掩模制造用于显示装置的具有像素晶体管的有源矩阵衬底。

[0198] 因此可以大幅度地减少薄膜晶体管及显示装置的制造步骤数目。

[0199] 可以不通过复杂步骤如背面曝光、抗蚀剂回流及剥离法等而大幅度地减少薄膜晶体管的制造步骤数目。因此,可以不通过复杂步骤而大幅度地减少显示装置的制造步骤数目。因此,可以大幅度地减少显示装置的制造步骤数目,而不降低成品率。

[0200] 此外,可以维持薄膜晶体管的电特性并大幅度地减少薄膜晶体管的制造步骤。

[0201] 再者,借助于上述效果,可以大幅度地减少制造成本。

[0202] 另外,可以对半导体层遮光,因此可以制造减少光漏电流且具有良好的电特性的薄膜晶体管及具有该薄膜晶体管的显示装置。而且,可以使用用来薄膜晶体管的形成的光掩模形成遮光半导体层的遮光层,因此可以不增加掩模数目地制造减少光漏电流且具有良好的电特性的薄膜晶体管及具有该薄膜晶体管的显示装置。

[0203] 再者,也可以制造在栅电极层端部产生的漏电流小的薄膜晶体管,因此可以得到对比度高且显示质量良好的显示装置。

[0204] 注意,本发明的一个方式不局限于上述说明的像素结构,可以用于各种的液晶显示装置。

[0205] 实施方式 2

[0206] 在本实施方式中说明本发明的一个方式之一的薄膜晶体管的制造方法及显示装置的制造方法,它与实施方式 1 不同。具体而言,参照图 30A-1 至图 35 说明利用多级灰度掩模,并且与实施方式 1 同样地制造薄膜晶体管的方法。

[0207] 注意,图 31A 至 31C 对应于实施方式 1 中的图 2A 至图 3C。图 32A 至 32C 对应于实施方式 1 中的图 11A 至 12C。图 33、图 34、以及图 35 对应于实施方式 1 中的图 20、图 21、以及图 24。另外,沿着图 33 至图 35 中的 A-A' 的截面图相当于图 31A 至 31C,并且沿着图 33 至图 35 中的 D-D' 的截面图相当于图 32A 至 32C。

[0208] 首先,与实施方式 1 同样,通过使用第一抗蚀剂掩模对衬底 100 上的遮光膜 50 进行蚀刻而形成遮光层 52,在遮光层 52 上形成基底膜 53,在基底膜 53 上形成第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、以及第二导电膜 110(参照图 31A 及 32A)。可以用于上述步骤的材料和应用上述步骤的方法与实施方式 1 同样。另外,在衬底 100 和遮光层 52 之间也可以设置“用作基底的绝缘膜”。另外,在如下情况下无须设置杂质半导体膜 108,即对由半导体膜 106 形成的半导体层的一部分利用掺杂等设置可以与源电极及漏电极层实现欧姆接触的区域的情况。

[0209] 接着,在第二导电膜 110 上形成第二抗蚀剂掩模 170(参照图 31E、图 32E、以及图 33)。本实施方式中的第二抗蚀剂掩模 170 是具有凹部或凸部的抗蚀剂掩模,可以换言之,由厚度不同的多个区域(在此为两个区域)构成的抗蚀剂掩模。在第二抗蚀剂掩模 170 中,厚的区域称为第二抗蚀剂掩模 170 的凸部,而薄的区域称为第二抗蚀剂掩模 170 的凹部。

[0210] 在第二抗蚀剂掩模 170 中,在形成源电极及漏电极层 120 的区域中形成凸部,并且在没有源电极及漏电极层 120 且半导体层露出而形成的区域中形成凹部。

[0211] 另外,第二抗蚀剂掩模 170 优选使用与第一抗蚀剂掩模同一个光掩模而形成。因此,第一抗蚀剂掩模也优选为具有凹部或凸部的抗蚀剂掩模。

[0212] 可以使用多级灰度掩模形成第二抗蚀剂掩模 170。在此,参照图 30A-1 至 30B-2 说明多级灰度掩模。

[0213] 多级灰度掩模是指能够以多阶段的光量进行曝光的掩模,典型地有以曝光区域、半曝光区域及未曝光区域的三个阶段的光量进行曝光的掩模。通过使用多级灰度掩模,可以以一次曝光及显影步骤形成具有多种(典型地是两种)厚度的抗蚀剂掩模。因此,通过使用多级灰度掩模,可以减少光掩模的数目。

[0214] 图 30A-1 及图 30B-1 是典型的多级灰度掩模的截面图。图 30A-1 示出灰色调掩模 140, 而图 30B-1 示出半色调掩模 145。

[0215] 图 30A-1 所示的灰色调掩模 140 由使用遮光膜形成在具有透光性的衬底 141 上的遮光部 142 以及使用遮光膜的图案设置的衍射光栅部 143 构成。

[0216] 衍射光栅部 143 通过具有以用于曝光的光的分辨率限制以下的间隔设置的槽缝、点或网眼等, 控制透光率。注意, 设置在衍射光栅部 143 的槽缝、点或网眼可以是周期性的或非周期性的。

[0217] 作为具有透光性的衬底 141, 可以使用石英等。构成遮光部 142 及衍射光栅部 143 的遮光膜使用金属膜形成即可, 优选使用铬或氧化铬等设置。

[0218] 在对灰色调掩模 140 照射用于曝光的光的情况下, 如图 30A-2 所示, 重叠于遮光部 142 的区域中的透光率为 0%, 而不设置有遮光部 142 或衍射光栅部 143 的区域中的透光率为 100%。此外, 衍射光栅部 143 中的透光率大致为 10% 至 70% 的范围内, 并且根据衍射光栅的槽缝、点或网眼等的间隔可以调整透光率。

[0219] 图 30B-1 所示的半色调掩模 145 由使用半透膜形成在具有透光性的衬底 146 上的半透光部 147 以及使用遮光膜形成的遮光部 148 构成。

[0220] 半透光部 147 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等的膜形成。遮光部 148 使用与灰色调掩模的遮光膜同样的金属膜形成即可, 优选使用铬或氧化铬等设置。

[0221] 在对半色调掩模 145 照射用于曝光的光的情况下, 如图 30B-2 所示, 重叠于遮光部 148 的区域中的透光率为 0%, 而不设置有遮光部 148 或半透光部 147 的区域中的透光率为 100%。此外, 半透光部 147 中的透光率大致为 10% 至 70% 的范围内, 并且根据形成的材料的种类或形成的膜厚度等可以调整该透光率。

[0222] 通过使用多级灰度掩模进行曝光和显影, 可以形成具有膜厚度不同的区域的第二抗蚀剂掩模 170。但是, 本实施方式不局限于此, 也可以不使用多级灰度掩模地形成第二抗蚀剂掩模 170。

[0223] 接着, 使用第二抗蚀剂掩模 170 进行第一蚀刻。也就是, 通过蚀刻对第一绝缘膜 104、半导体膜 106、杂质半导体膜 108 及第二导电膜 110 进行构图, 以在第一导电膜 102 上形成薄膜叠层体 114 (参照图 31B、图 32B、以及图 34)。

[0224] 接着, 与实施方式 1 同样地进行第二蚀刻, 形成栅电极层 116。

[0225] 在此, 第二蚀刻的条件与实施方式 1 中的第二蚀刻同样。

[0226] 接着, 使第二抗蚀剂掩模 170 缩小, 在薄膜叠层体 114 上形成第三抗蚀剂掩模 171。使用第三抗蚀剂掩模 171, 形成源电极及漏电极层 120、源区域及漏区域 122、以及半导体层 124 (参照图 31C、图 32C、以及图 35)。为了使第二抗蚀剂掩模 170 缩小, 进行利用氧等离子体的灰化等。蚀刻条件等与实施方式 1 中的蚀刻条件同样。另外, 后面步骤与实施方式 1 的后面步骤也同样。

[0227] 注意, 在此说明了在第二蚀刻之后形成第三抗蚀剂掩模 170 的情况, 但是本发明不局限于此, 还可以在形成第三抗蚀剂掩模 170 之后进行第二蚀刻。

[0228] 如本实施方式所说明, 通过利用多级灰度掩模, 可以制造薄膜晶体管。通过利用多级灰度掩模, 可以进一步减少所利用的光掩模数目。

[0229] 注意, 除了上述所说明之点之外, 根据本实施方式的薄膜晶体管及显示装置的制

造方法与实施方式 1 的制造方法同样。因此,本实施方式当然具有与根据实施方式 1 的薄膜晶体管及显示装置的制造方法同样的效果,但是所利用的掩模数目减少一个。也就是,根据本实施方式,可以使用一个光掩模制造薄膜晶体管。另外,可以使用三个光掩模制造具有像素晶体管的有源矩阵衬底。因此,减少所使用的光掩模的数目,从而可以大幅度地减少薄膜晶体管及显示装置的制造步骤数目。再者,可以高成品率地制造并降低成本。

[0230] 另外,与实施方式 1 同样,可以维持薄膜晶体管的电特性并大幅度地减少薄膜晶体管的制造步骤数目。

[0231] 注意,应用本实施方式的制造方法而制造的薄膜晶体管也与实施方式 1 所说明的薄膜晶体管同样,与栅电极层的侧面接触地具有空洞。通过形成为与栅电极层的侧面接触地具有空洞,可以制造栅电极层端部中的泄漏电流小的薄膜晶体管。因此,通过将本发明的一个方式的薄膜晶体管应用于显示装置,可以得到对比度高且显示质量良好的显示装置。

[0232] 另外,与实施方式 1 所说明的薄膜晶体管同样,可以遮光半导体层,因此可以制造减少光漏电流且具有良好的电特性的薄膜晶体管及具有该薄膜晶体管的显示装置。而且,可以使用用来薄膜晶体管的形成的光掩模形成遮光半导体层的遮光层,因此可以不增加掩模数目地制造减少光漏电流且具有良好的电特性的薄膜晶体管及具有该薄膜晶体管的显示装置。

[0233] 实施方式 3

[0234] 在本实施方式中,参照图 36 至图 45C、以及图 46A 和 46B 说明薄膜晶体管及将该薄膜晶体管配置为矩阵状的 EL 显示装置的制造方法的一例。

[0235] 作为将薄膜晶体管用作开关元件的 EL 显示装置(有源型 EL 显示装置)的像素电路,钻研各种各样的电路。在本实施方式中,图 36 示出简单的像素电路的一例,并且对于应用该像素电路的像素结构的制造方法进行说明。但是,所公开的 EL 显示装置的像素电路不局限于图 36 所示的结构。

[0236] 在图 36 所示的 EL 显示装置的像素结构中,像素 191 包括第一晶体管 181、第二晶体管 182、第三晶体管 183、电容元件 184 及发光元件 185。第一至第三晶体管是 n 型晶体管。第一晶体管 181 的栅电极连接到栅极布线 186,源电极及漏电极的一方(为第一电极)连接到源极布线 188,源电极及漏电极的另一方(为第二电极)连接到第二晶体管 182 的栅电极及电容元件 184 的一方电极(为第一电极)。电容元件 184 的另一方电极(为第二电极)连接到第二晶体管 182 的源电极及漏电极的一方(为第一电极)、第三晶体管 183 的源电极及漏电极的一方(为第一电极)及发光元件 185 的一方电极(为第一电极)。第二晶体管 182 的源电极及漏电极的另一方(为第二电极)连接到第二电源线 189。第三晶体管 183 的源电极及漏电极的另一方(为第二电极)连接到第一电源线 187,栅电极连接到栅极布线 186。发光元件 185 的另一方电极(为第二电极)连接到共同电极 190。注意,第一电源线 187 的电位和第二电源线 189 的电位互不相同。

[0237] 对于像素 191 的工作进行说明。当第三晶体管 183 根据栅极布线 186 的信号导通时,第二晶体管 182 的第一电极、发光元件 185 的第一电极及电容元件 184 的第二电极的电位相等第一电源线 187 的电位( $V_{187}$ )。在此,由于第一电源线 187 的电位( $V_{187}$ )为一定,所以第二晶体管 182 的第一电极等的电位为一定( $V_{187}$ )。

[0238] 当第一晶体管 181 被栅极布线 186 的信号选择而导通时,来自源极布线 188 的信

号的电位 (V188) 通过第一晶体管 181 输入到第二晶体管 182 的栅电极。此时,若是第二电源线 189 的电位 (V189) 高于第一电源线 187 的电位 (V187),则  $V_{gs} = V188 - V187$ 。而且,若是  $V_{gs}$  大于第二晶体管 182 的阈值电压,则第二晶体管 182 导通。

[0239] 因此,当使第二晶体管 182 工作在线形区中之际,通过改变源极布线 188 的电位 (V188) (例如为二进制值),可以控制第二晶体管 182 的导通和截止。也就是,可以控制是否对发光元件 185 所包括的 EL 层施加电压。

[0240] 此外,当使第二晶体管 182 工作在饱和区中之际,通过改变源极布线 188 的电位 (V188),可以控制流过在发光元件 185 中的电流量。

[0241] 当如上所述那样地使第二晶体管 182 工作在线形区中之际,可以控制是否对发光元件 185 施加电压,并还可以控制发光元件 185 的发光状态和不发光状态。这种驱动方法例如可以用于数字时间灰度级驱动。数字时间灰度级驱动是一种驱动方法,其中将一个帧分割为多个子帧,并且在各子帧中控制发光元件 185 的发光状态和不发光状态。此外,当使第二晶体管 182 工作在饱和区中之际,可以控制流过在发光元件 185 中的电流量,并还可以调整发光元件 185 的亮度。图 49A 至 49C 是沿着图 42 所示的 B-B' 中的截面图。

[0242] 接着,下面对于应用图 36 所示的像素电路的像素结构及其制造方法进行说明。

[0243] 注意,图 37 至图 42 示出根据本实施方式的薄膜晶体管的俯视图,图 42 是直到形成像素电极的完成图。图 43A 至图 45C 是沿着图 37 至图 42 所示的 A-A' 的截面图。

[0244] 首先,在衬底 200 上形成遮光层 197,并且覆盖遮光层 197 地形成基底膜 198 (参照图 37 至 43A)。通过形成遮光膜 195,在遮光膜 195 上形成第一抗蚀剂掩模 196,并且使用第一抗蚀剂掩模 196 对遮光膜 195 进行蚀刻等而进行构图,来形成遮光层 197。

[0245] 注意,作为衬底 200 可以使用与实施方式 1 中的衬底 100 同样的衬底。遮光膜 195 相当于实施方式 1 中的遮光膜 50,第一抗蚀剂掩模 196 相当于实施方式 1 中的第一抗蚀剂掩模 51,遮光层 197 相当于遮光层 52,并且基底膜 198 相当于实施方式 1 中的基底膜 53。因此,使用与实施方式 1 中的材料及形成方法同样的材料及形成方法即可。

[0246] 接着,在基底膜 198 上形成第一导电膜 202、第一绝缘膜 204、半导体膜 206、杂质半导体膜 208、以及第二导电膜 210 (参照图 43A)。

[0247] 注意,第一导电膜 202 可以使用与实施方式 1 中的第一导电膜 102 同样的材料及方法而形成。第一绝缘膜 204 可以使用与实施方式 1 中的第一绝缘膜 104 同样的材料及方法而形成。

[0248] 半导体膜 206 优选利用由结晶半导体膜和非晶半导体膜而成的叠层膜。作为结晶半导体膜,可以举出多晶半导体膜或微晶半导体膜等。

[0249] 多晶半导体膜是指由晶粒构成且在该晶粒之间包括多个晶界的半导体膜。多晶半导体膜例如通过热晶化法或激光晶化法形成。在此,热晶化法是指一种晶化法,其中在衬底上形成非晶半导体膜,并加热该衬底来使该非晶半导体晶化。此外,激光晶化法是指一种晶化法,其中在衬底上形成非晶半导体膜,并对该非晶半导体膜照射激光来使非晶半导体晶化。或者,也可以采用添加镍等的晶化促进元素 (element for promoting crystallization) 进行晶化的晶化法。在添加晶化促进元素进行晶化的情况下,优选对该半导体膜照射激光。

[0250] 多晶半导体被分类为如下两种:以玻璃衬底不产生应变的程度的温度和时间进行

晶化的 LTPS(低温多晶硅);以及以更高温进行晶化的 HTPS(高温多晶硅)。

[0251] 微晶半导体膜是指包括其粒径大致为 2nm 以上且 100nm 以下的晶粒的半导体膜,包括其整个面只由晶粒构成的半导体膜或在晶粒之间夹着非晶半导体的半导体膜。作为微晶半导体膜的形成方法,采用如下方法等,即可:形成晶核并使它成长的方法;形成非晶半导体膜并接触于该非晶半导体膜地形成绝缘膜和金属膜,并且利用通过该金属膜照射激光产生在其中的热来使非晶半导体晶化的方法。但是,不包括对非晶半导体膜利用热晶化法或激光晶化法形成的结晶半导体膜。

[0252] 当例如将在结晶半导体膜上层叠非晶半导体膜形成的叠层膜用作半导体膜 206 时,可以使 EL 显示装置的像素电路所具有的晶体管高速工作。在此,作为结晶半导体膜,可以应用多晶半导体(包括 LTPS 及 HTPS)膜或微晶半导体膜。

[0253] 注意,通过在结晶半导体膜上具有非晶半导体膜,可以防止微晶半导体膜表面的氧化。此外,可以提高耐压性并降低截止电流。

[0254] 但是,在 EL 显示装置的像素电路正常地工作的情况下,对于半导体膜 206 的结晶性没有特别的限制。

[0255] 杂质半导体膜 208 是包含赋予一种导电性的杂质元素的半导体膜,并且它由用来形成添加有赋予一种导电性的杂质元素的半导体的材料气体等形成。由于在本实施方式中设置 n 型薄膜晶体管,因此例如使用由包含磷化氢(化学式:PH<sub>3</sub>)的硅烷气体形成的包含磷的硅膜设置杂质半导体膜 208,即可。但是,与第一导电膜 202 等同样地需要耐热性,并还需要选择在后面步骤中不受到无故意的蚀刻或腐蚀的材料。在这种条件下,杂质半导体膜 208 不局限于特定的材料。注意,对于杂质半导体膜 208 的结晶性也没有特别的限制。此外,当在使用半导体膜 206 形成的半导体层的一部分中通过掺杂等设置能够与源电极及漏电极及层实现欧姆接触的区域等时,不需要设置杂质半导体膜 208。

[0256] 在本实施方式中制造 n 型薄膜晶体管,所以也可以使用作为要添加的赋予一种导电性的杂质元素使用砷等,并且用于杂质半导体膜 208 的形成的硅烷气体包含所希望的浓度的砷化氢(化学式:AsH<sub>3</sub>),即可。

[0257] 注意,例如可以通过 CVD 法(包括热 CVD 法或等离子体 CVD 法等)等形成杂质半导体膜 208。但是,不局限于特定的方法。

[0258] 第二导电膜 210 可以使用与实施方式 1 中的第二导电膜 110 同样的材料及方法而形成,并且使用与第一导电膜 202 不同的材料形成。

[0259] 接着,在第二导电膜 210 上形成第二抗蚀剂掩模 212(参照图 43A)。在此,第二抗蚀剂掩模 212 与实施方式 2 同样,优选是具有凹部或凸部的抗蚀剂掩模。可以换言之,由厚度不同的多个区域(在此为两个区域)构成的抗蚀剂掩模。在第二抗蚀剂掩模 212 中,将厚的区域称为第二抗蚀剂掩模 212 的凸部,而将薄的区域称为第二抗蚀剂掩模 212 的凹部。第二抗蚀剂掩模 212 可以由多级灰度掩模形成。注意,如实施方式 1 所述,第二抗蚀剂掩模 212 可以使用与第一抗蚀剂掩模 196 同一个光掩模形成。在第二抗蚀剂掩模 212 为具有凹部或凸部的抗蚀剂掩模的情况下,在形成源电极及漏电极层的区域中形成凸部,并且在没有源电极及漏电极层并露出地形成半导体层的区域中形成凹部。

[0260] 注意,本实施方式不局限于此,第二抗蚀剂掩模 212 可以与实施方式 1 同样地形成,而不利用多级灰度掩模。

[0261] 接着,利用第二抗蚀剂掩模 212 进行第一蚀刻。就是说,至少蚀刻第一绝缘膜 204、半导体膜 206、杂质半导体膜 208、以及第二导电膜 210 而进行构图,来形成薄膜叠层体 214(参照图 38 及图 43B)。

[0262] 利用第二抗蚀剂掩模 212 进行第二蚀刻。就是,通过蚀刻对第一导电膜 202 进行构图,而形成栅电极层 216(参照图 39 及图 43C)。

[0263] 注意,栅电极层 216 构成薄膜晶体管的栅电极、栅极布线、电容元件的一方的电极以及支撑部,在表示为栅电极层 216A 的情况下是指构成栅极布线、第一晶体管 181 的栅电极、以及第三晶体管 183 的栅电极的电极层;在表示为栅电极层 216B 的情况下是指构成第二晶体管 182 的栅电极、以及电容元件 184 的一方的电极的电极层;在表示为栅电极层 216C 的情况下是指构成支撑部的电极层;而且,将它们总称为栅电极层 216。

[0264] 以如下蚀刻条件进行第二蚀刻,即由第一导电膜 202 形成的栅电极层 216 的侧面形成在薄膜叠层体 214 的侧面的内侧。换言之,以栅电极层 216 的侧面与薄膜叠层体 214 的底面接触地形成的方式进行蚀刻(以在 A-A' 截面中栅电极层 216 的宽度小于薄膜叠层体 214 的宽度的方式进行蚀刻)。再者,以对第二导电膜 210 的蚀刻速率小,且对第一导电膜 202 的蚀刻速率大的条件进行蚀刻。换言之,以对第二导电膜 210 的第一导电膜 202 的蚀刻选择比大的条件进行。通过以这种条件进行第二蚀刻,可以形成栅电极层 216。

[0265] 注意,对于栅电极层 216 的侧面形状没有特别的限制。例如,也可以是锥形状。栅电极层 216 的侧面形状取决于用于第二蚀刻的药液等的条件。

[0266] 在此,“对第二导电膜 210 的蚀刻速率小,且对第一导电膜 202 的蚀刻速率大的条件”或者“对第二导电膜 210 的第一导电膜 202 的蚀刻选择比大的条件”是指满足以下第一必要条件和第二必要条件的条件。

[0267] 第一必要条件是指栅电极层 216 残留在所需要的部分中的情况。栅电极层 216 的所需腰的部分是指图 39 至图 42 中的以虚线表示的区域。换言之,需要的是,在第二蚀刻之后,栅电极层 216 以构成栅极布线、晶体管所具有的栅电极及电容元件所具有的一个电极的方式残留。为了使栅电极层构成栅极布线及电容布线,需要以不使这些布线断开的方式进行第二蚀刻。优选的是,如图 39 以及图 43C 所示,在离薄膜叠层体 214 的侧面具有间隔  $d_1$  的内侧形成栅电极层 216 的侧面。实施者可以根据布局适当地设定间隔  $d_1$ ,即可。

[0268] 第二必要条件是指由栅电极层 216 构成的栅极布线的最小宽度  $d_3$  和由源电极及漏电极层 220 构成的源极布线及电源线的最小宽度  $d_2$  适当的情况(参照图 42)。这是因为如下缘故:若通过第二蚀刻,源电极及漏电极层 220 被蚀刻,则源极布线及电源线的最小宽度  $d_2$  缩小,并且源极布线及电源线的电流密度成为过大,因此电特性降低。由此,以第一导电膜 202 的蚀刻速率不成为过大且第二导电膜 210 的蚀刻速率尽量小的条件进行第二蚀刻。

[0269] 此外,不容易使源极布线及电源线的最小宽度  $d_2$  增大。这是因为如下缘故:源极布线及电源线的最小宽度  $d_2$  取决于与源极布线及电源线重叠的半导体层的最小宽度  $d_4$ ,并且为了使源极布线及电源线的最小宽度  $d_2$  增大而需要使半导体层的最小宽度  $d_4$  增大,由此不容易使相邻的栅极布线和电容布线绝缘。使半导体层的最小宽度  $d_4$  小于所述间隔  $d_1$  的大致两倍。换言之,使间隔  $d_1$  大于半导体层的最小宽度  $d_4$  的大致一半。

[0270] 注意,在为根据每个元件分离栅电极层而需要的部分中适当地设置与源极布线及

电源线重叠的半导体层的宽度为最小宽度  $d_4$  的部分,即可。通过第二蚀刻,可以形成栅电极层 216 不残留在与半导体层的最小宽度为  $d_4$  的部分重叠的部分的图案。

[0271] 注意,优选将由源电极及漏电极层形成的连接于像素电极层的部分的电极宽度设定为源极布线及电源线的最小宽度  $d_2$ 。

[0272] 如上所说明,非常重要是根据带着侧面蚀刻的条件进行第二蚀刻。这是因为如下缘故:通过第二蚀刻带着对第一导电膜 202 的侧面蚀刻,可以形成图案,以不仅实现所希望的由栅电极层 216 构成的相邻的栅极布线之间的连接,而且实现所希望的像素电路中的元件的连接。第二蚀刻为引起侧面蚀刻的蚀刻,因而大约各向同性地进行蚀刻。

[0273] 在此,侧面蚀刻是指如下蚀刻,即不仅在被蚀刻膜的厚度方向(垂直于衬底面的方向或垂直于基底膜的面方向)上之外,还在对厚度方向垂直的方向(平行于衬底面的方向或平行于基底膜的面方向)上削去被蚀刻膜。受到侧面蚀刻的被蚀刻膜的端部被形成根据对于被蚀刻膜的蚀刻气体或用于蚀刻的药液的蚀刻速率而成为各种形状,但是在很多情况下被形成使端部具有曲面。

[0274] 注意,如图 39 所示的栅电极层 216C 用作支撑薄膜叠层体 214 的支撑部。通过具有支撑部,可以防止形成在栅电极层上方的栅极绝缘膜等的剥离。再者,通过设置支撑部,可以防止利用第二蚀刻接触于栅电极层 216 地形成的空洞的区域多余地扩大。注意,通过设置支撑部,可以防止薄膜叠层体 214 因其自重破坏或破损并提高成品率,因此是优选的。但是,本发明不局限于具有支撑部的方式而还可以不设置支撑部。

[0275] 如上所说明,优选采用湿蚀刻进行第二蚀刻。

[0276] 在采用湿蚀刻进行第二蚀刻的情况下,形成铝或钼作为第一导电膜 202,形成钛或钨作为第二导电膜 210,并且将包含硝酸、醋酸及磷酸的药液用于蚀刻,即可。或者,形成钼作为第一导电膜 202,形成钛、铝或钨作为第二导电膜 210,并且将包含过氧化氢溶液的药液用于蚀刻,即可。

[0277] 在采用湿蚀刻进行第二蚀刻的情况下,最优选的是,形成在添加有钽的铝上形成钼的叠层膜作为第一导电膜 202,形成钨作为第二导电膜 210,并且将包含 2% 的硝酸、10% 的醋酸、72% 的磷酸的药液用于蚀刻。通过使用具有这样的组成的药液,第一导电膜 202 被蚀刻而不蚀刻第二导电膜 210。注意,添加到第一导电膜 202 的钽是为了实现铝的低电阻化和防止小丘的发生而添加的。

[0278] 注意,俯视的栅电极层 216 具有角地形成(参照图 39)。这是因为如下缘故:由于形成栅电极层 216 的第二蚀刻是大致各向同性地进行,因此蚀刻为使栅电极层 216 的侧面和薄膜叠层体 214 的侧面之间的间隔  $d_1$  成为大致相同。

[0279] 接着,缩小第二抗蚀剂掩模 212 而使第二导电膜 210 露出,并且形成第三抗蚀剂掩模 218。作为缩小第一抗蚀剂掩模 212 来形成第三抗蚀剂掩模 218 的方法,例如可以举出使用氧等离子体的灰化。但是,缩小第二抗蚀剂掩模 212 来形成第三抗蚀剂掩模 218 的方法不局限于此。形成第三抗蚀剂掩模 218 的区域与第二抗蚀剂掩模 212 的凸部区域大致一致。注意,在此说明了在第二蚀刻之后形成第三抗蚀剂掩模 218 的情况,但是本实施方式不局限于此,还可以在形成第三抗蚀剂掩模 218 之后进行第二蚀刻。

[0280] 注意,在不将多级灰度掩模用来形成第二抗蚀剂掩模 212 的情况下,使用不同的光掩模另外形成第三抗蚀剂掩模 218,即可。

[0281] 接着,使用第三抗蚀剂掩模 218 对薄膜叠层体 214 中的第二导电膜 210 进行蚀刻来形成源电极及漏电极层 220(参照图 40 及图 44A)。在此,选择如下蚀刻条件,即不产生或不容易产生对第二导电膜 210 以外的膜的无故意的蚀刻及腐蚀。特别重要的是,以不产生或不容易产生对栅电极层 216 的无故意的蚀刻及腐蚀的条件进行蚀刻。

[0282] 注意,源电极及漏电极层 220 构成薄膜晶体管的源电极或漏电极、源极布线、电源线、电容元件的另一方电极及连接薄膜晶体管和发光元件的一个电极的电极。在表示为源电极及漏电极层 220A 的情况下,是指构成源极布线 188 和第一晶体管 181 的源电极及漏电极的一方的电极层;在表示为源电极及漏电极层 220B 的情况下,是指构成第一电源线 187 的电极层;在表示为源电极及漏电极层 220C 的情况下,是指构成第一晶体管 181 的源电极及漏电极的另一方及连接第一晶体管 181 和像素电极的电极的电极层;在表示为源电极及漏电极层 220D 的情况下,是指构成第二电源线 189 及第二晶体管 182 的源电极及漏电极的一方的电极层;在表示为源电极及漏电极层 220E 的情况下,是指构成第三晶体管 183 的源电极及漏电极的一方的电极层;在表示为源电极及漏电极层 220F 的情况下,是指构成电容元件 184 的另一方电极、第二晶体管 182 的源电极及漏电极的另一方、第三晶体管 183 的源电极及漏电极的另一方以及后面要连接到发光元件的一个电极的电极的电极层。

[0283] 注意,第三抗蚀剂掩模 218A 是指重叠于源电极及漏电极层 220A 的抗蚀剂掩模。第三抗蚀剂掩模 218B 是指重叠于源电极及漏电极层 220B 的抗蚀剂掩模。第三抗蚀剂掩模 218C 是指重叠于源电极及漏电极层 220C 的抗蚀剂掩模。第三抗蚀剂掩模 218D 是指重叠于源电极及漏电极层 220D 的抗蚀剂掩模。第三抗蚀剂掩模 218E 是指重叠于源电极及漏电极层 220E 的抗蚀剂掩模。第三抗蚀剂掩模 218F 是指重叠于源电极及漏电极层 220F 的抗蚀剂掩模。而且,将它们总称为第三抗蚀剂掩模 218。

[0284] 注意,作为对薄膜叠层体 214 中的第二导电膜 210 的蚀刻,可以采用湿蚀刻或干蚀刻。

[0285] 接着,对薄膜叠层体 214 中的杂质半导体膜 208 及半导体膜 206 的上部(背沟道部)进行蚀刻来形成源区及漏区 222、半导体层 224(参照图 41 及图 44B)。在此,选择如下蚀刻条件,即不产生或不容易产生对杂质半导体膜 208 及半导体膜 206 以外的膜的无故意的蚀刻及腐蚀。特别重要的是,以不产生或不容易产生对栅电极层 216 的无故意的蚀刻及腐蚀的条件进行蚀刻。

[0286] 注意,作为对薄膜叠层体 214 中的杂质半导体膜 208 及半导体膜 206 的上部(背沟道部)的蚀刻,可以采用干蚀刻或湿蚀刻。

[0287] 然后,去除第三抗蚀剂掩模 218,以完成薄膜晶体管(参照图 44C)。如上所说明,可以利用一个光掩模(多级灰度掩模)制造可以应用于 EL 显示装置的薄膜晶体管。

[0288] 注意,上述的将参照图 44A 及图 44B 说明的步骤总称为第三蚀刻。如上所说明,第三蚀刻既可以以多个阶段进行,又可以以一个阶段进行。

[0289] 覆盖如上所述那样形成的薄膜晶体管地形成第二绝缘膜。此时,也可以只使用第一保护膜 226 形成第二绝缘膜,但是在此使用第一保护膜 226 和第二保护膜 228 形成(参照图 45A)。虽然与第一绝缘膜 204 同样地形成第一保护膜 226 即可,但是,优选使用包含氮的氮化硅或包含氢的氧氮化硅形成,并且防止金属等的杂质进入到半导体层中且扩散而半导体层被污染。

[0290] 通过其表面大致成为平坦的方法形成第二保护膜 228。这是因为通过使第二保护膜 228 的表面大致平坦,可以防止形成在第二保护膜 228 上的第一像素电极层 232 的破裂等的缘故。因此,在此的“大致平坦”是指能够实现上述目的的程度即可,而并不被要求高平坦性。

[0291] 注意,例如可以使用感光聚酰亚胺、丙烯或环氧树脂等并通过旋涂法等来形成第二保护膜 228。但是,不局限于这些材料或形成方法。

[0292] 注意,第二保护膜 228 优选层叠通过其表面大致成为平坦的方法形成的上述保护膜和覆盖它来防止水分的侵入和释放的保护膜而形成。具体地,防止水分的侵入和释放的保护膜优选使用氮化硅、氧氮化硅、氧氮化铝或氮化铝等形成。作为形成方法,优选使用溅射法。

[0293] 接着,在第二绝缘膜中形成第一开口部 230 及第二开口部 231(参照图 45B 及图 49B)。将第一开口部 230 形成为至少到达源电极及漏电极层的表面。将第二开口部 231 形成为至少到达栅电极层的表面。第一开口部 230 及第二开口部 231 的形成方法不局限于特定的方法,而实施者根据第一开口部 230 的直径等适当地选择,即可。例如,通过采用光刻法进行干蚀刻,可以形成第一开口部 230 及第二开口部 231。

[0294] 将第一开口部 230 设置为到达源电极及漏电极层 220。如图 42 所示那样地将多个第一开口部 230 设置在所需要的部分。将第一开口部 230A 设置在源电极及漏电极层 220C 上,将第一开口部 230B 设置在源电极及漏电极层 220B 上,并将第一开口部 230C 设置在源电极及漏电极层 220E 上,并且将第一开口部 230D 设置在源电极及漏电极层 220F 上。

[0295] 将第二开口部 231 设置为到达栅电极层 216。也就是,不仅去除第二绝缘膜,而且还去除第一绝缘膜 204、半导体层 224 的所希望的部分而设置第二开口部 231。

[0296] 注意,当通过光刻法形成开口部时,使用一个光掩模。

[0297] 接着,在第二绝缘膜上形成第一像素电极层 232(参照图 42、图 45C、以及图 49B)。将第一像素电极层 232 形成为通过第一开口部 230 或第二开口部 231 连接到源电极及漏电极层 220 或栅电极层 216。具体而言,将第一像素电极层 232 形成为通过第一开口部 230A 连接到源电极及漏电极层 220C,通过第一开口部 230B 连接到源电极及漏电极层 220B,通过第一开口部 230C 连接到源电极及漏电极层 220E,并通过第二开口部 231 连接到栅电极层 216B。此外,第一像素电极层 232 可以采用单层或层叠而形成。

[0298] 注意,当通过光刻法形成第一像素电极层 232 时,使用一个光掩模。

[0299] 由于像素所具有的薄膜晶体管是 n 型晶体管,因此优选使用成为阴极的材料形成第一像素电极层 232。作为成为阴极的材料,可以举出功函数小的材料如 Ca、Al、MgAg、AlLi 等。

[0300] 接着,在第一像素电极层 232 的侧面(端部)及第二绝缘膜上形成分隔壁 233(参照图 49C)。将分隔壁 233 形成为具有开口部并使第一像素电极层 232 在该开口部中露出。使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成分隔壁 233。具体而言,优选使用聚酰亚胺、聚酰胺、聚酰亚胺-酰胺、丙烯、苯并环丁烯类树脂形成。特别是,分隔壁 233 优选使用感光材料而形成,以便在第一像素电极层 232 上形成开口部,并且使该开口部的侧壁具有连续的曲率的倾斜面。

[0301] 接着,将 EL 层 234 形成为在分隔壁 233 的开口部中接触于第一像素电极层 232(参

照图 49C)。EL 层可以由单层或层叠多个层而形成的叠层的叠层膜构成。EL 层 234 至少包括发光层。EL 层 234 优选通过电子注入层连接于第二像素电极层 235。

[0302] 而且,覆盖 EL 层 234 地使用成为阳极的材料形成第二像素电极层 235(参照图 49C)。第二像素电极层 235 相当于图 36 中的共同电极 190。可以使用具有透光性的导电材料形成第二像素电极层 235。在此,作为具有透光性的导电材料,可以举出氧化铟锡(下面称为 IT0)、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌或添加有氧化硅的氧化铟锡等。通过溅射法或 CVD 法等形成具有透光性的导电材料的膜,即可,但是不局限于特定的方法。此外,第二像素电极层 235 既可以由单层形成,又可以由叠层形成。

[0303] 在此,使用 IT0 作为第二像素电极层 235。在分隔壁 233 的开口部中重叠第一像素电极层 232、EL 层 234 和第二像素电极层 235,因此形成发光元件 236。发光元件 236 相当于图 36 中的发光元件 185。然后,优选在第二像素电极层 235 及分隔壁 233 上形成第三保护膜 237,以便防止氧、氢、水分及二氧化碳等侵入到发光元件 236 中(未图示)。作为第三保护膜 237,选择与第一保护膜 226 同样的具有防止水分的侵入和释放的功能的材料。第三保护膜 237 优选由氮化硅、氧氮化硅、氧氮化铝或氮化铝等形成。再者,优选包括覆盖第三保护膜 237 的氮化硅膜或 DLC 膜等。

[0304] 而且,优选使用保护薄膜(贴合薄膜、紫外线固化树脂薄膜等)或覆盖材料进一步进行封装(封入),以不使发光元件 236 暴露在外空气。优选使用气体透过性低且漏气少的材料设置保护薄膜及覆盖材料。

[0305] 如上所说明,可以形成到顶部发射结构型 EL 显示装置的发光元件(参照图 49C)。但是,本实施方式之一的 EL 显示装置不局限于上述说明而还可以应用于底面发射结构型 EL 显示装置或双面发射结构型 EL 显示装置。在底面发射结构及双面发射结构中,将具有透光性的导电材料用于第一像素电极层 232,即可。注意,在使用成为阳极形成第一像素电极层 232 的情况下,第一像素电极层 232 可以使用如 IT0 而形成。通过第一像素电极层 232 采用这种结构,可以制造底面发射型的 EL 显示装置。在此情况下,优选覆盖 EL 层 234 地形成使用成为阴极的材料的第二像素电极层 235。作为成为阴极的材料,可以举出功函数小的材料如 Ca、Al、CaF、MgAg、AlLi 等。注意,EL 层 234 及第二像素电极层 235 优选通过利用掩模的蒸镀形成。因此,第二像素电极层 235 优选通过蒸镀可以形成的材料而形成。

[0306] 注意,如上所说明的保护膜等不局限于上述材料或形成方法而采用不阻碍 EL 层的发光且可防止退化等的膜,即可。

[0307] 或者,在顶面发射结构中,也可以包括形成有像素电路的区域地形成第一像素电极层 232A。在此情况下,首先只形成相当于第一像素电极层 232B 及第一像素电极层 232C 的导电层,在该导电层上形成具有第一开口部 230D 的绝缘膜,并且通过第一开口部 230D 连接到源电极及漏电极层 220F 地形成第一像素电极层 232A,即可。通过包括形成有像素电路的区域地形成第一像素电极层 232A,可以扩大发光区域,从而可以进行更高清晰的显示。

[0308] 注意,在此描述了作为发光元件的有机 EL 元件,但是也可以将无机 EL 元件用作发光元件。

[0309] 注意,端子连接部与实施方式 1 中所说明的端子连接部同样。

[0310] 如上所述,可以制造 EL 显示装置。

[0311] 注意,如上所述,可以大幅度地减少薄膜晶体管及显示装置的制造步骤数目。具体而言,如上所述那样,可以使用一个光掩模(多级灰度掩模)制造薄膜晶体管。另外,可以使用三个光掩模制造具有像素晶体管的有源矩阵衬底。因此,减少所使用的光掩模的数目,从而可以大幅度地减少薄膜晶体管及显示装置的制造步骤数目。

[0312] 可以不通过复杂步骤如背面曝光、抗蚀剂回流及剥离法等而大幅度地减少薄膜晶体管的制造步骤数目。因此,可以不通过复杂步骤而大幅度地减少显示装置的制造步骤数目。因此,可以大幅度地减少显示装置的制造步骤数目,而不降低成品率。

[0313] 此外,可以维持薄膜晶体管的电特性并大幅度地减少薄膜晶体管的制造步骤。

[0314] 再者,借助于上述效果,可以大幅度地减少制造成本。

[0315] 另外,可以对半导体层遮光,因此可以制造减少光漏电流且具有良好的电特性的薄膜晶体管及具有该薄膜晶体管的显示装置。而且,可以使用用于薄膜晶体管的形成的光掩模形成遮光半导体层的遮光层,因此可以不增加掩模数目地制造减少光漏电流且具有良好的电特性的薄膜晶体管及具有该薄膜晶体管的显示装置。

[0316] 再者,因为在底面发射结构型 EL 显示装置中,通过调整基底膜 198 的膜厚度,可以进行光学设计,所以这是优选的。

[0317] 注意,可以制造在栅极电极层端部发生的漏电流小的薄膜晶体管,因此可以获得对比度高且显示质量优越的显示装置。

[0318] 注意,本发明的一个方式不局限于上述说明的像素结构,可以应用于各种 EL 显示装置。

#### [0319] 实施方式 4

[0320] 在本实施方式中,对于组装通过实施方式 1 至实施方式 3 所说明的方法制造的显示面板或显示装置作为显示部的电子设备,参照图 46A 至图 48C 进行说明。作为这种电子设备,例如可以举出影像拍摄装置如摄像机或数字照相机等、头戴式显示器(护目镜型显示器)、汽车导航、投影机、汽车音响、个人计算机、便携式信息终端(移动计算机、手机或电子书等)。图 46A 和 46B 示出这些电子设备的一例。

[0321] 图 46A 示出电视装置。通过将 EL 显示面板组装到框体中,可以完成图 46A 所示的电视装置。由应用实施方式 1 至实施方式 3 所说明的制造方法的显示面板形成主屏 323,并且作为其他辅助设备具备有扬声器部 329、操作开关等。

[0322] 如图 46A 所示,将应用实施方式 1 至实施方式 3 所说明的制造方法的显示用面板 322 组装到框体 321 中,可以由接收器 325 接收普通的电视广播。而且,通过经由调制解调器 324 连接到采用有线或无线方式的通信网络,也可以进行单方向(从发送者到接收者)或双方向(在发送者和接收者之间或在接收者之间)的信息通信。通过利用组装到框体中的开关或另外提供的遥控装置 326,可以进行电视装置的操作。也可以在该遥控装置 326 中设置有助于显示输出信息的显示部 327。

[0323] 另外,也可以在电视装置中,除了主屏 323 之外,还由第二显示面板形成子屏 328,并附加有显示频道或音量等的结构。

[0324] 图 47 表示示出电视装置的主要结构的框图。在显示面板中形成有像素部 351。信号线驱动电路 352 和扫描线驱动电路 353 也可以以 COG 方式安装到显示面板。

[0325] 作为其他外部电路的结构,图像信号的输入一侧具有图像信号放大电路 355、图像

信号处理电路 356、以及控制电路 357 等,该图像信号放大电路 355 放大由调谐器 354 接收的信号中的图像信号,该图像信号处理电路 356 将从图像信号放大电路 355 输出的信号转换为对应于红色、绿色、蓝色各种颜色的颜色信号,该控制电路 357 将所述图像信号转换为驱动器 IC 的输入规格。控制电路 357 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下,也可以采用如下结构,即在信号线一侧设置信号分割电路 358,并将输入数字信号分割为整数个来供给。

[0326] 由调谐器 354 接收的信号中的音频信号被传送到音频信号放大电路 359,并且其输出经过音频信号处理电路 360 被供给到扬声器 363。控制电路 361 从输入部 362 接收接收站(接收频率)、音量的控制信息,并且将信号传送到调谐器 354 及音频信号处理电路 360。

[0327] 当然,本发明的一个方式之一的显示装置不局限于电视装置而还可以应用于个人计算机的监视器、大面积的显示媒体如火车站或机场等的信息显示板或者街头上的广告显示板等。因此,通过应用本实施方式之一的显示装置的制造方法,可以提高这些显示媒体的生产率。

[0328] 通过利用将应用实施方式 1 至实施方式 3 所说明的显示装置的制造方法的显示面板或显示装置用于主屏 323、子屏 328,可以提高电视装置的生产率。

[0329] 此外,图 46B 所示的便携式计算机包括主体 331 及显示部 332 等。通过将应用实施方式 1 至实施方式 3 所说明的显示装置的制造方法的显示面板或显示装置用于显示部 332,可以提高计算机的生产率。

[0330] 图 48A 至 48C 是手机的一例,图 48A 是正视图,图 48B 是后视图,图 48C 是当滑动两个框体时的正视图。手机 300 由两个框体,即框体 301 以及 302 构成。手机 300 具有手机和便携式信息终端双方的功能,内置有计算机,并且除了进行声音通话之外还可以处理各种各样的数据,即是所谓的智能手机(Smartphone)。

[0331] 框体 301 具备显示部 303、扬声器 304、麦克风 305、操作键 306、定位装置 307、表面影像拍摄装置用透镜 308、外部连接端子插口 309、以及耳机端子 310 等,并且框体 302 由键盘 311、外部存储器插槽 312、背面影像拍摄装置 313、灯 314 等构成。此外,天线被内置在框体 301 中。

[0332] 此外,手机 300 还可以在上述结构的基础上内置有非接触 IC 芯片、小型存储器件等。

[0333] 相重合的框体 301 和框体 302(示出于图 48A)可以滑动,则如图 48C 那样展开。可以将应用实施方式 1 至实施方式 3 所说明的显示装置的制造方法的显示面板或显示装置安装到显示部 303 中。由于在与显示部 303 相同的面上具备表面影像拍摄装置用透镜 308,所以可以进行视频通话。此外,通过将显示部 303 用作取景器,可以利用背面相机 313 以及灯 314 进行静态图像以及动态图像的摄影。

[0334] 通过利用扬声器 304 和麦克风 305,可以将手机 300 用作声音存储装置(录音装置)或声音再现装置。此外,可以利用操作键 306 进行电话的拨打和接收、电子邮件等的简单的信息输入操作、表示于显示部的画面的滚动操作、选择表示于显示部的信息等的指针移动操作等。

[0335] 此外,当处理的信息较多时如制作文件、将便携式电话机 300 用作便携式信息终

端等,使用键盘 311 是较方便的。再者,通过使相重合的框体 301 和框体 302(图 48A)滑动,可以如图 48C 那样展开。当将便携式电话机 300 用作便携式信息终端时,可以使用键盘 311 及定位装置 307 顺利地指针操作。外部连接端子插口 309 可以与 AC 适配器以及 USB 电缆等的各种电缆连接,并可以进行充电以及与个人计算机等的通信。此外,通过对外部存储器插槽 312 插入记录媒体,可以进行更大量的数据存储以及移动。

[0336] 框体 302 的背面(图 48B)具备背面影像拍摄装置 313 及灯 314,并且可以将显示部 303 用作取景器而可以进行静态图像以及动态图像的摄影。

[0337] 此外,除了上述功能结构之外,还可以具备红外线通信功能、USB 端口、数字电视(one-seg)接收功能、非接触 IC 芯片或耳机插口等。

[0338] 由于可以应用实施方式 1 至实施方式 3 所说明的薄膜晶体管及显示装置的制造方法制造本实施方式所说明的各种电子设备,因此可以提高这些电子设备的生产率。

[0339] 由此,可以大幅度地缩减这些电子设备的制造成本。

[0340] 再者,如实施方式 1 至实施方式 3 说明,可以制造显示质量高的显示装置。

[0341] 本申请基于 2008 年 3 月 10 日在日本专利局提交的日本专利申请序列号 2008-058906,在此引用其全部内容作为参考。

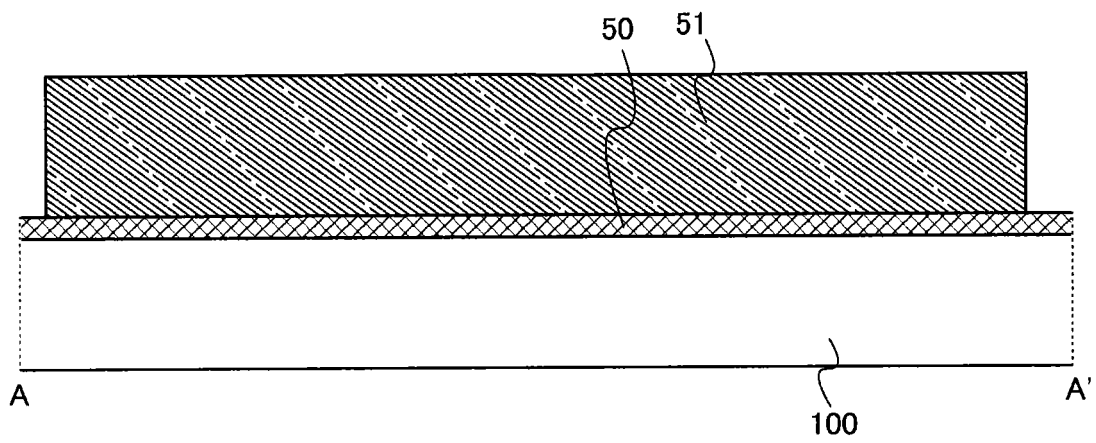


图 1A

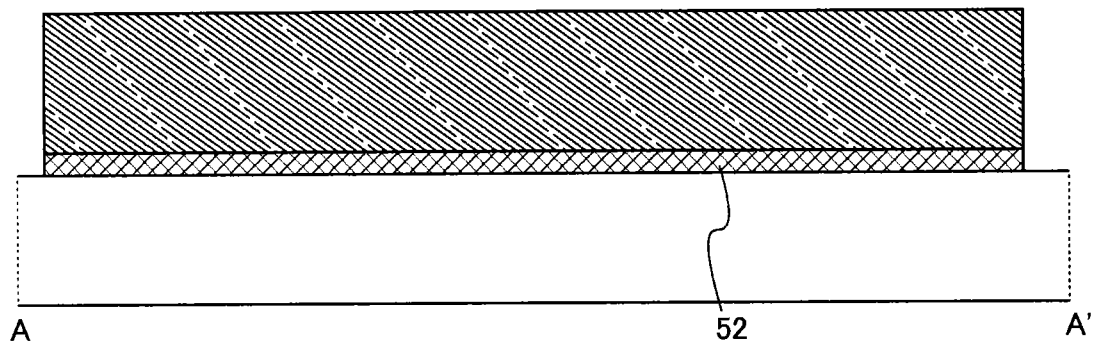


图 1B

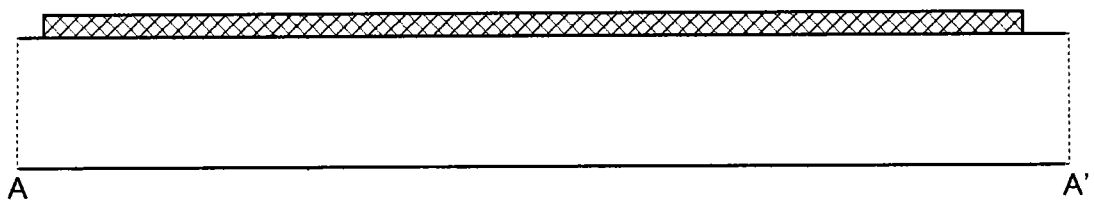


图 1C

图 2A

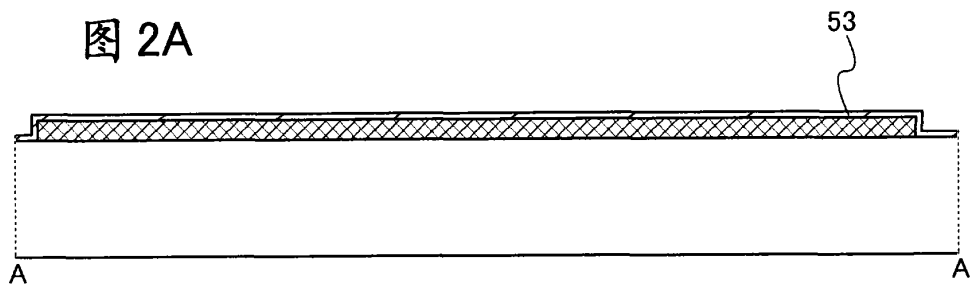


图 2B

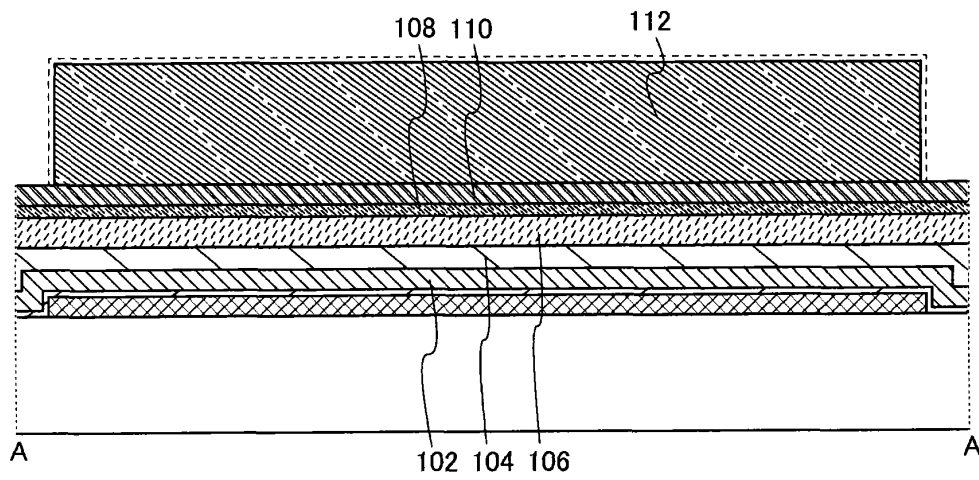


图 2C

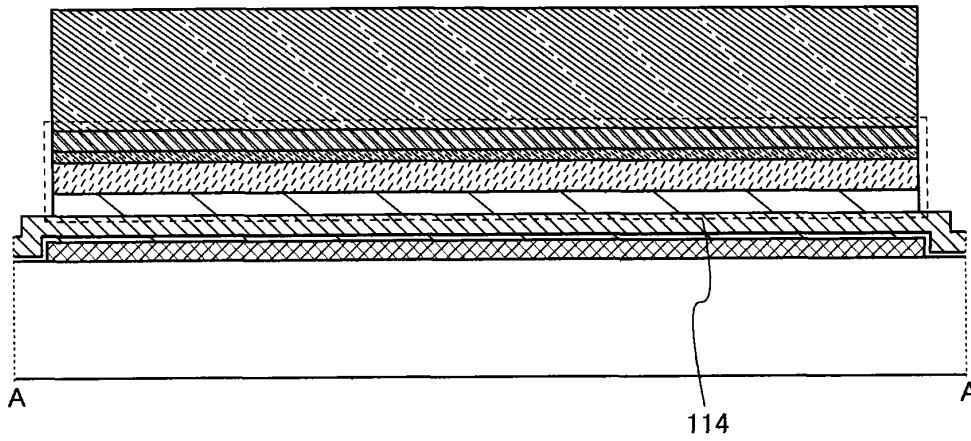


图 3A

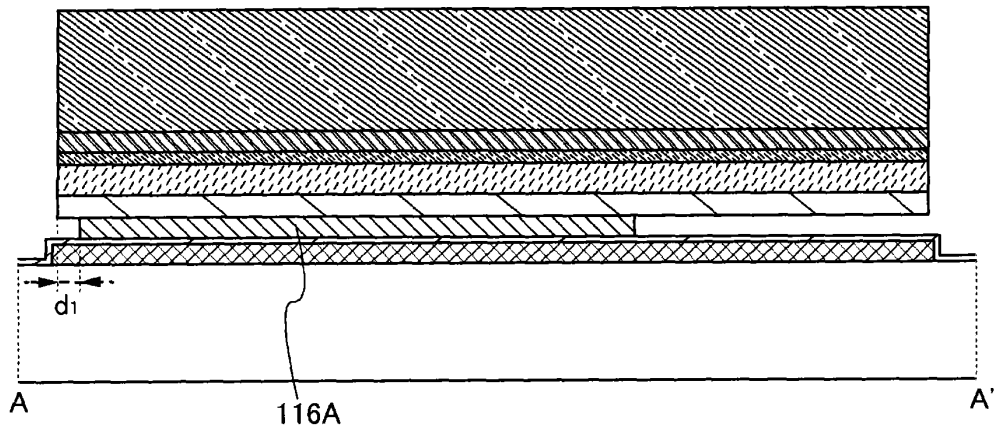


图 3B

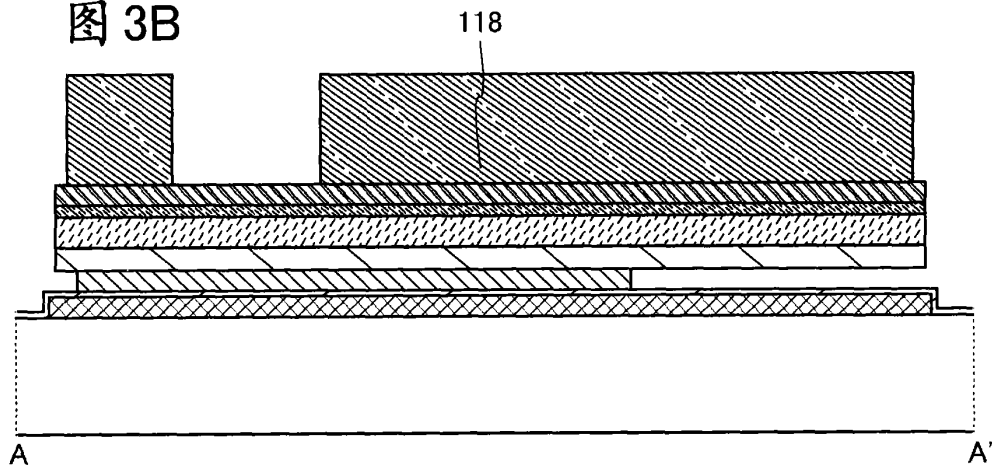


图 3C

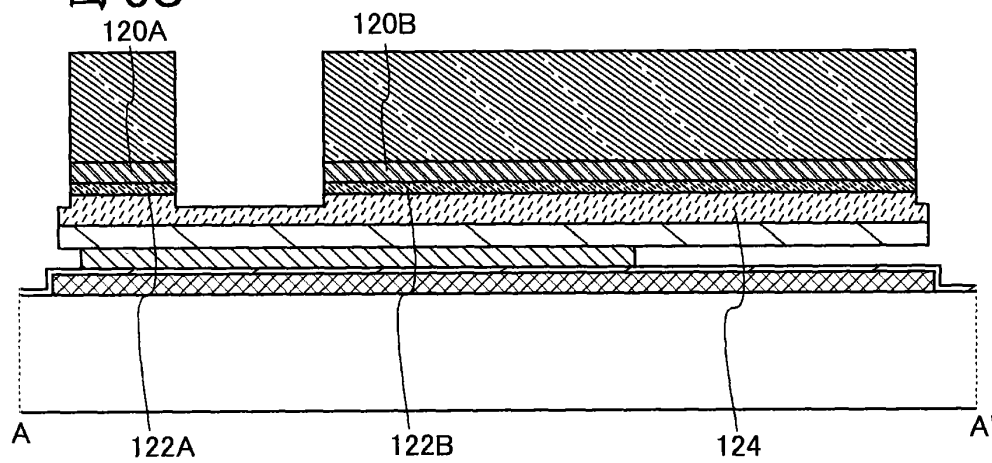


图 4A

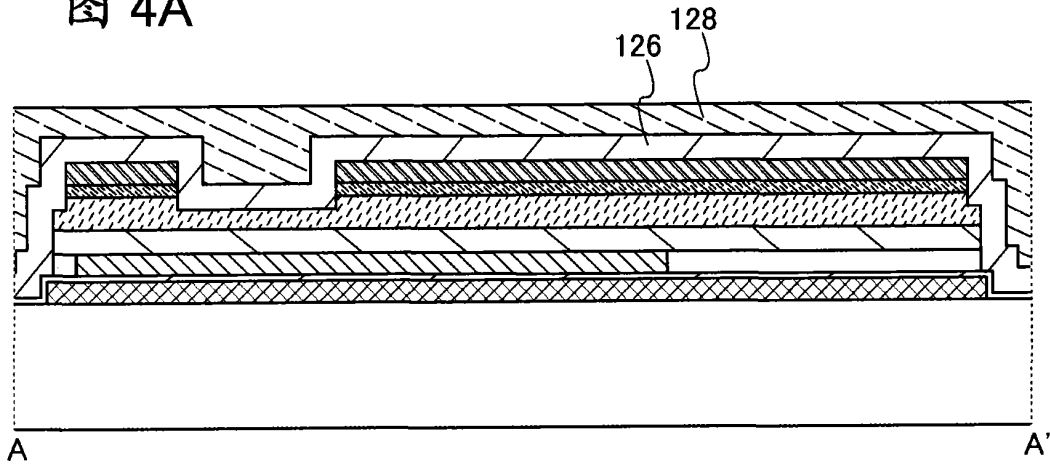


图 4B

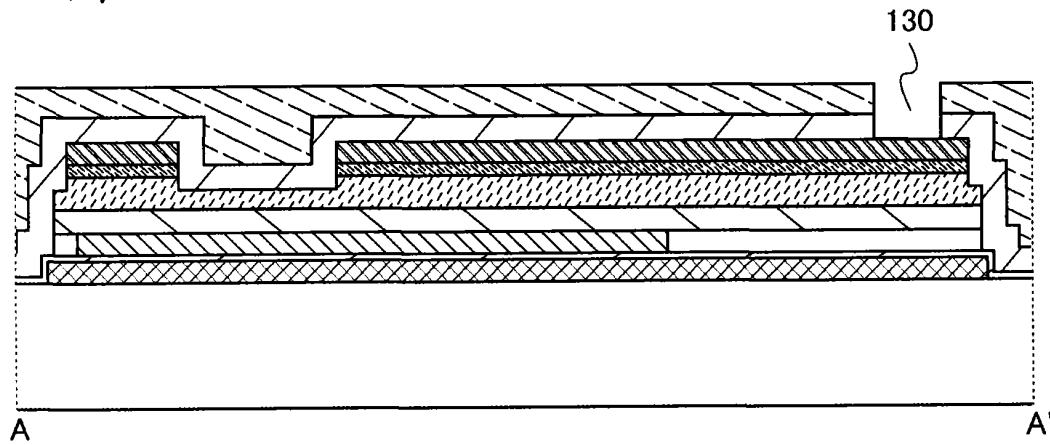
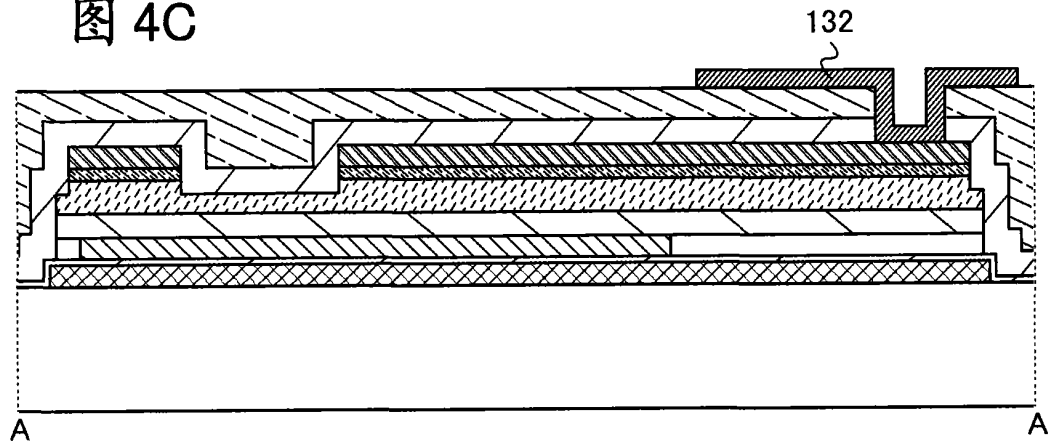


图 4C



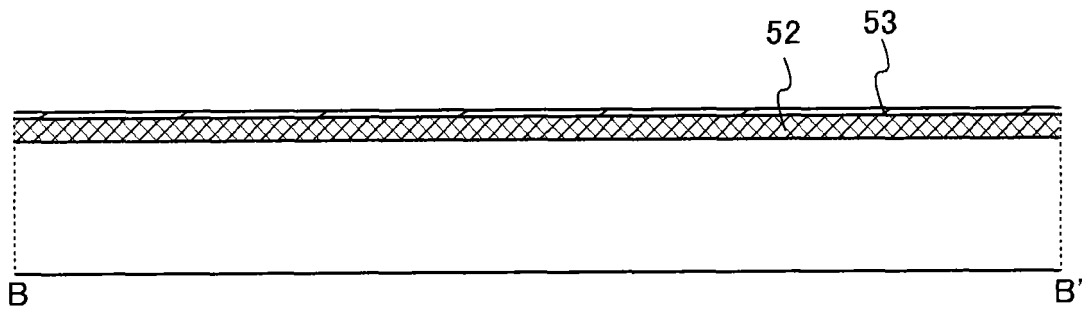


图 5A

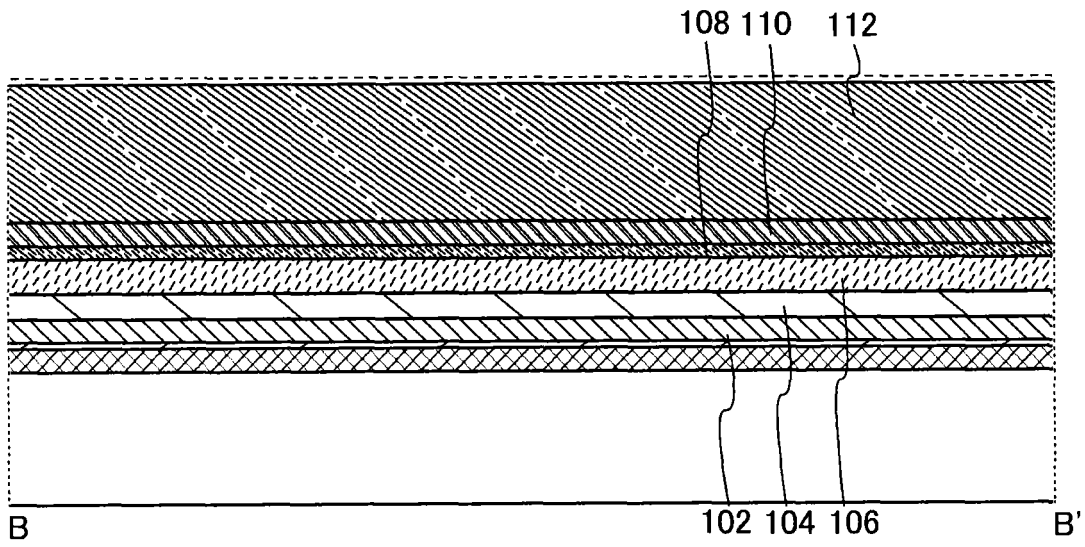


图 5B



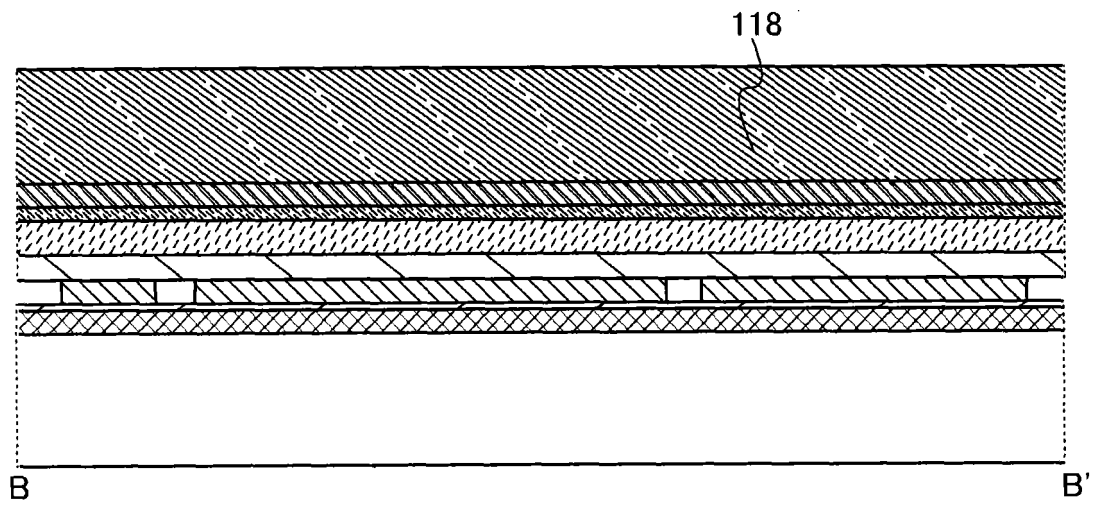


图 6B

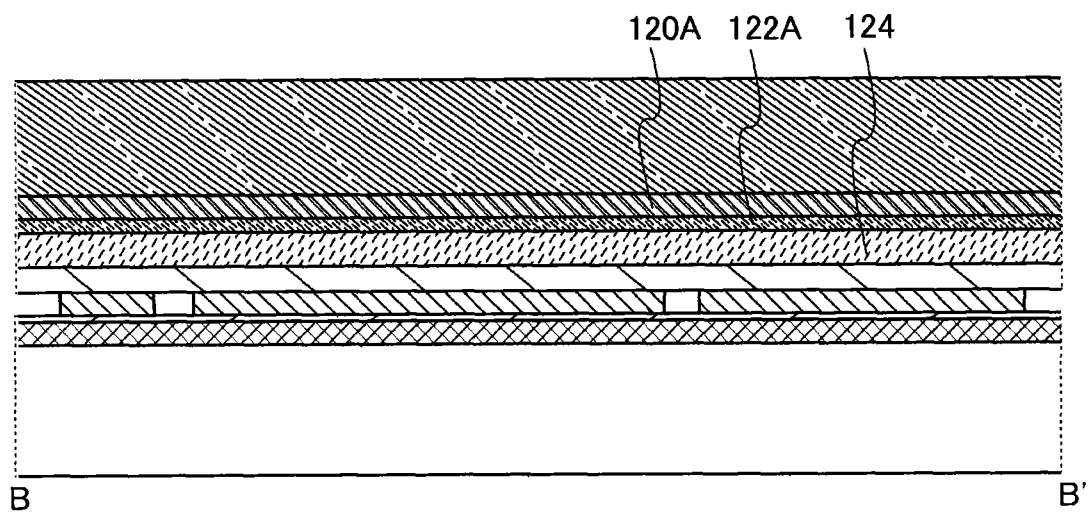


图 6C

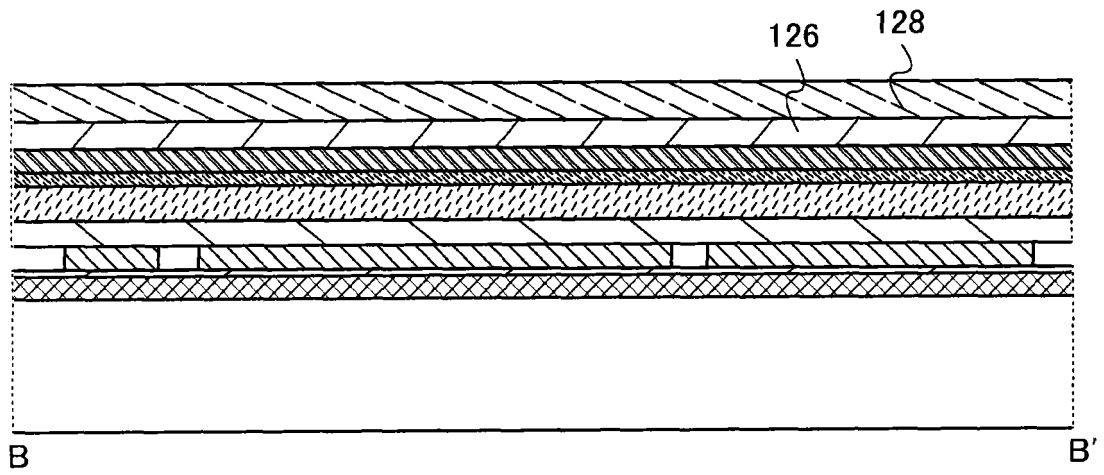


图 7A

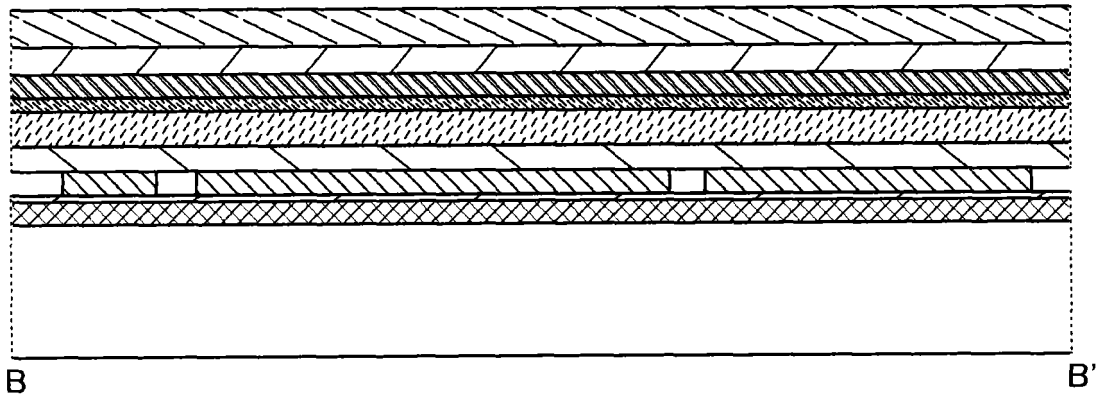


图 7B

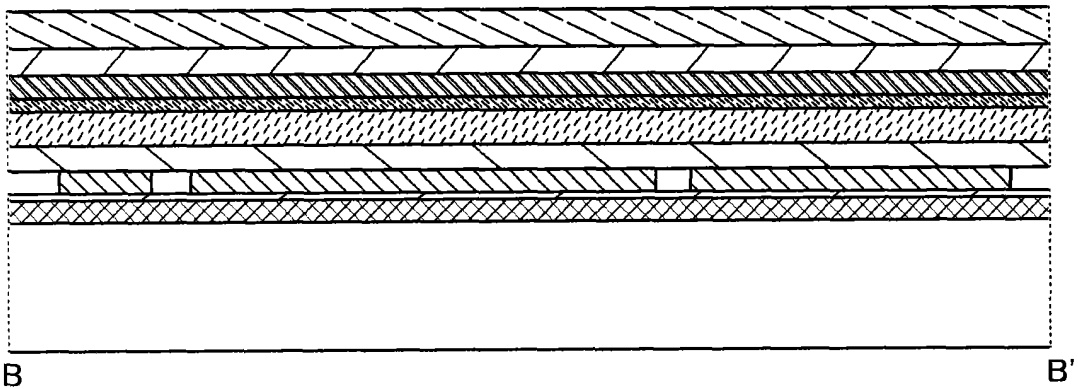


图 7C

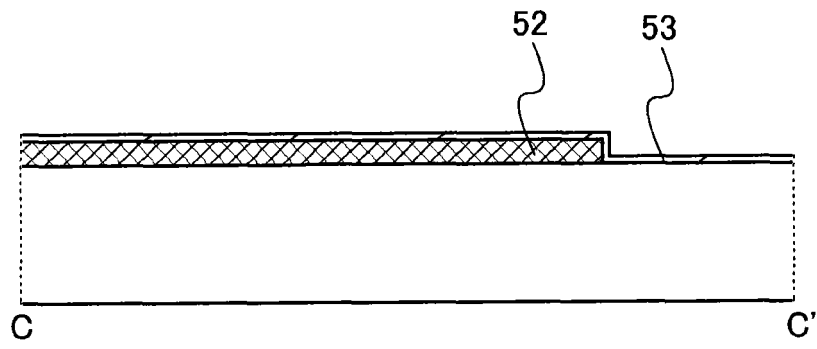


图 8A

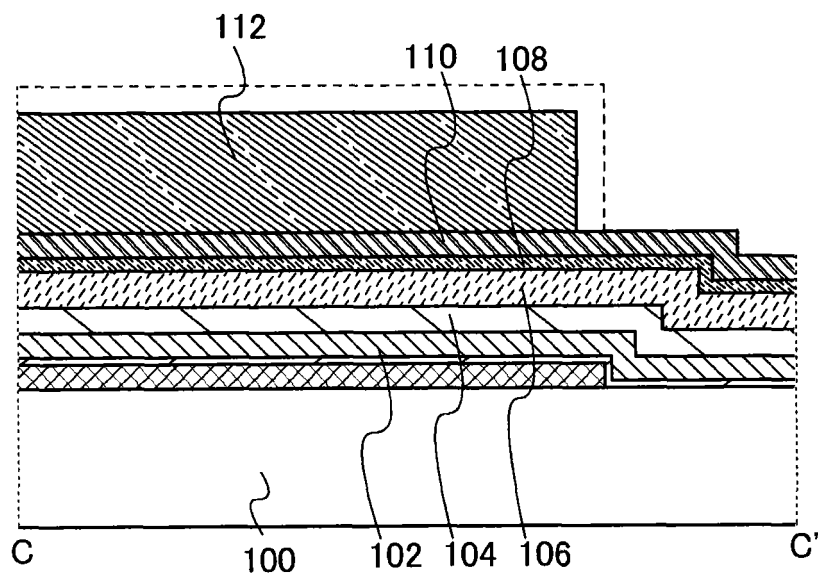


图 8B

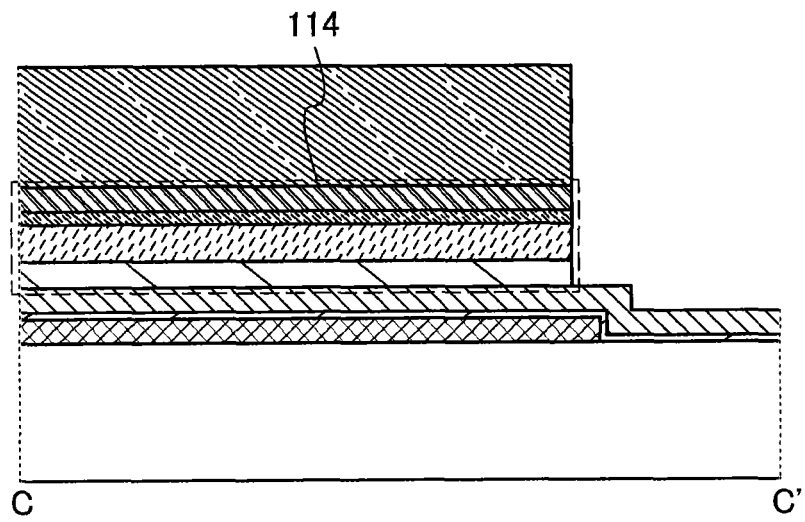


图 8C

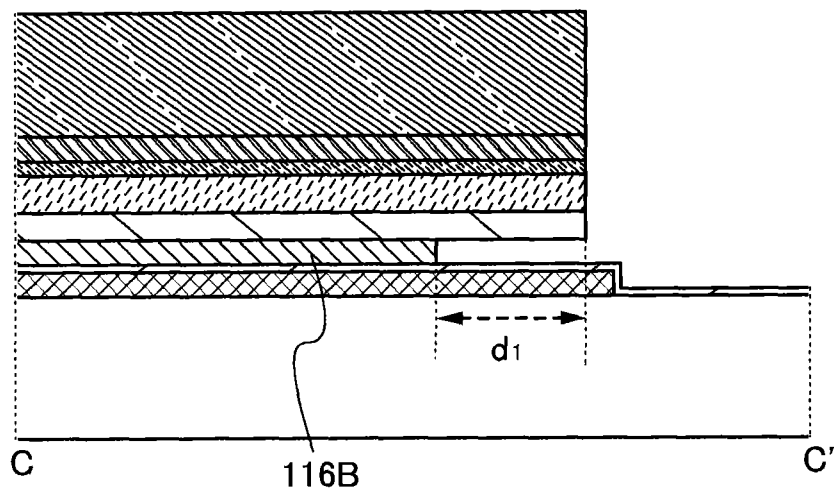


图 9A

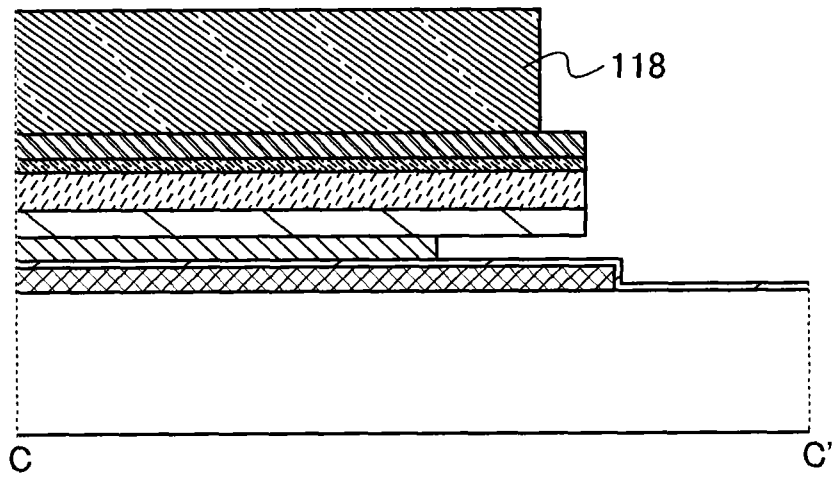


图 9B

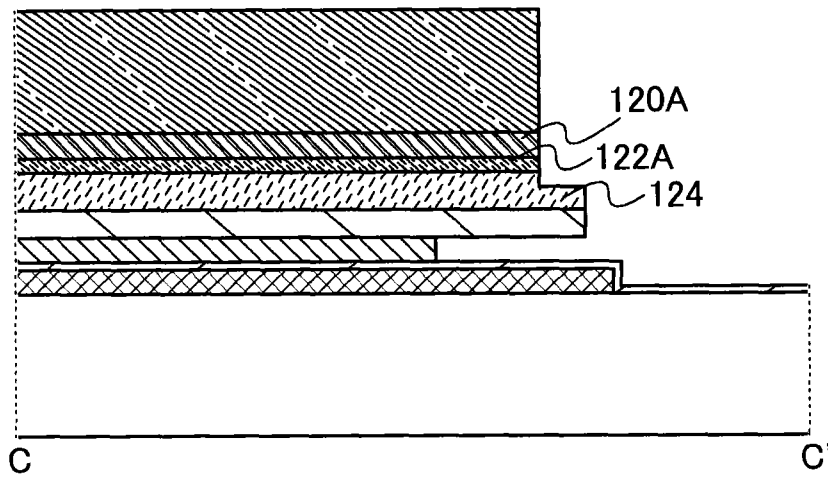


图 9C

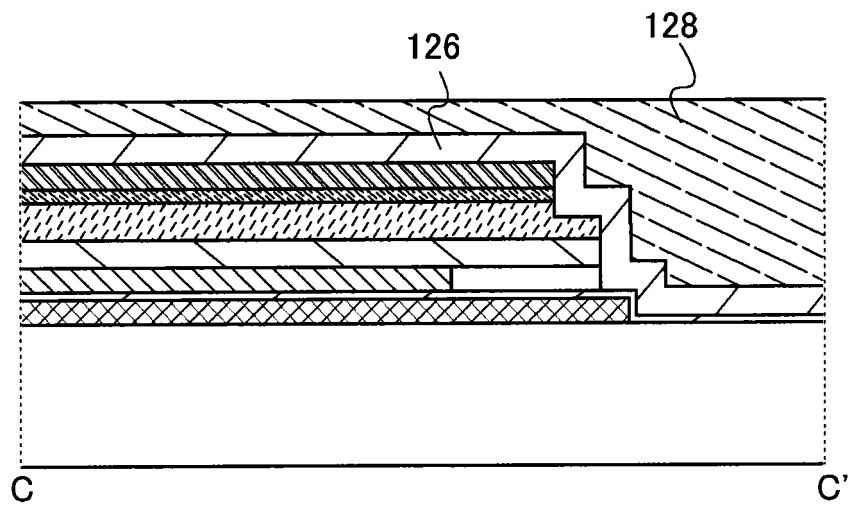


图 10A

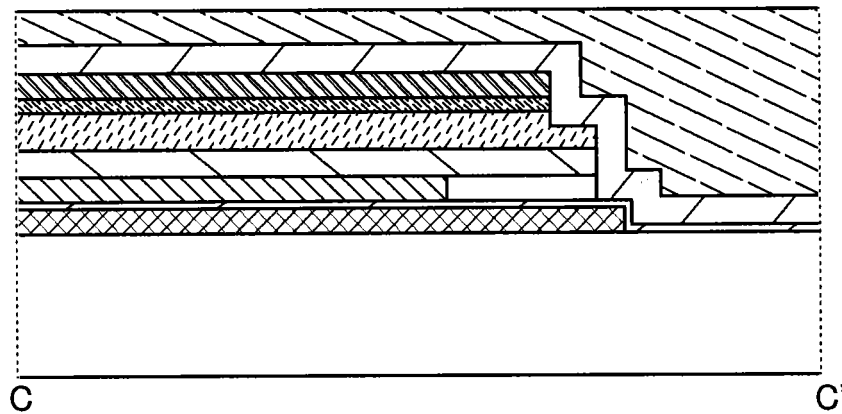


图 10B

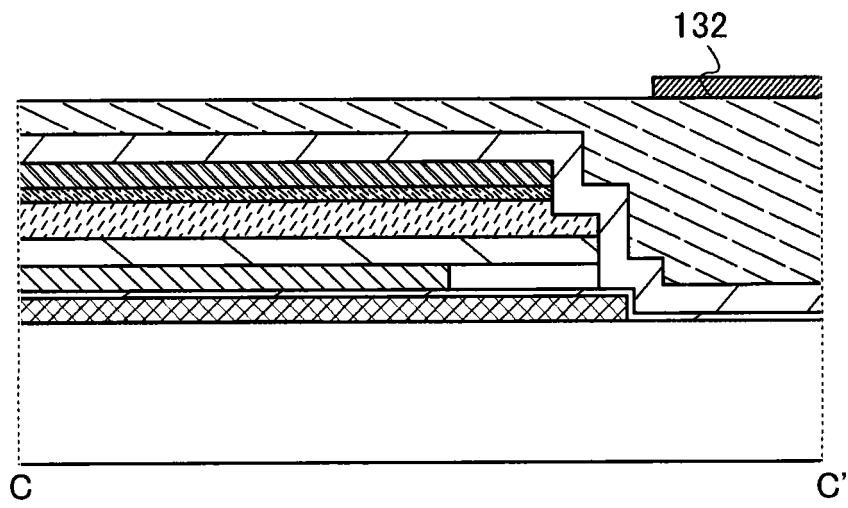


图 10C

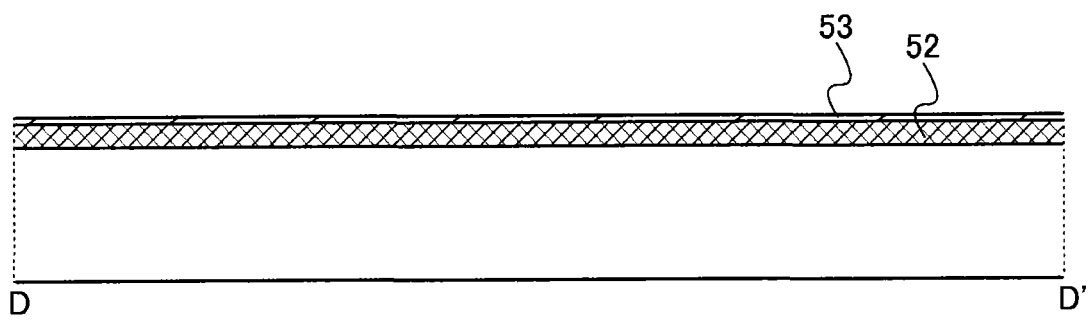


图 11A

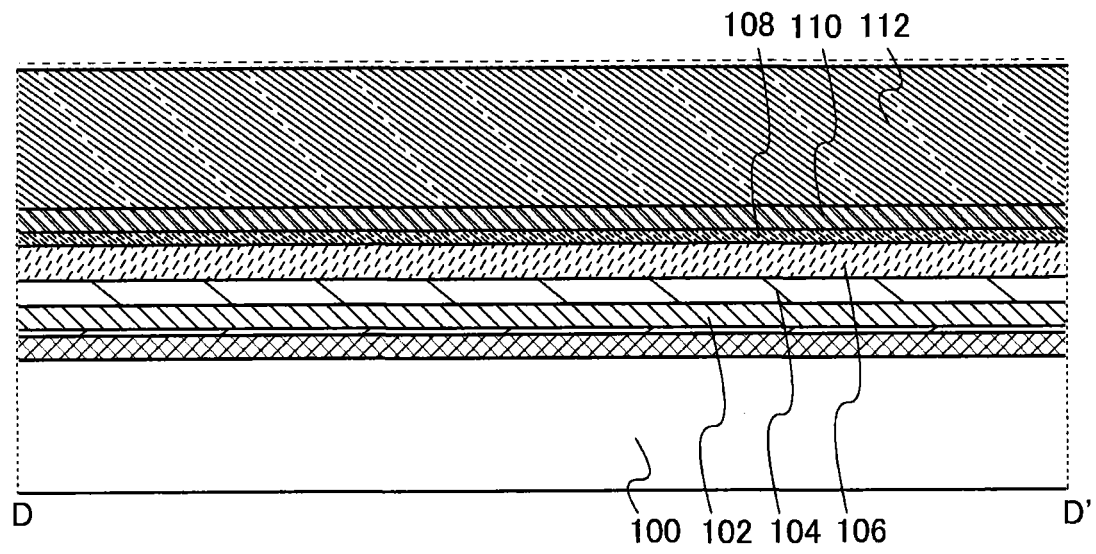


图 11B

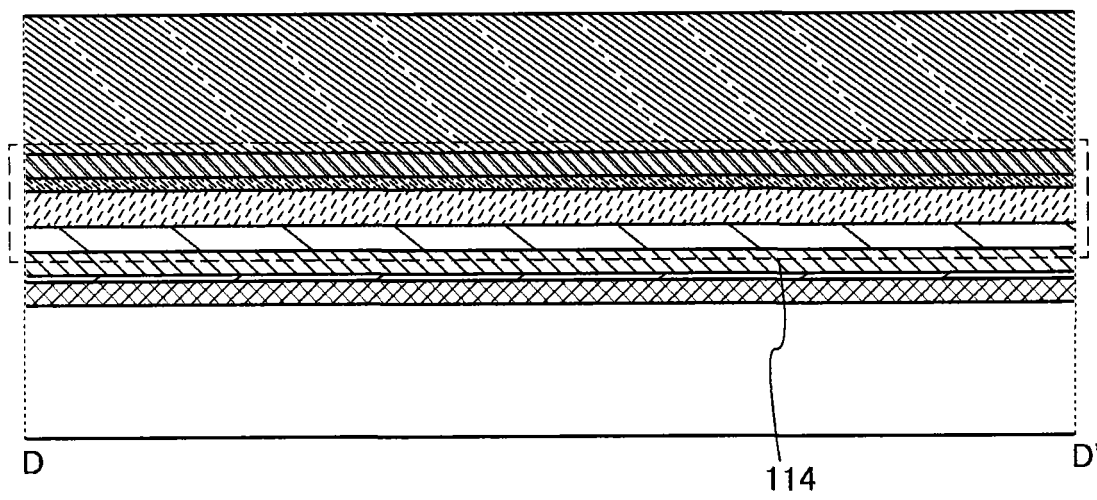


图 11C

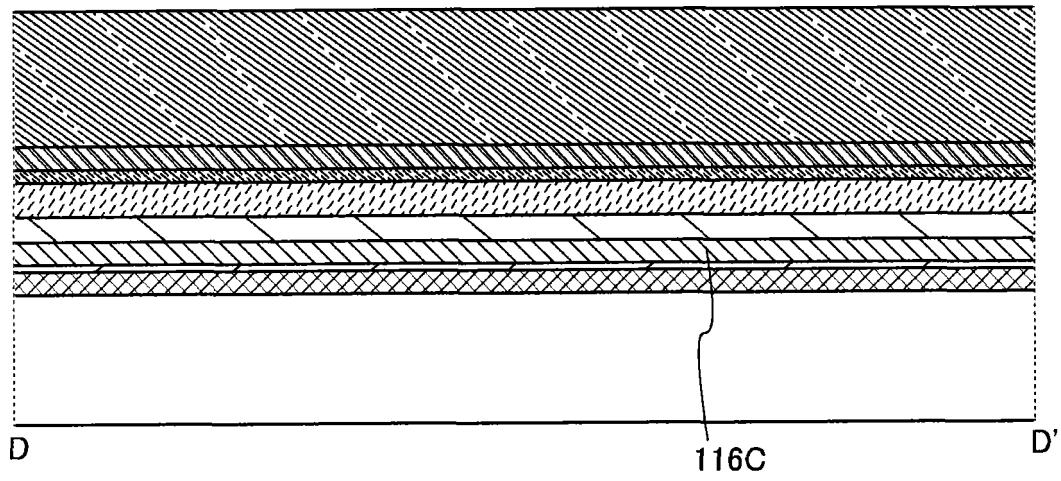


图 12A

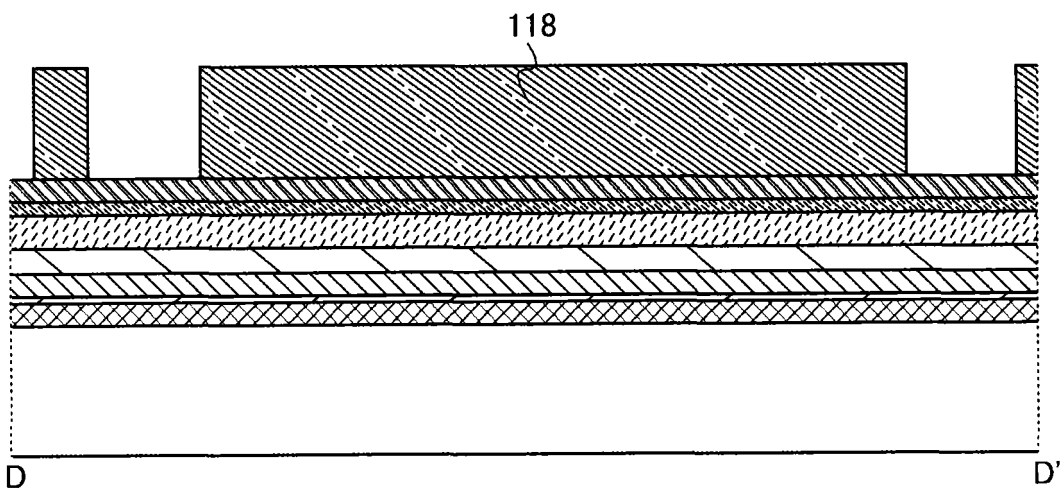


图 12B

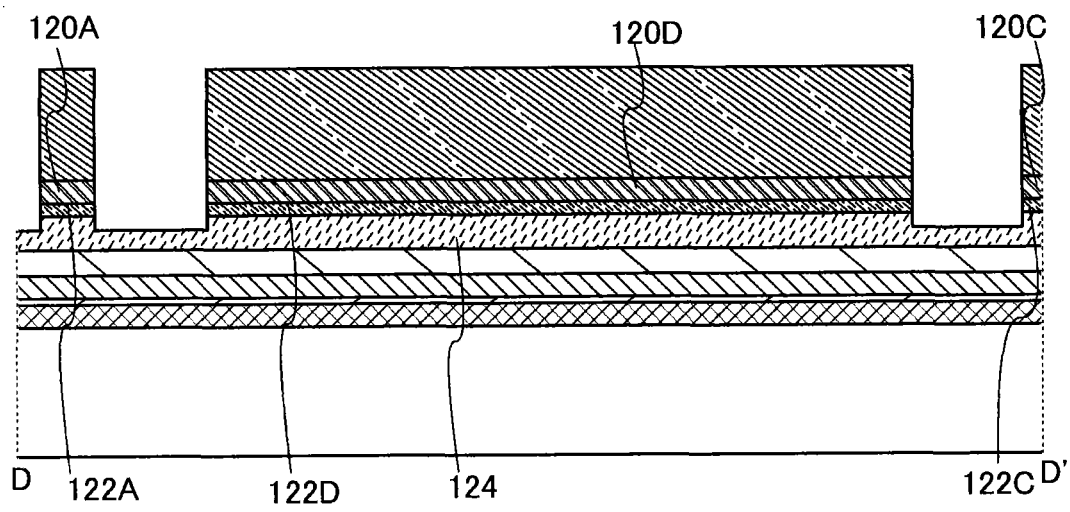


图 12C

图 13A

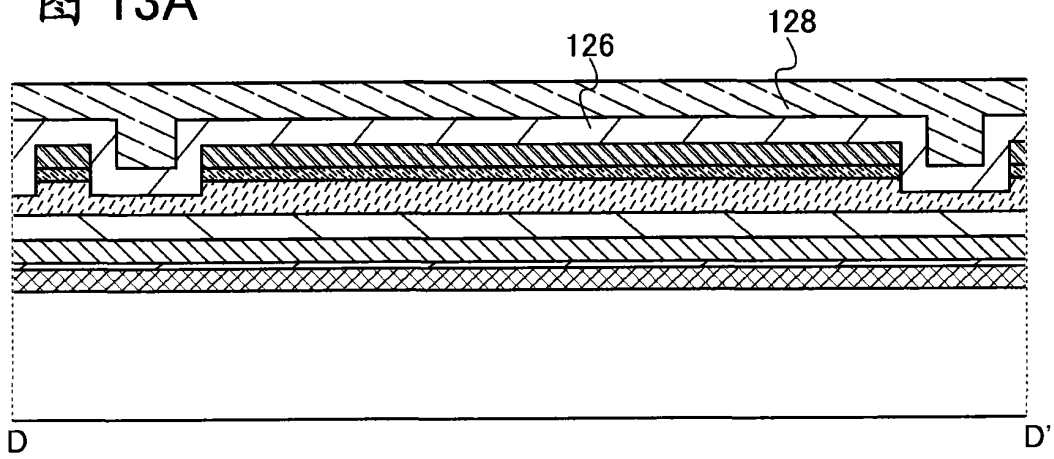


图 13B

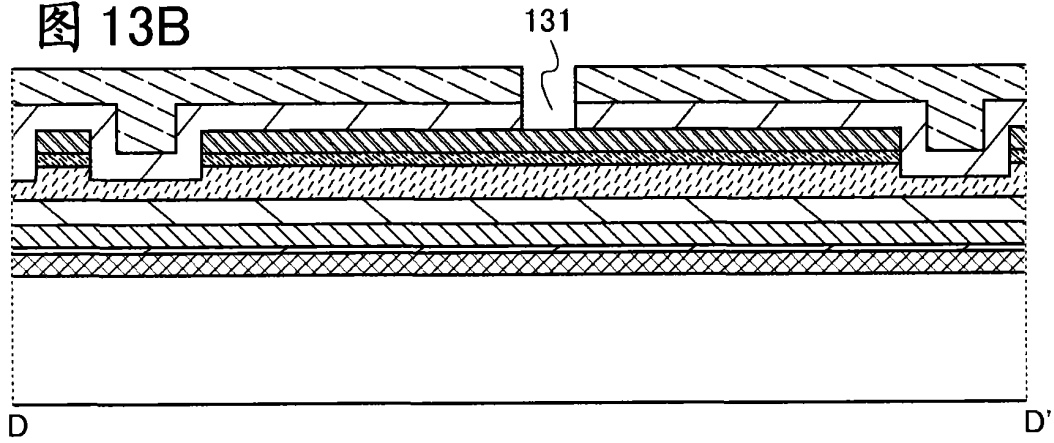
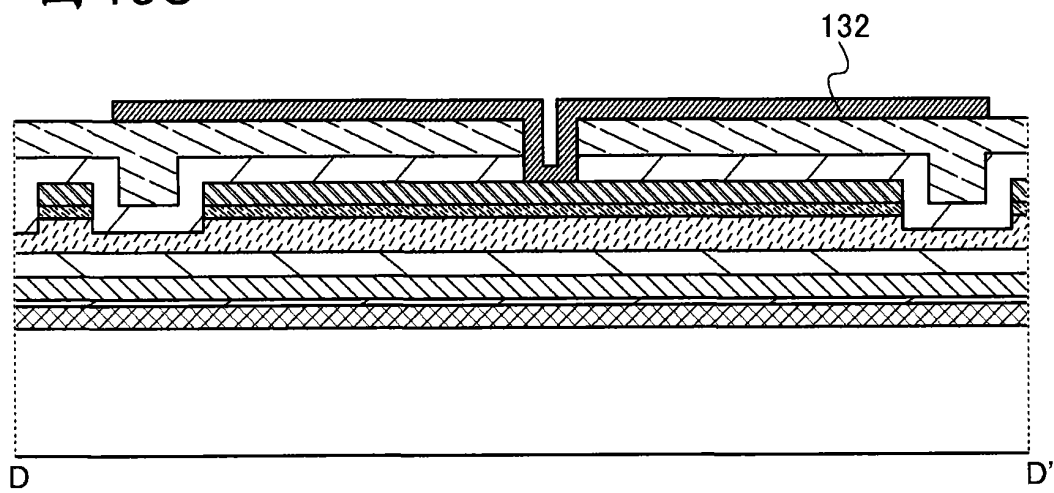


图 13C



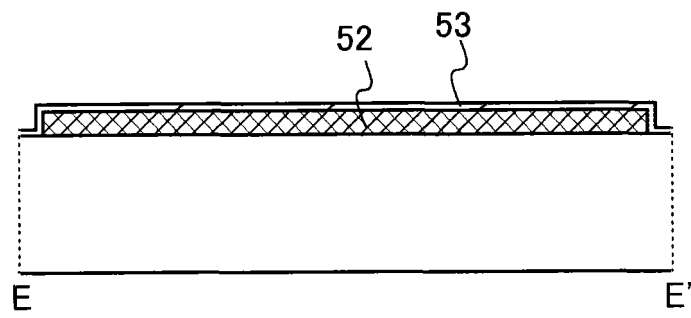


图 14A

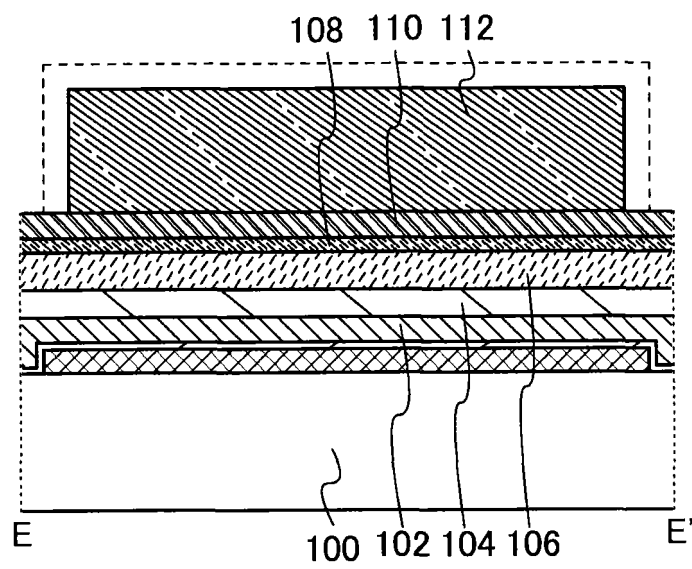


图 14B

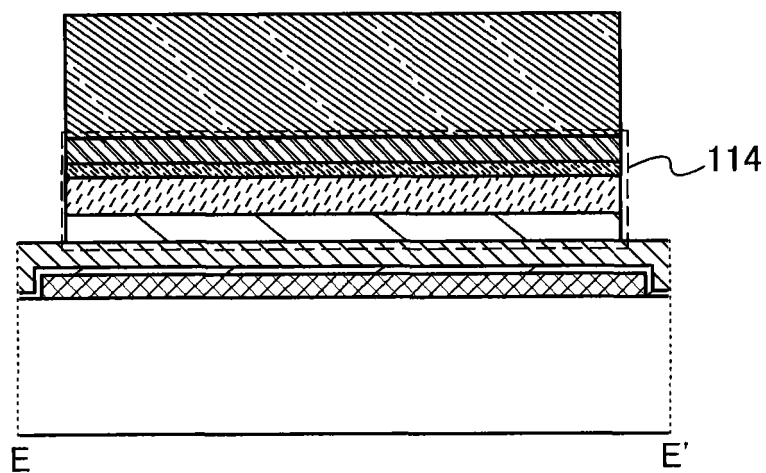


图 14C

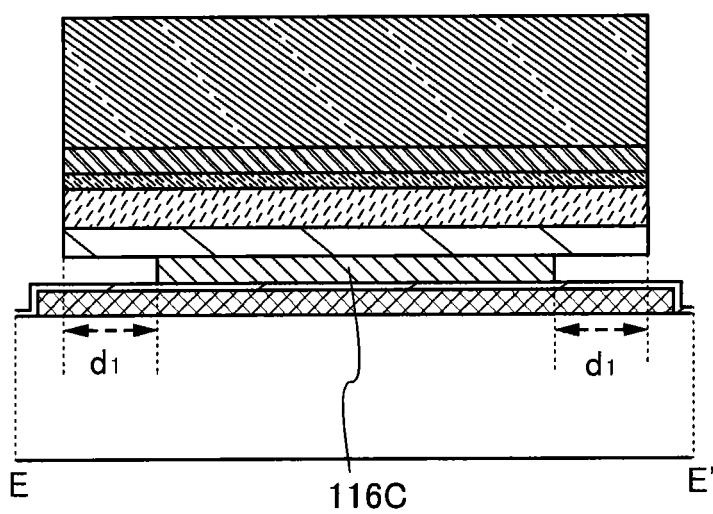


图 15A

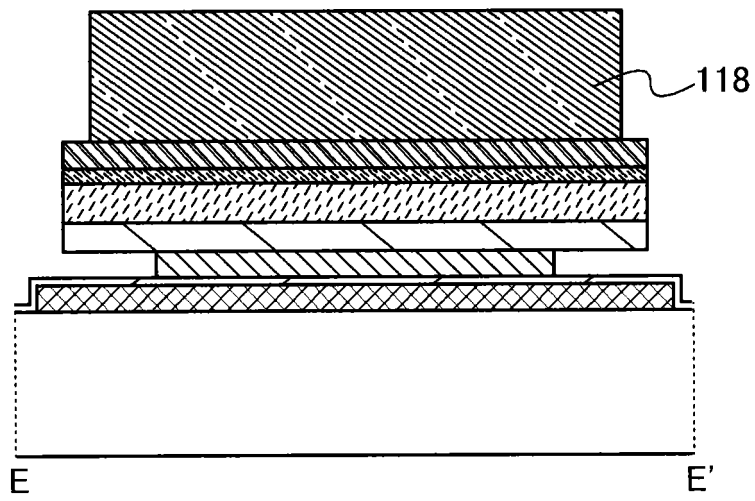


图 15B

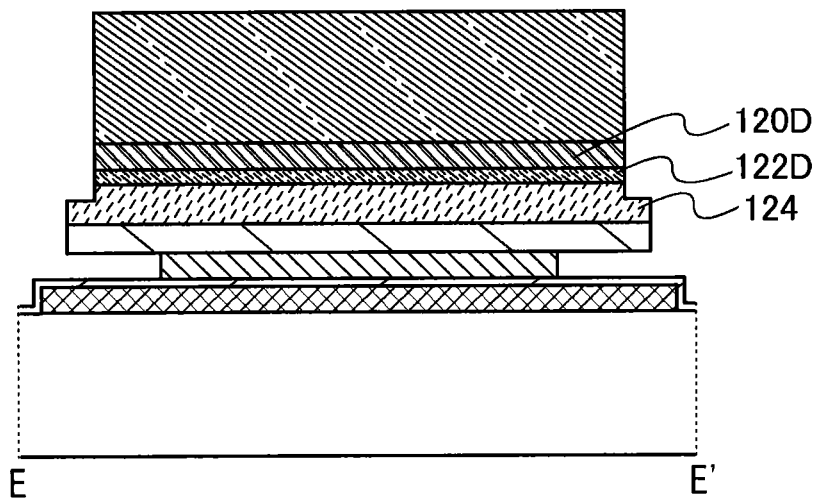


图 15C

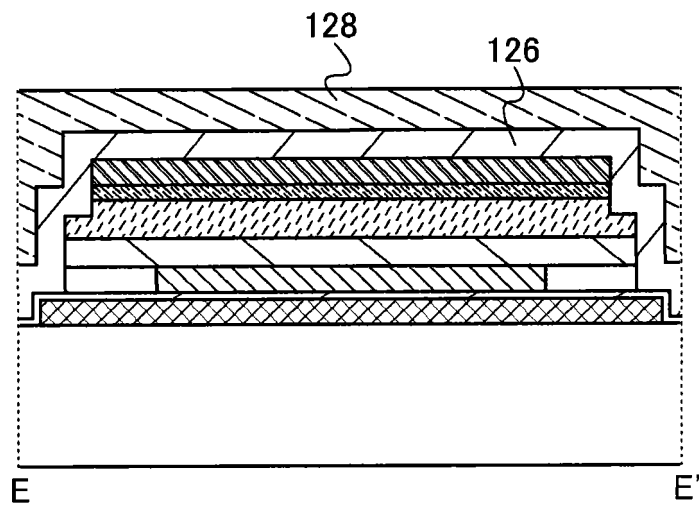


图 16A

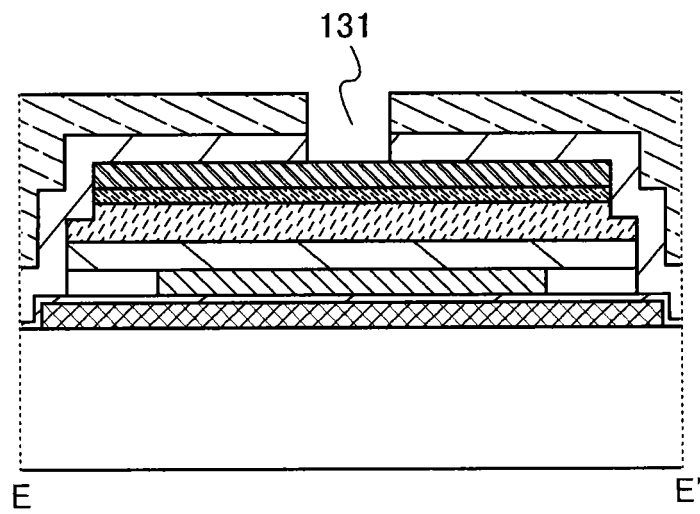


图 16B

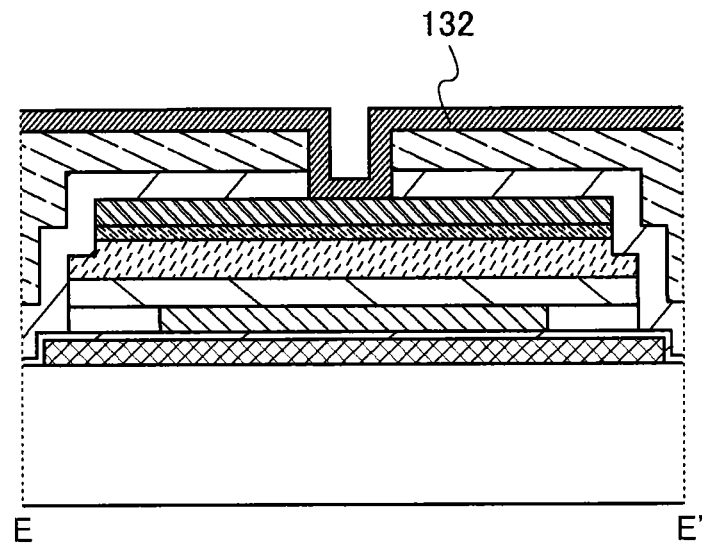


图 16C

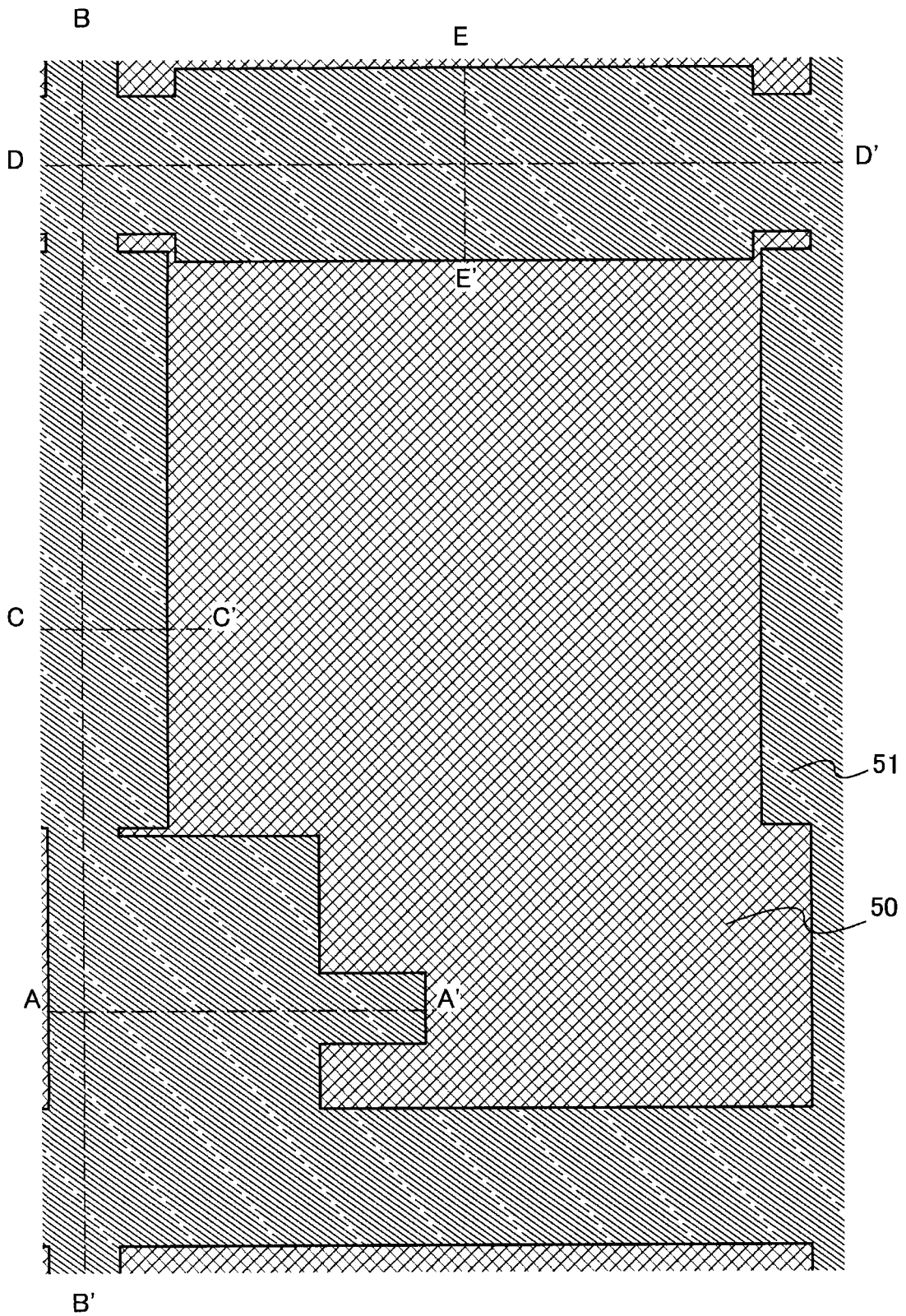


图 17

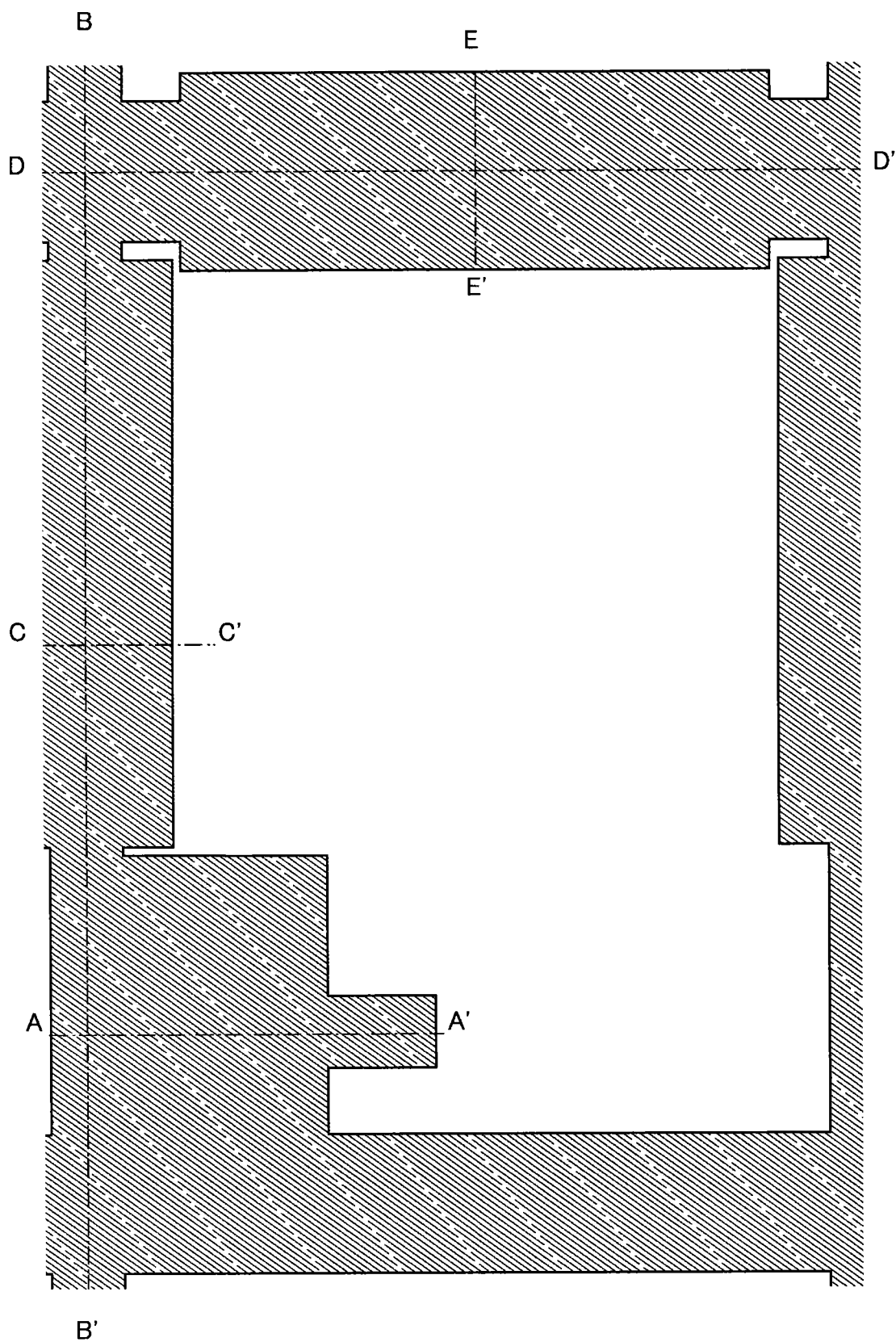


图 18

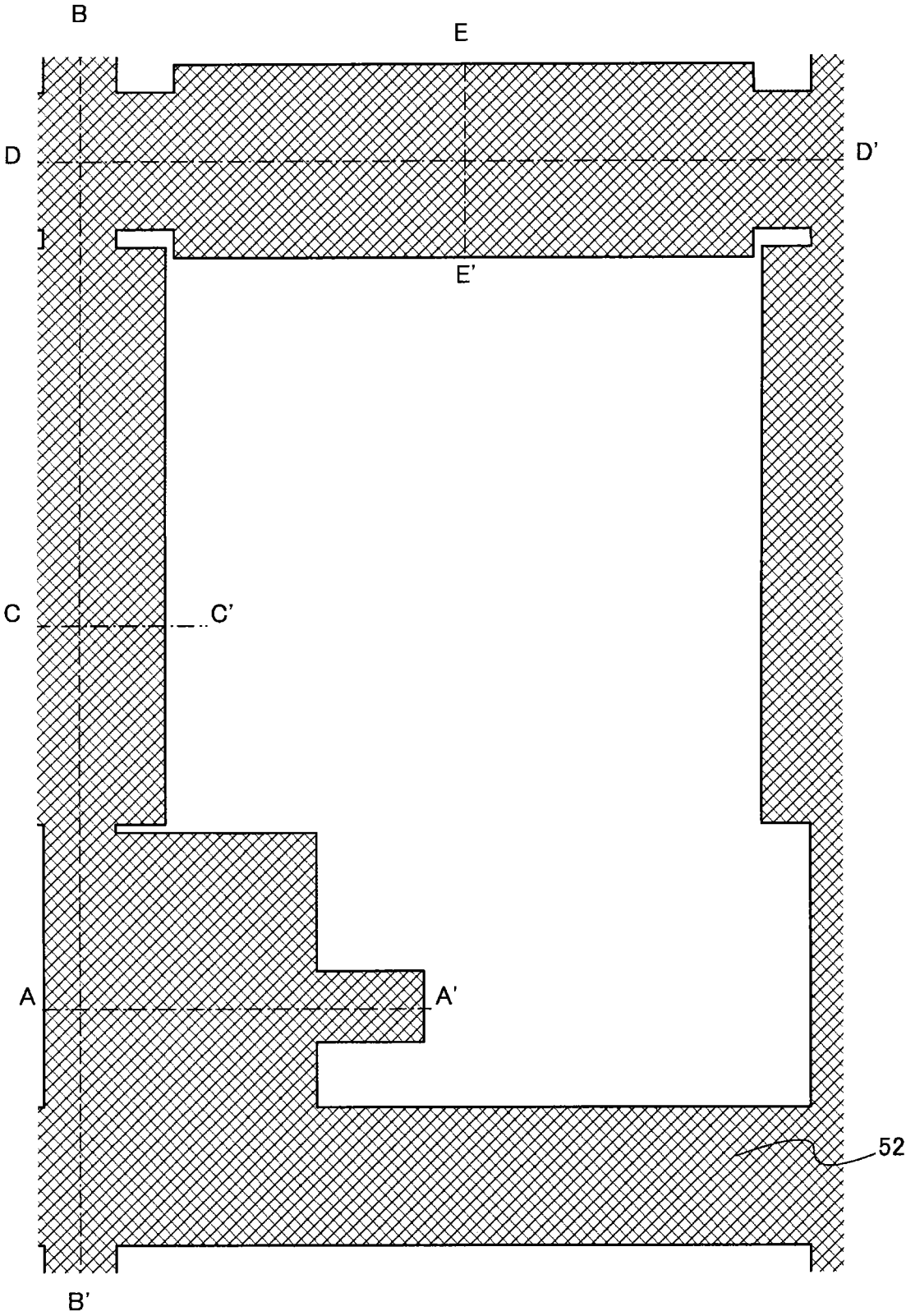


图 19

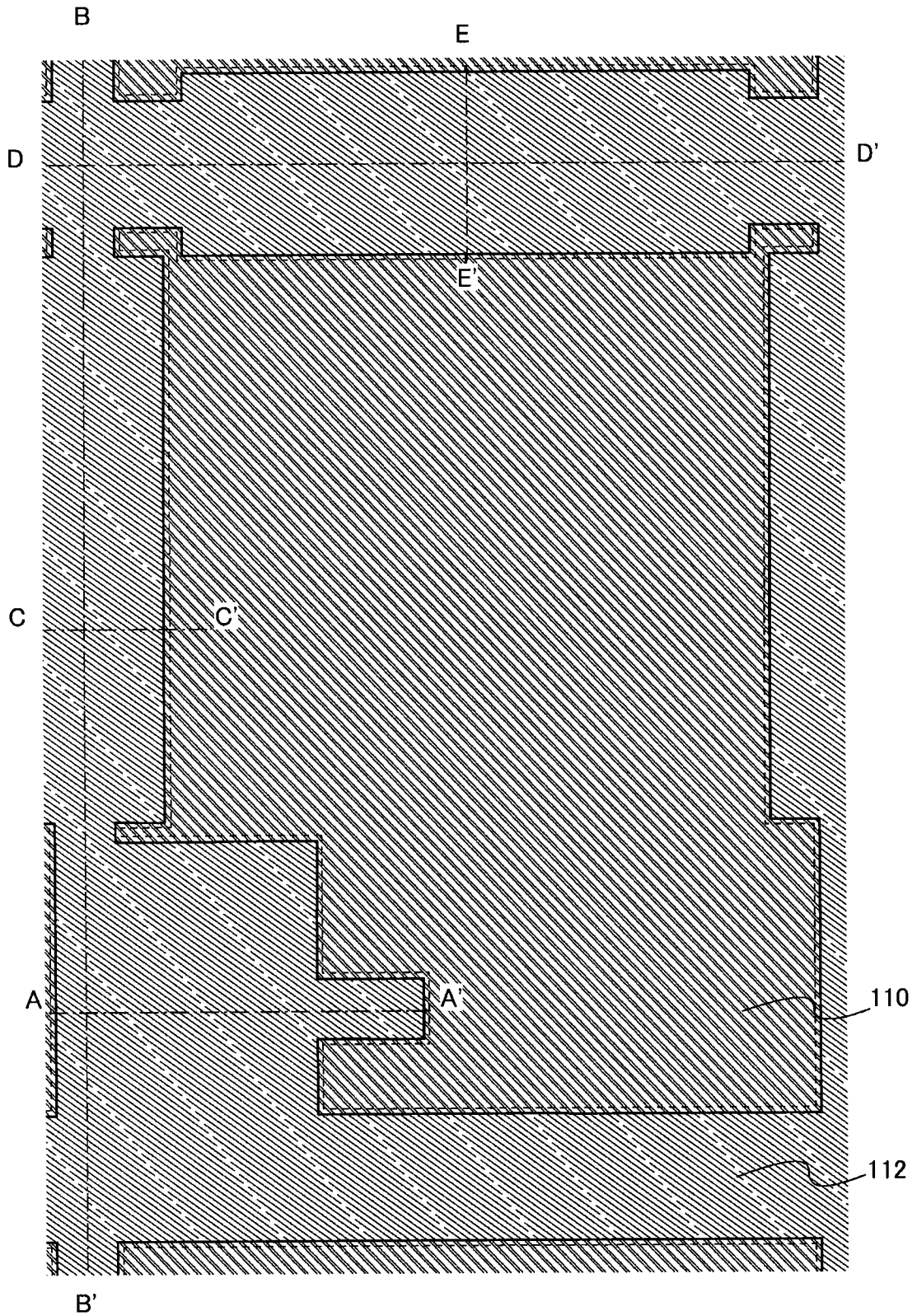


图 20

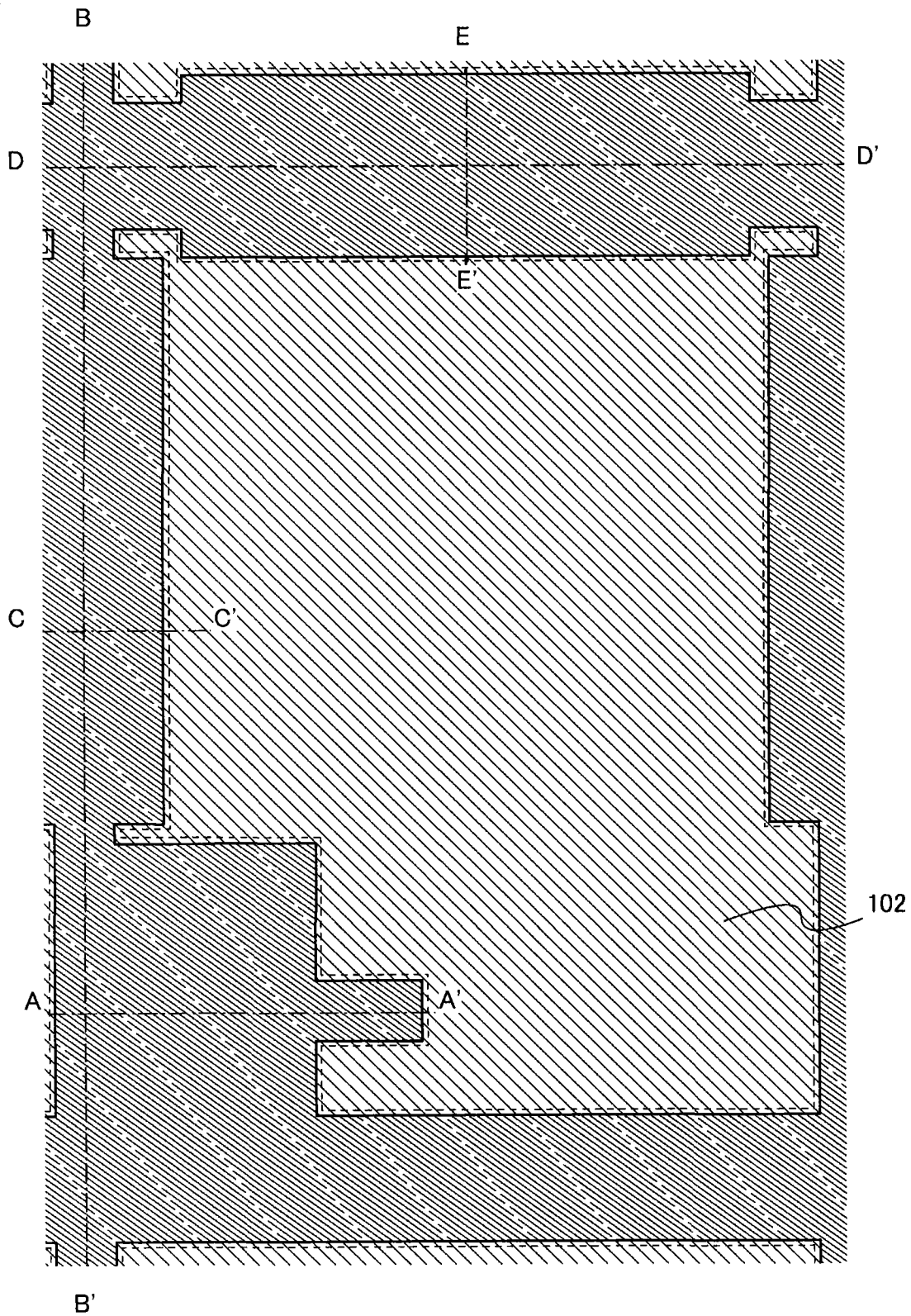


图 21

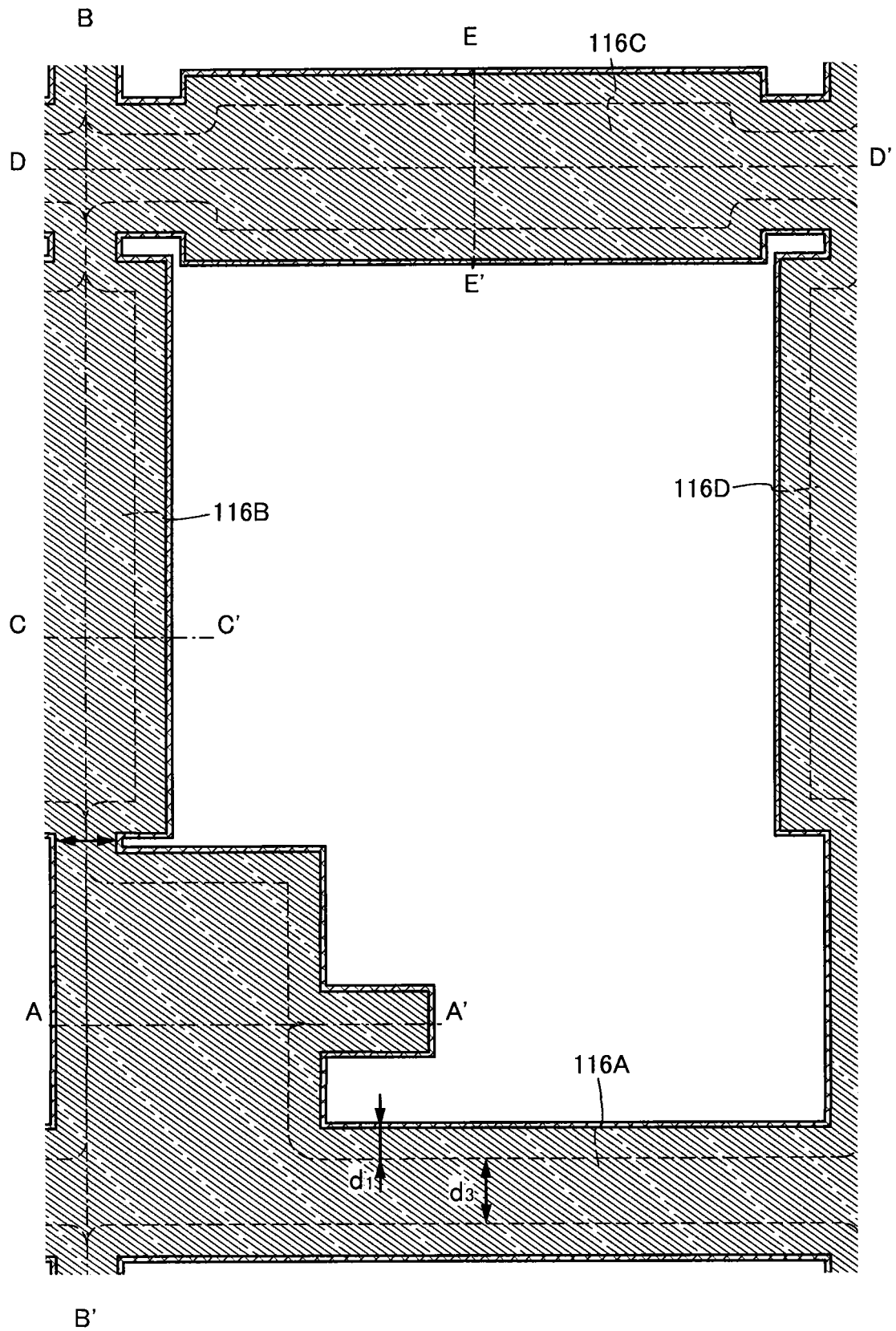


图 22

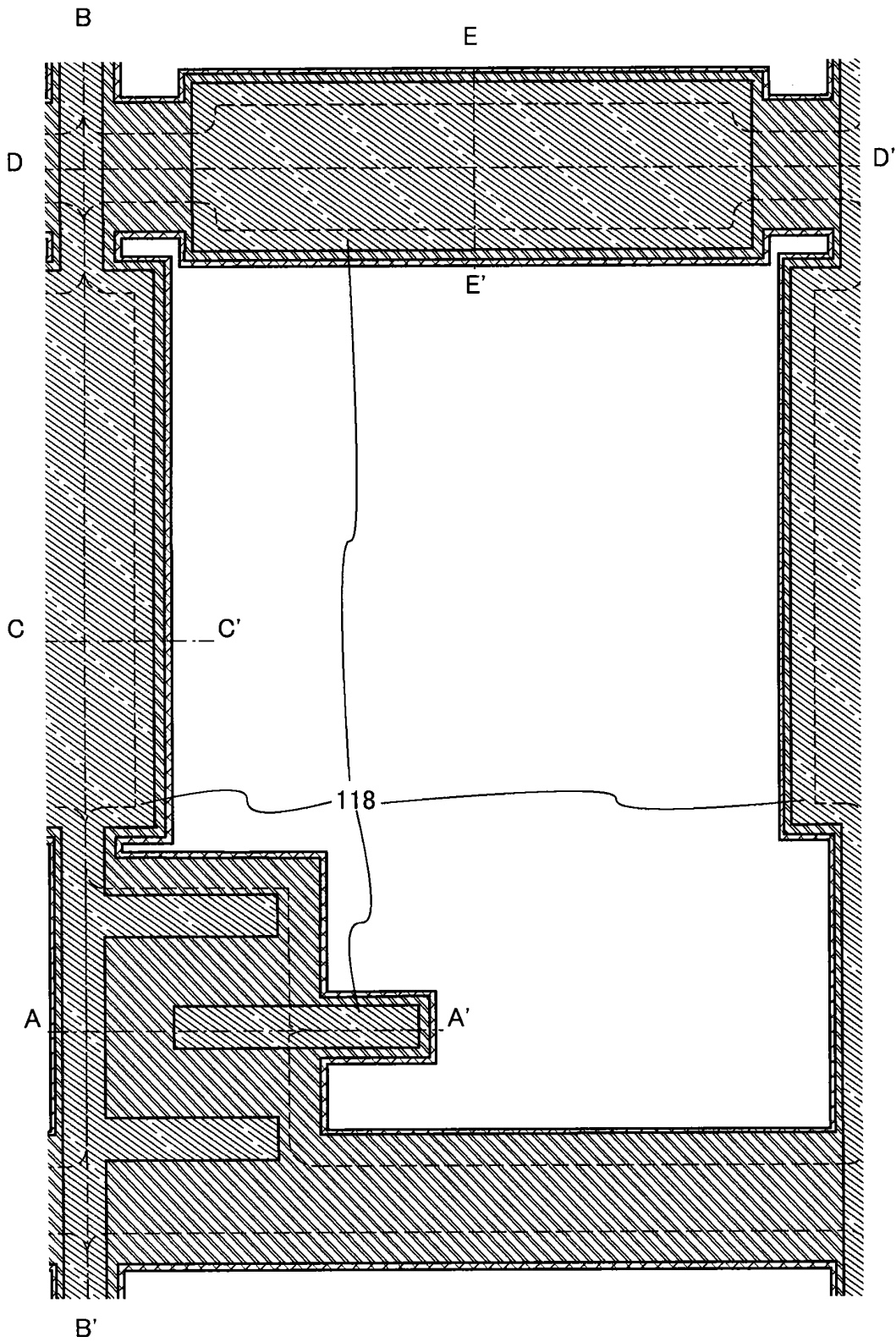


图 23

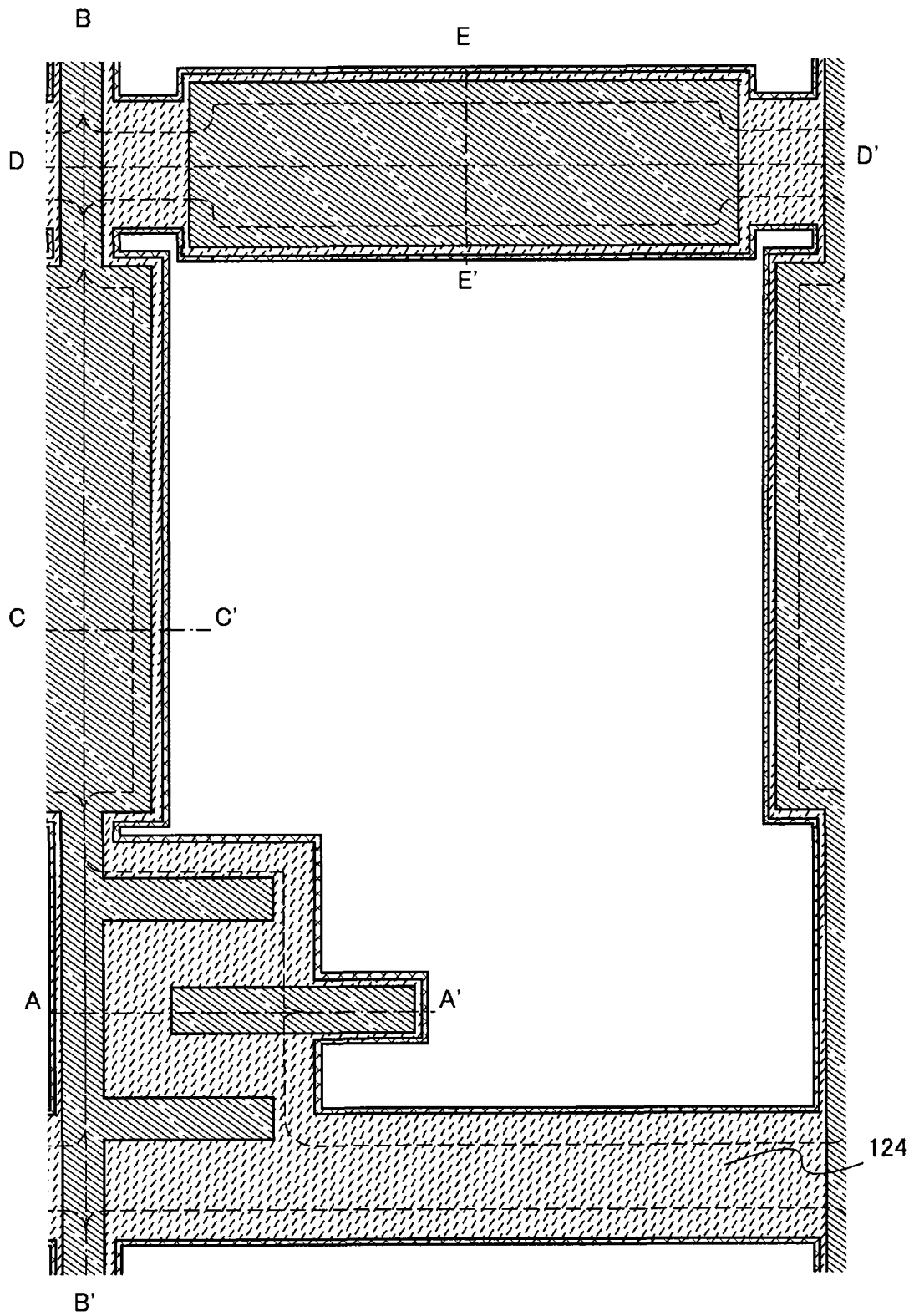


图 24

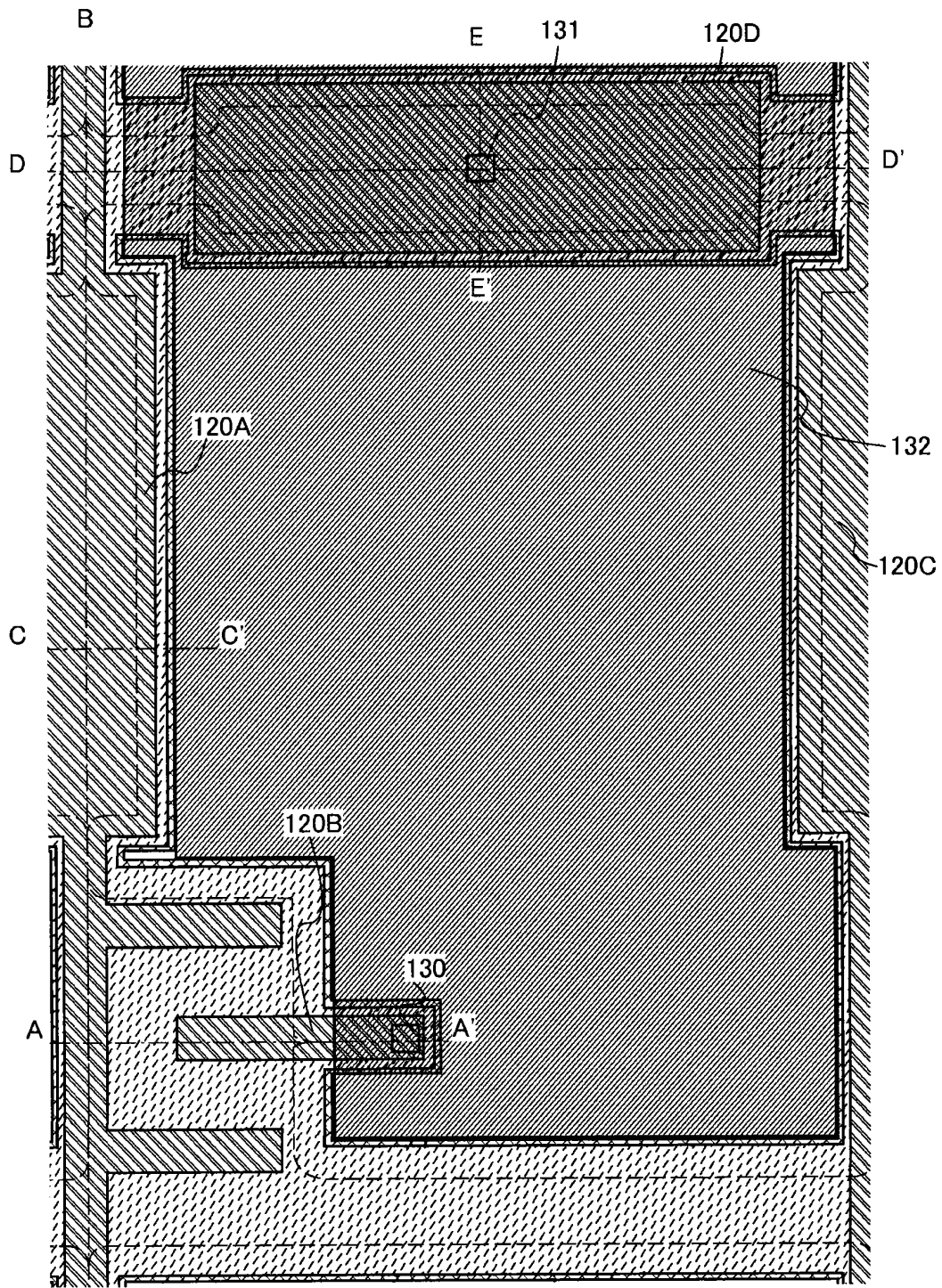


图 25

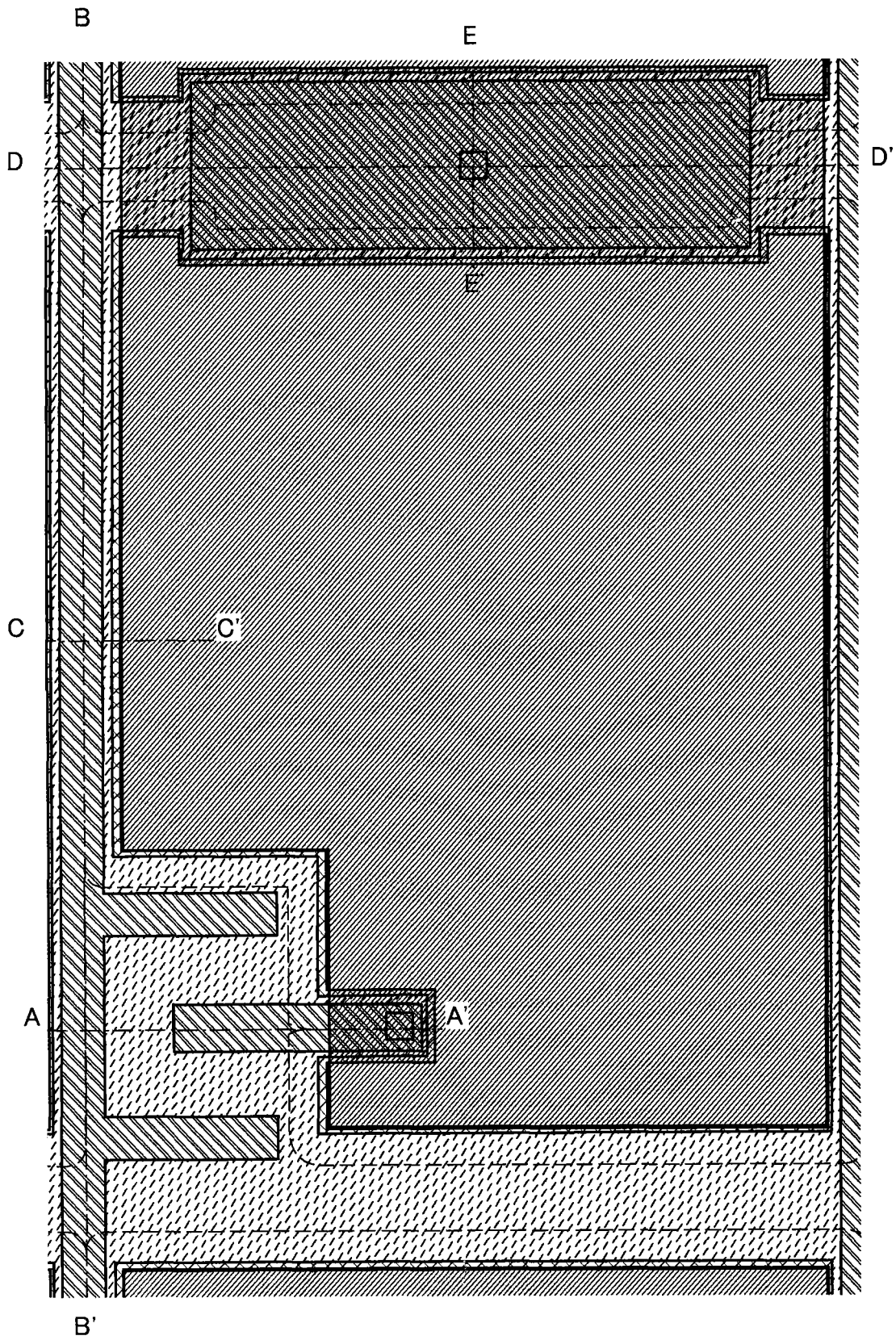


图 26

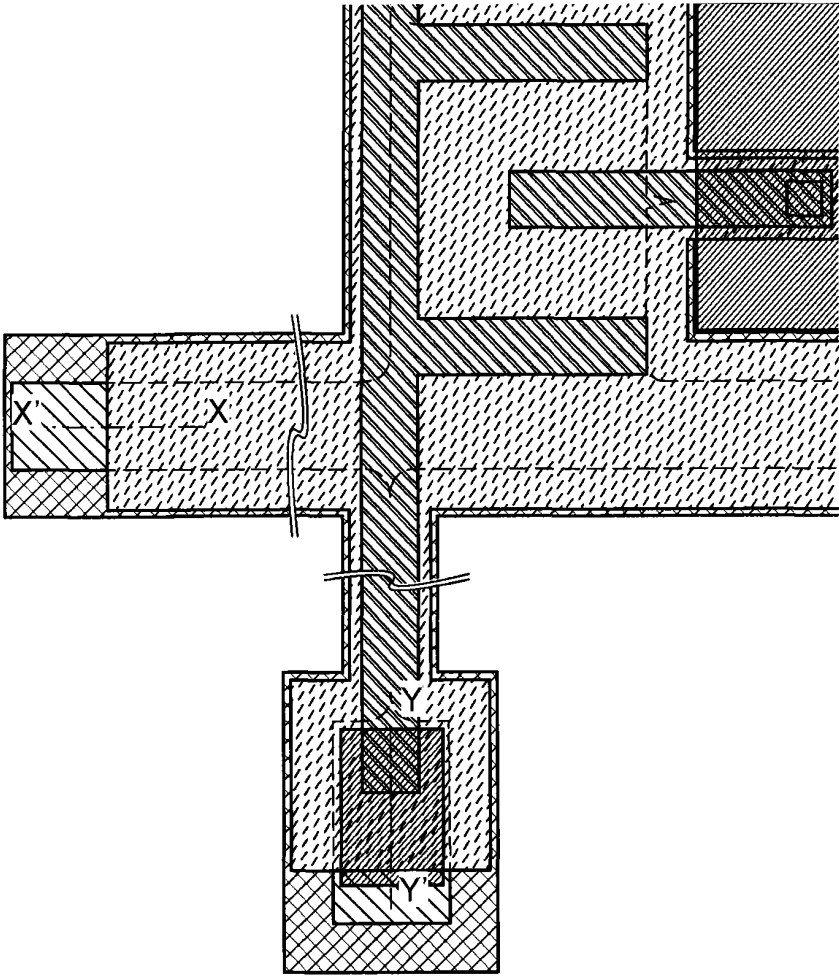


图 27

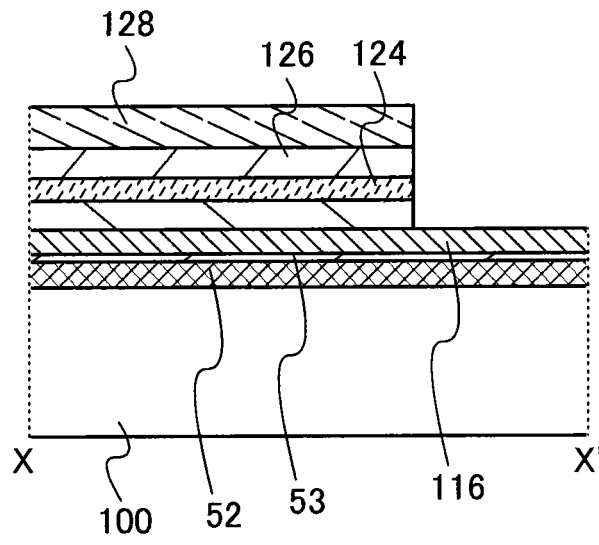


图 28

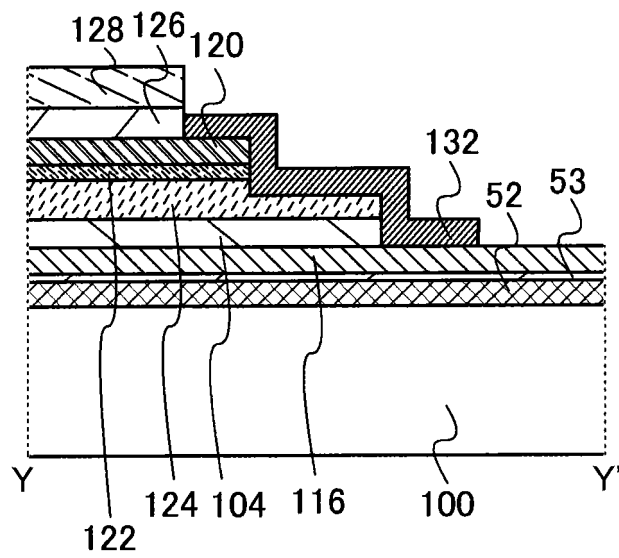


图 29A

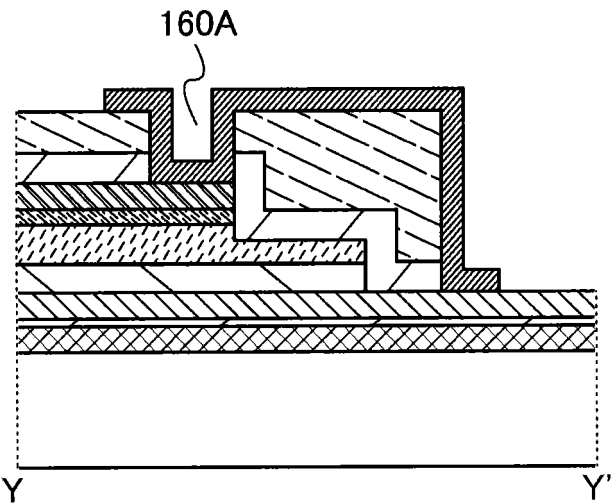


图 29B

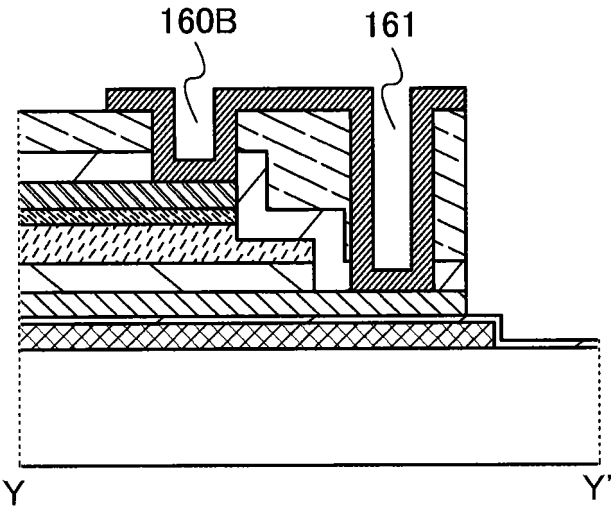


图 29C

图 30A-1

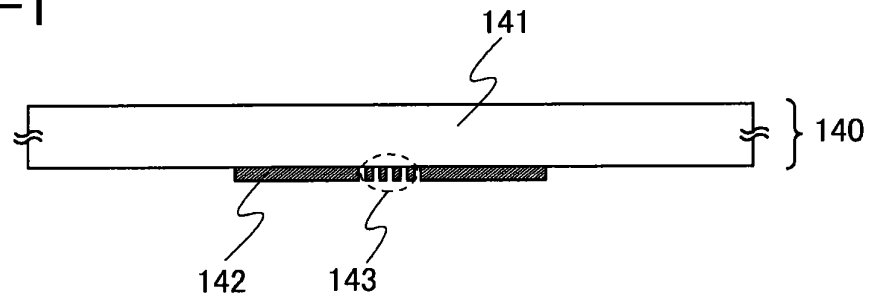


图 30A-2

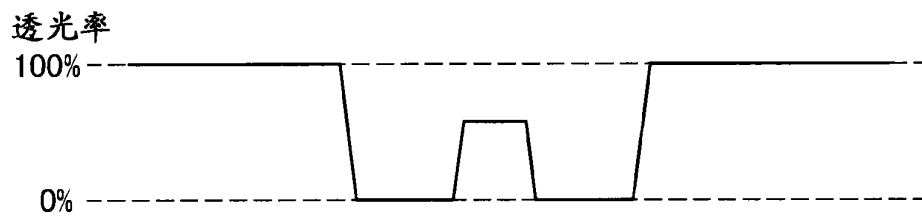


图 30B-1

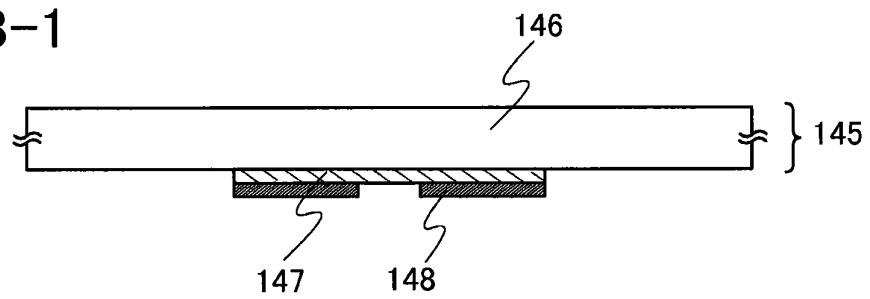


图 30B-2

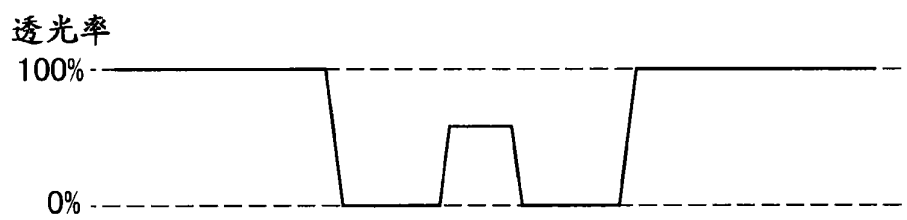


图 31A

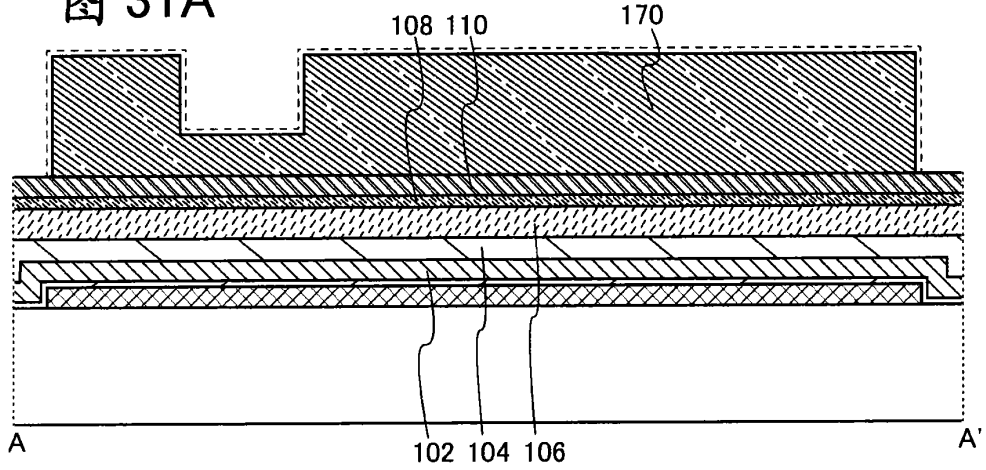


图 31B

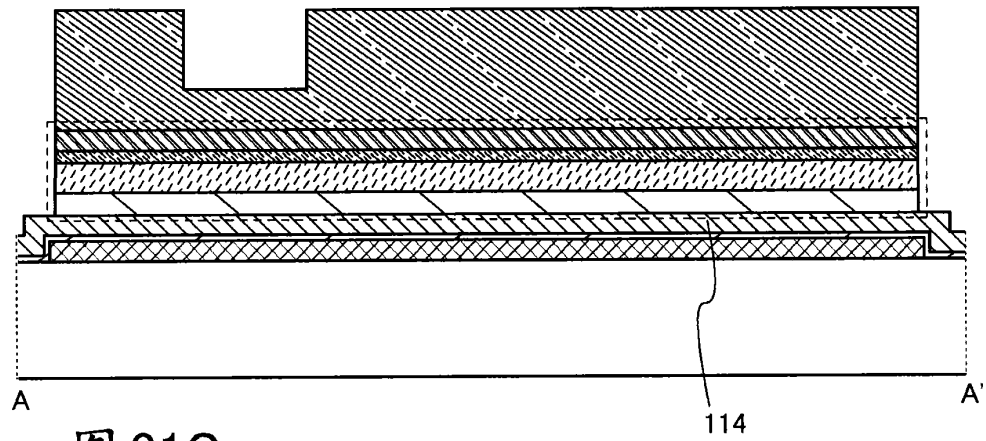
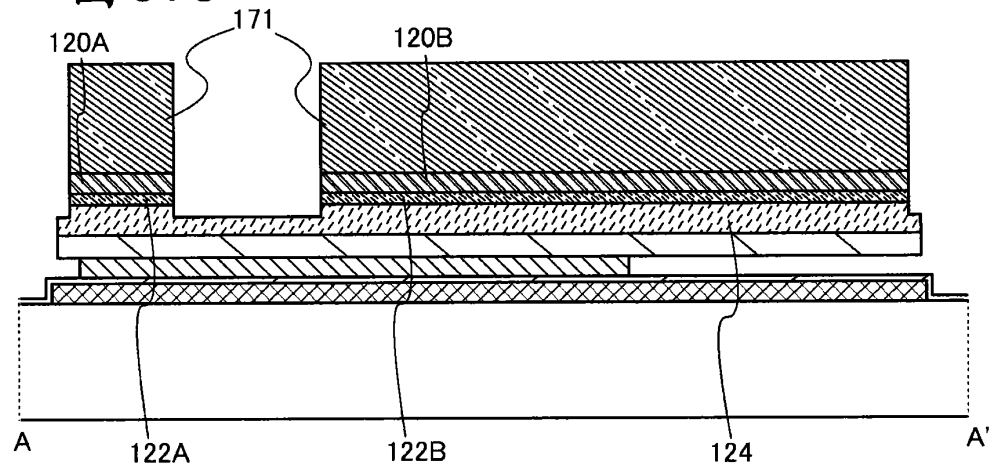


图 31C



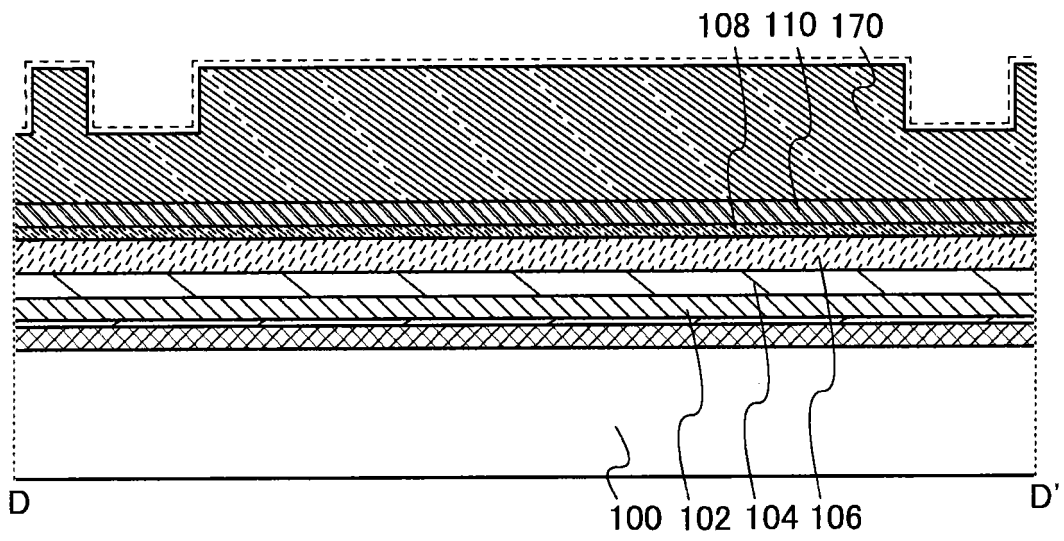


图 32A

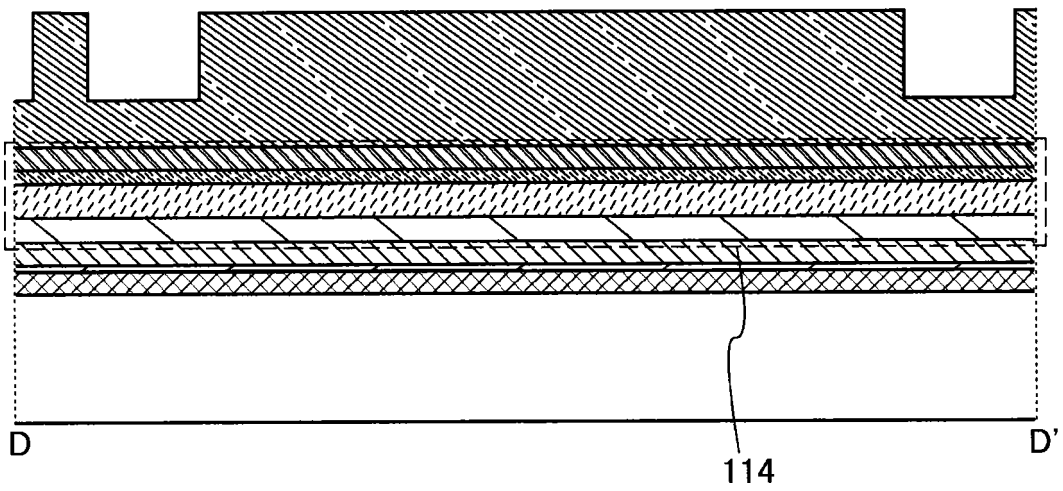


图 32B

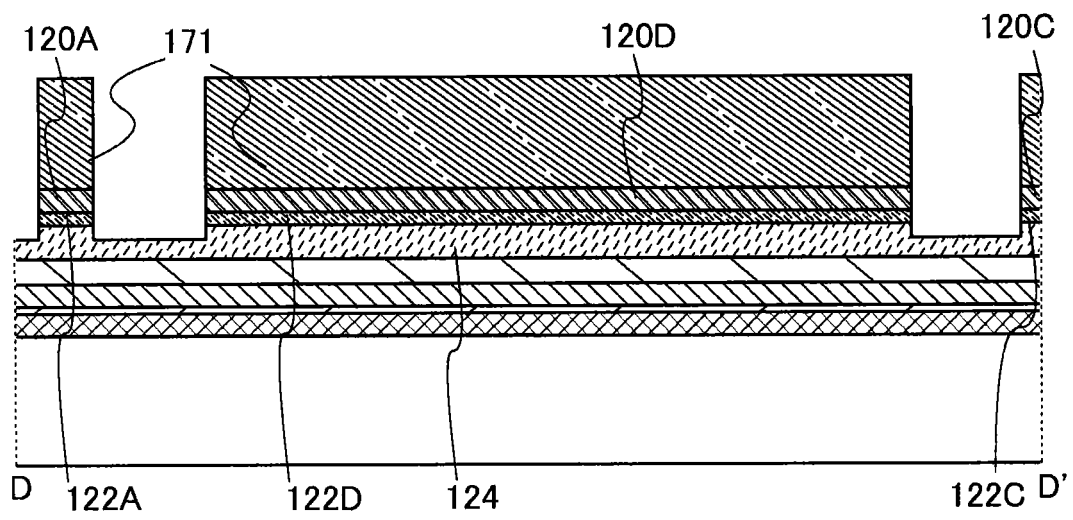


图 32C

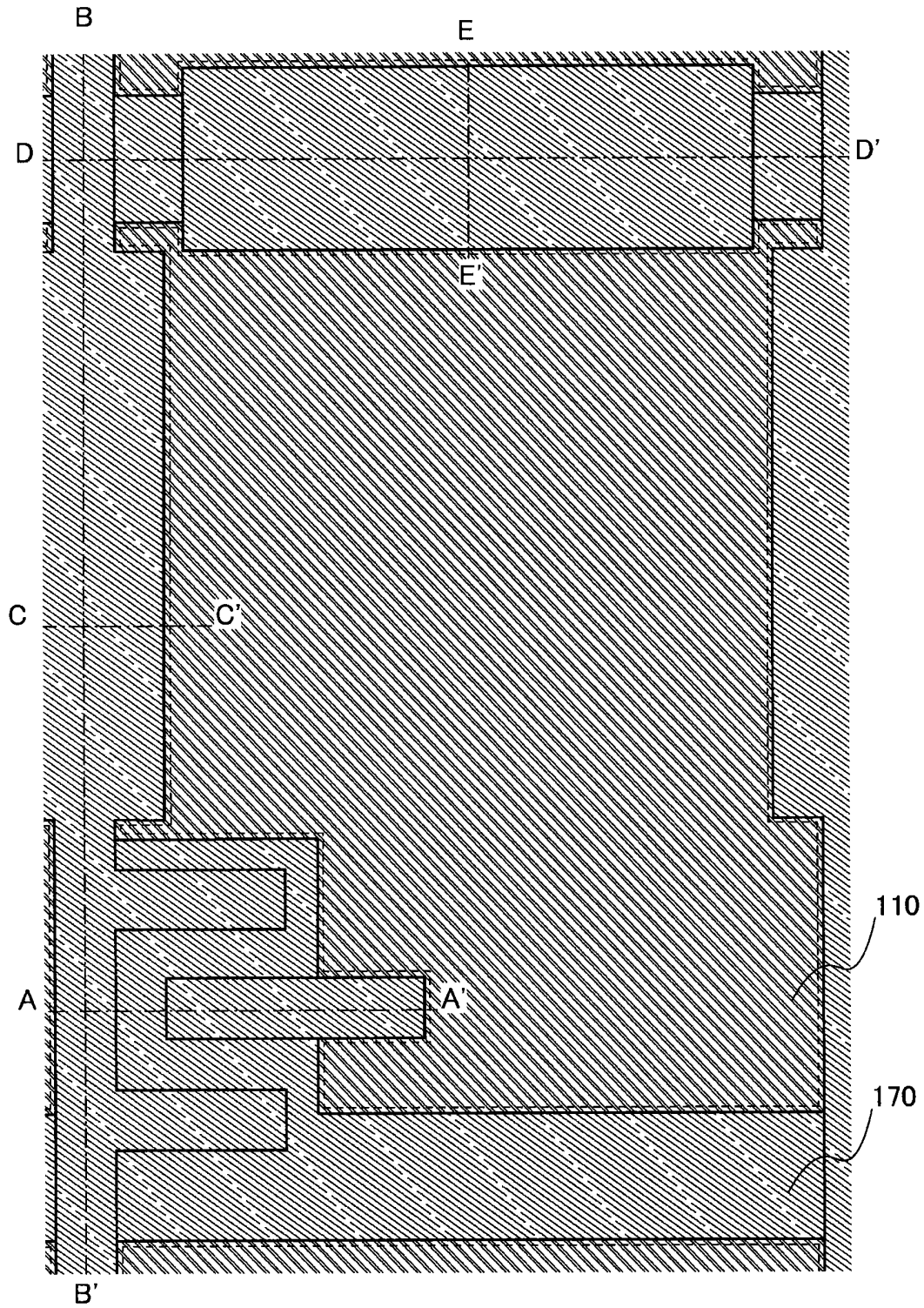


图 33

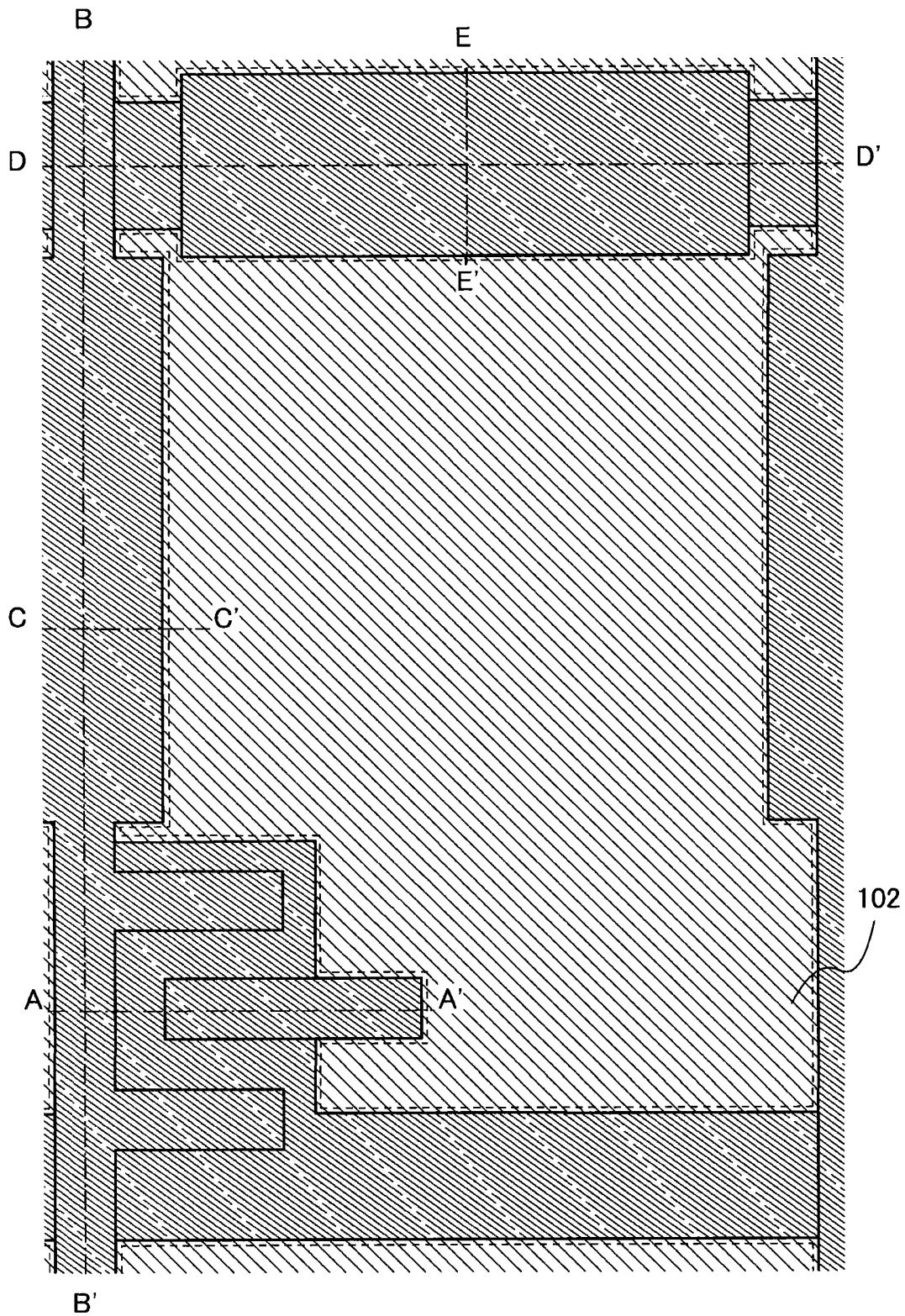


图 34

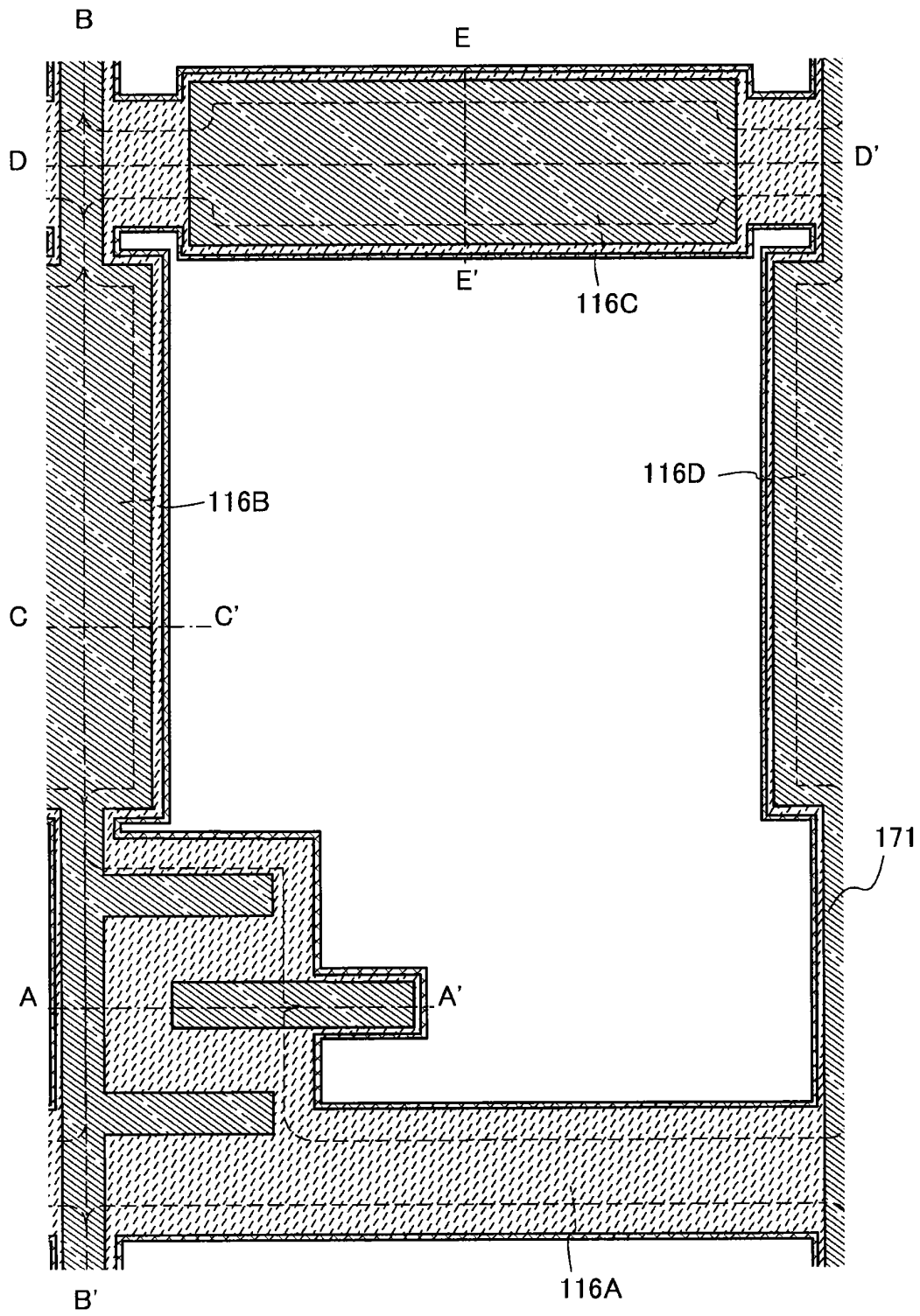


图 35

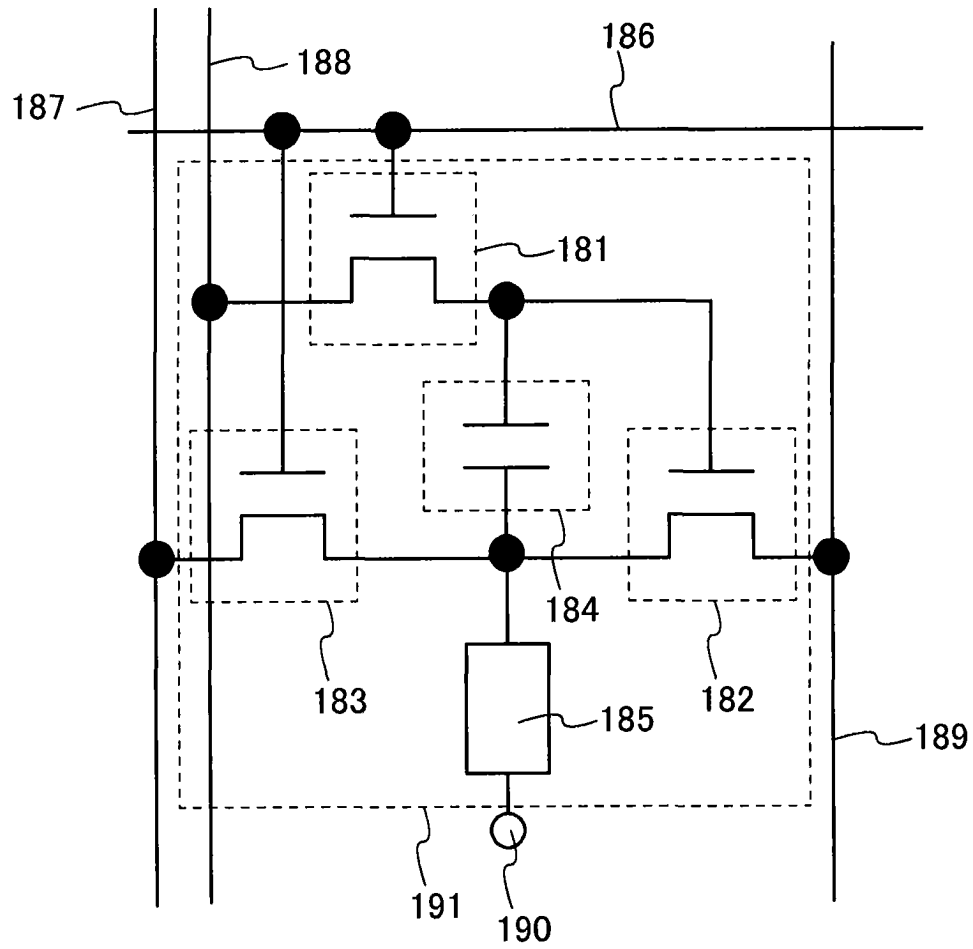


图 36

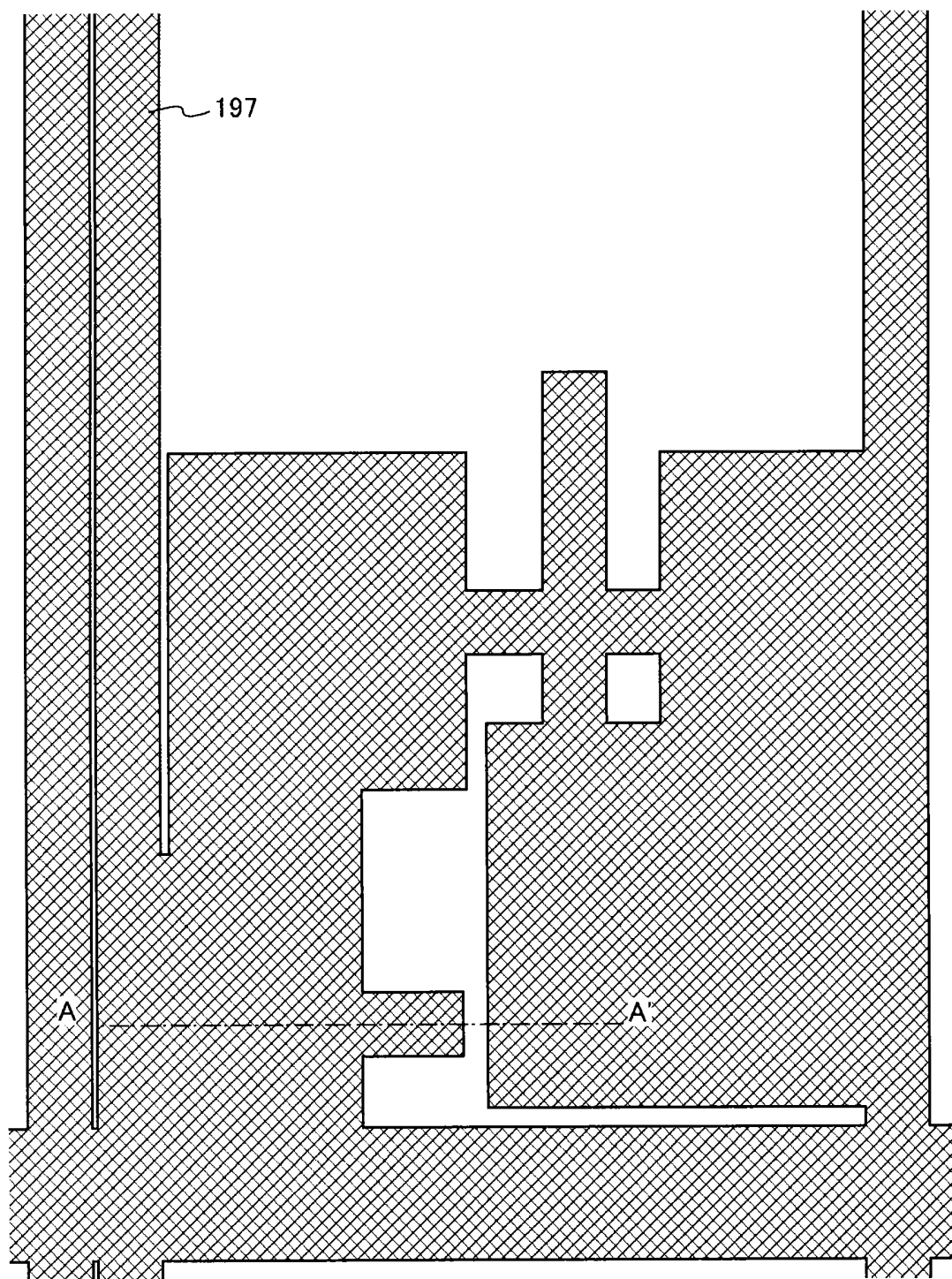


图 37

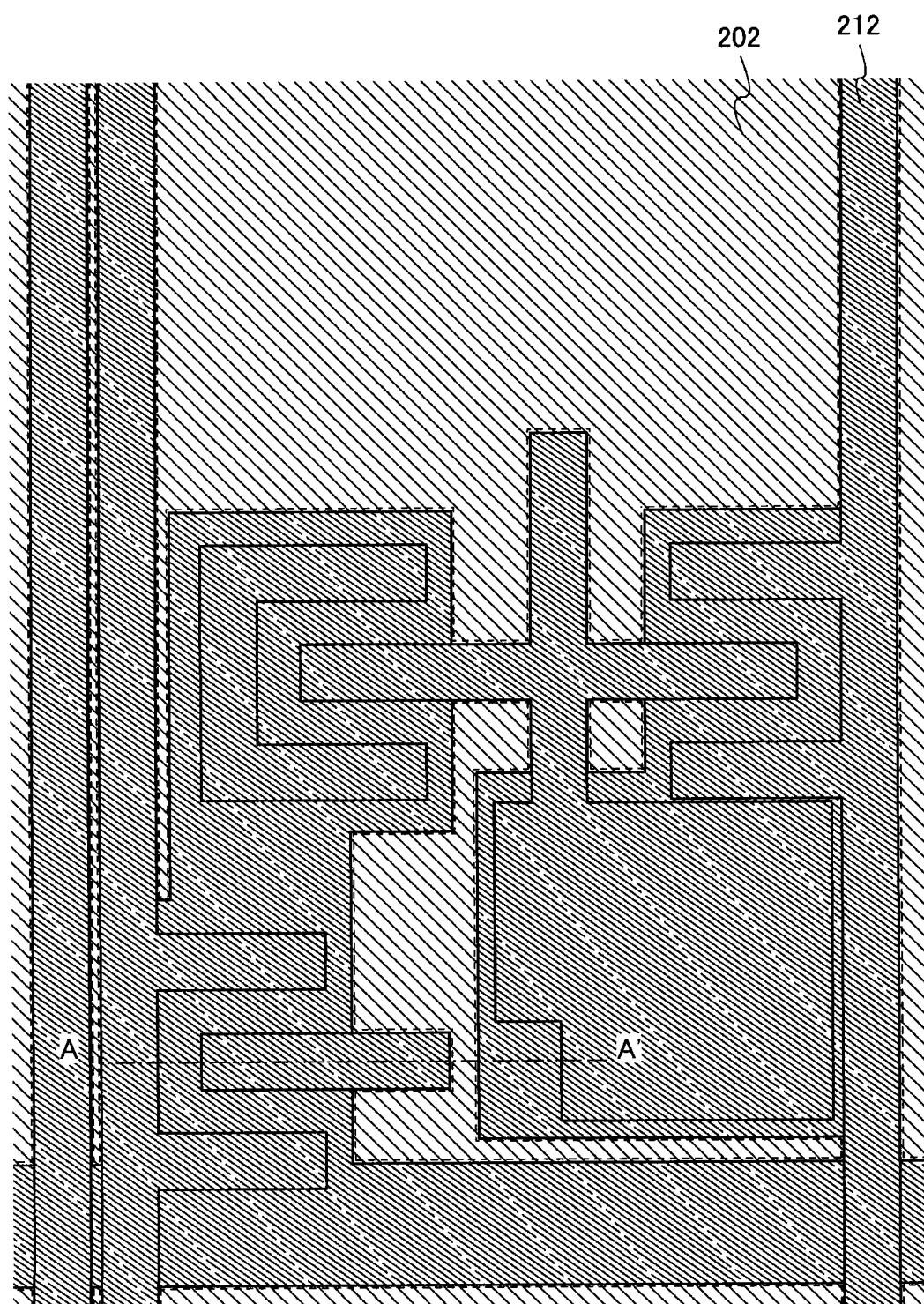


图 38

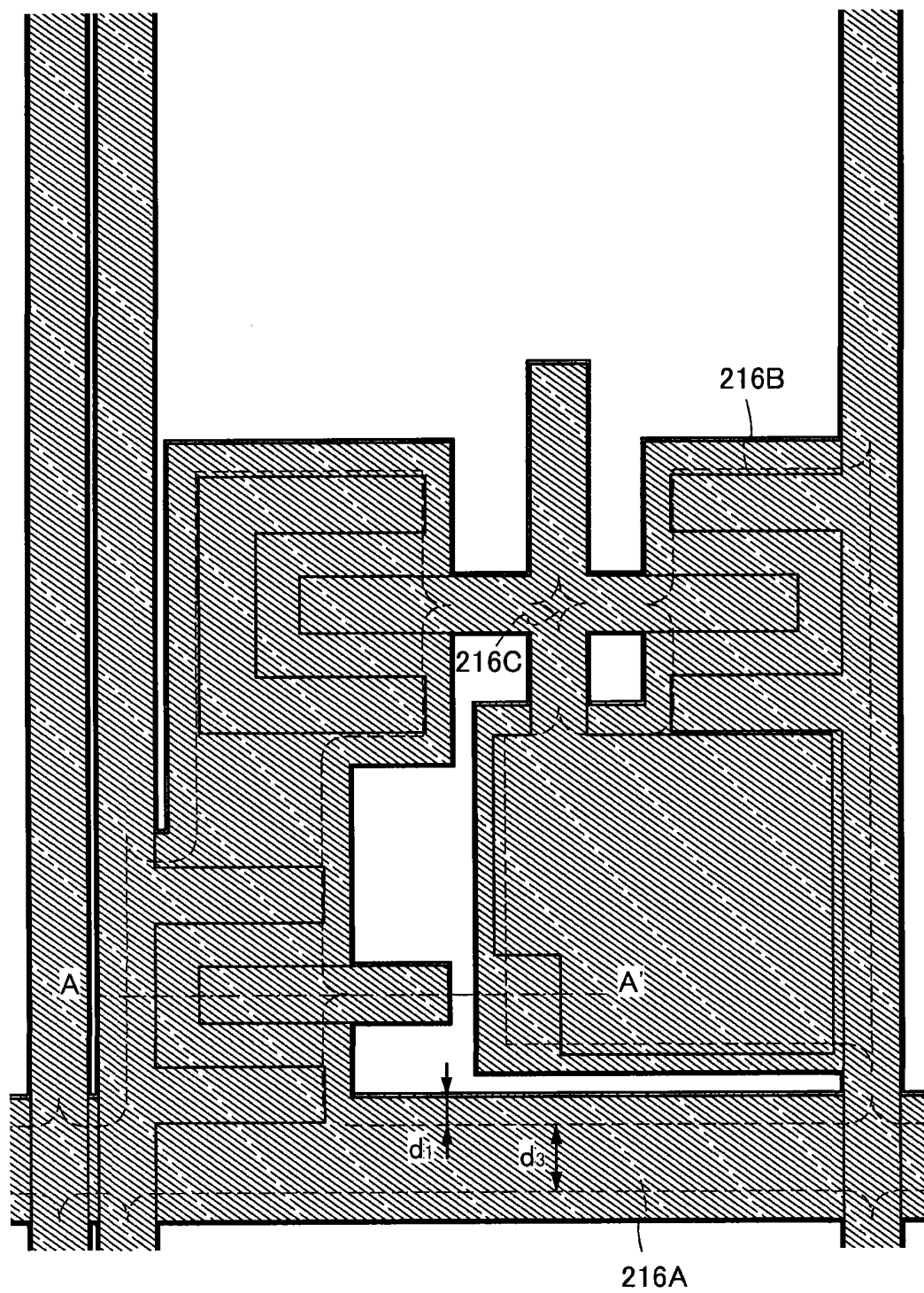


图 39

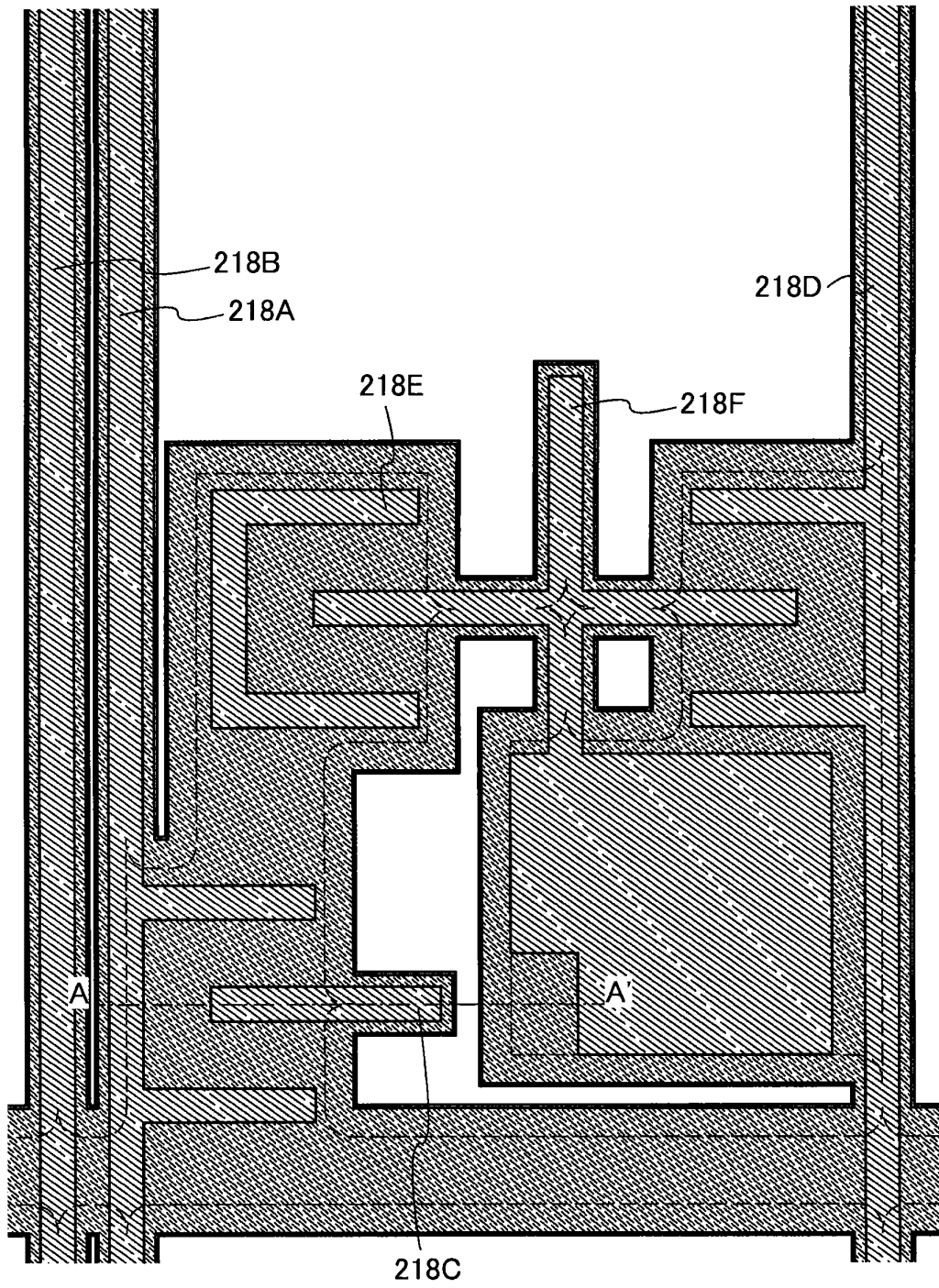


图 40

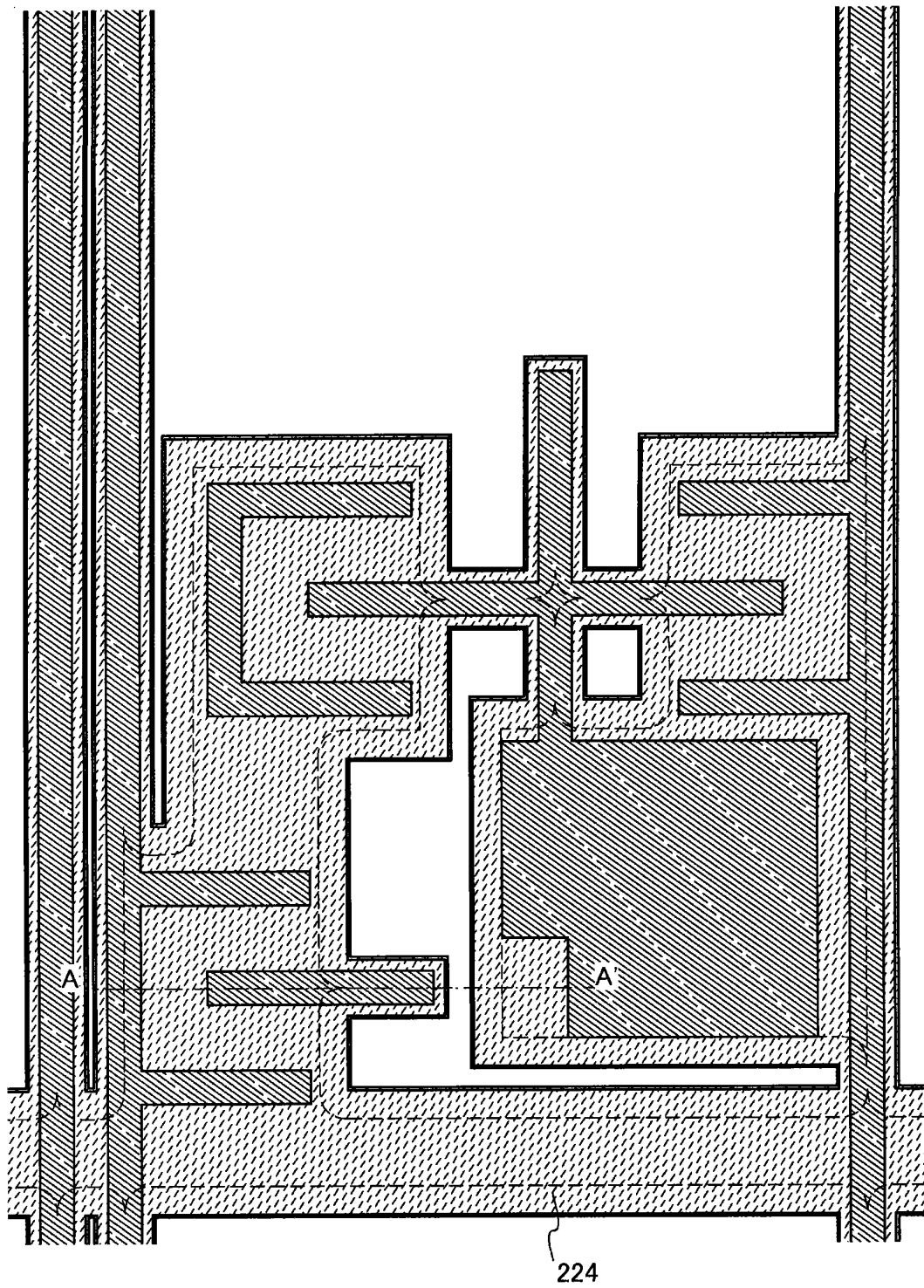


图 41

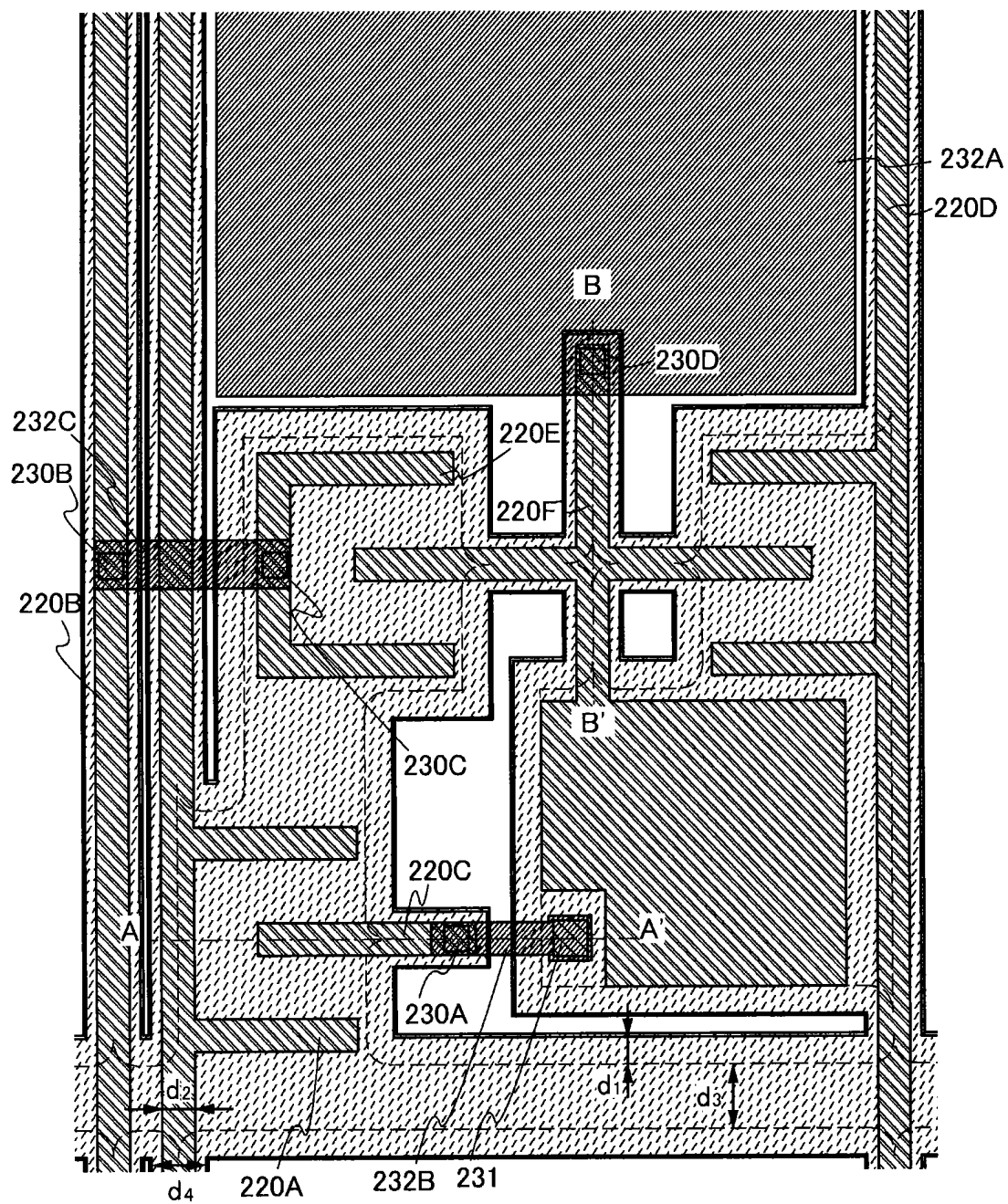


图 42

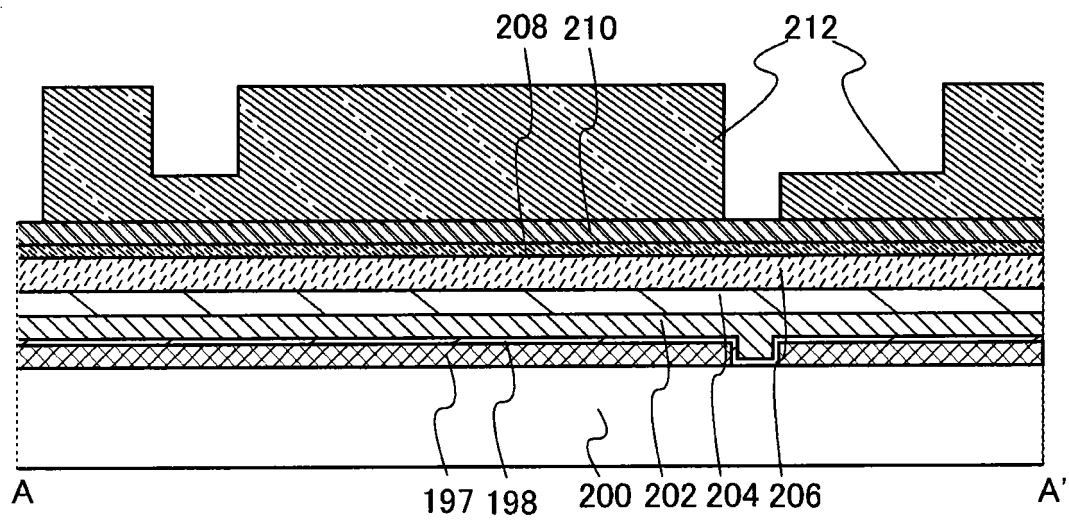


图 43A

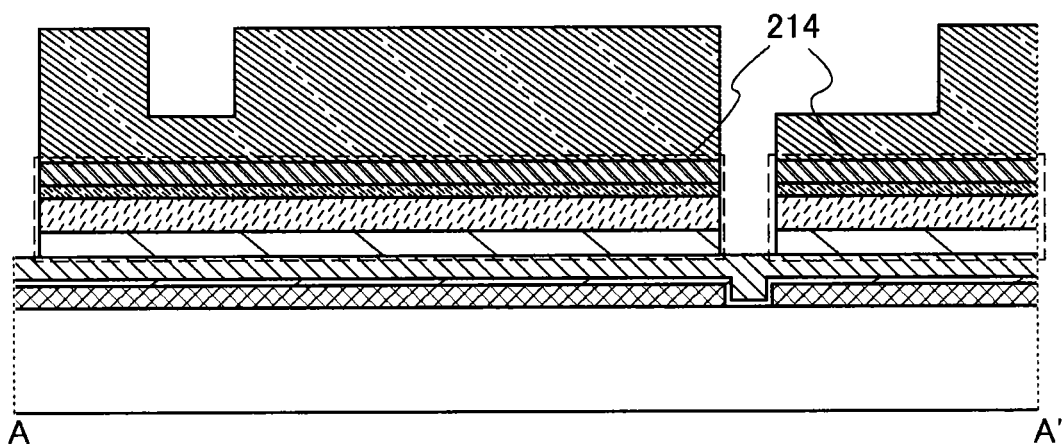


图 43B

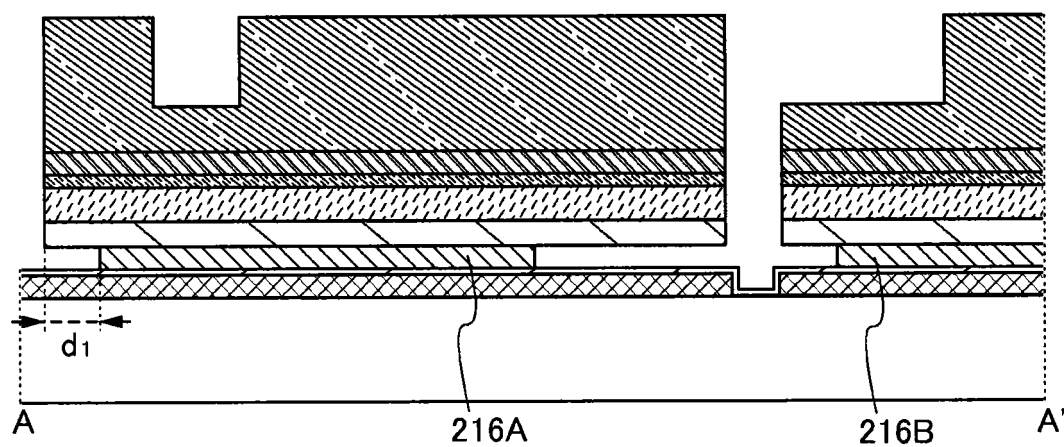


图 43C

图 44A

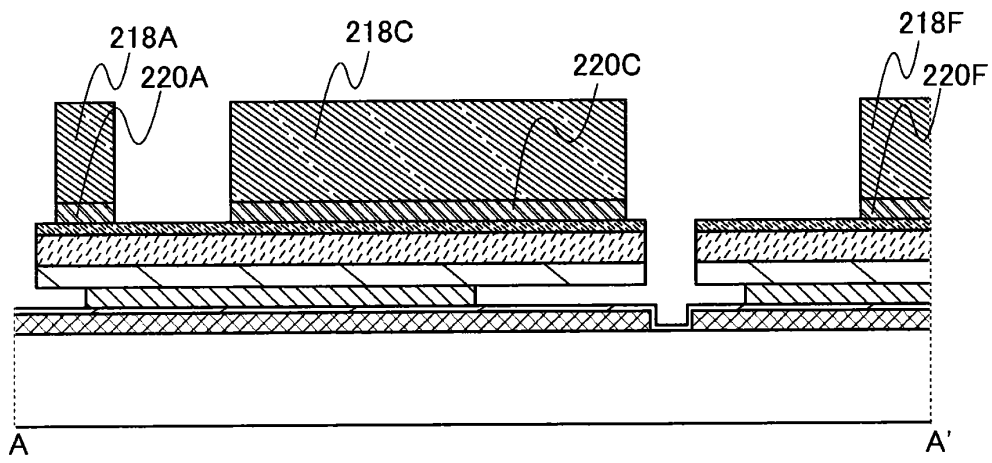


图 44B

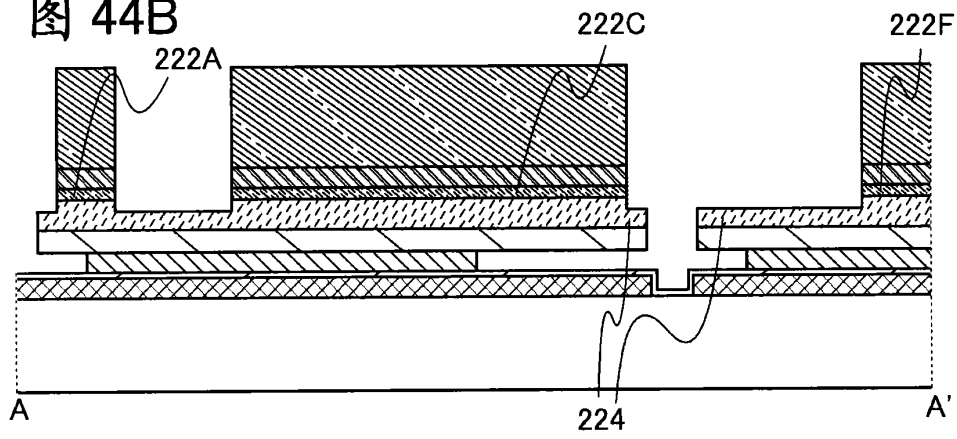


图 44C

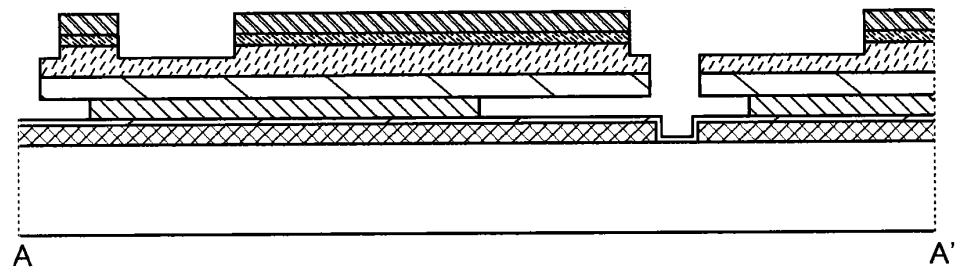


图 45A

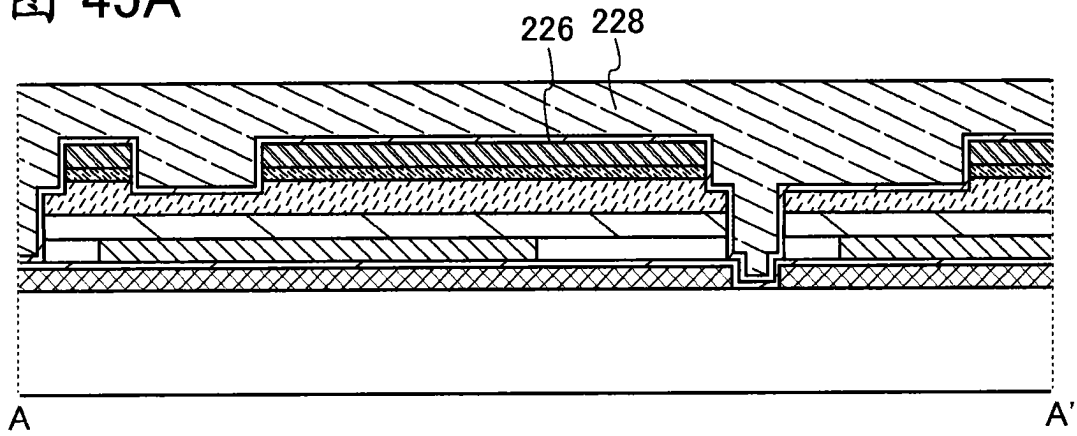


图 45B

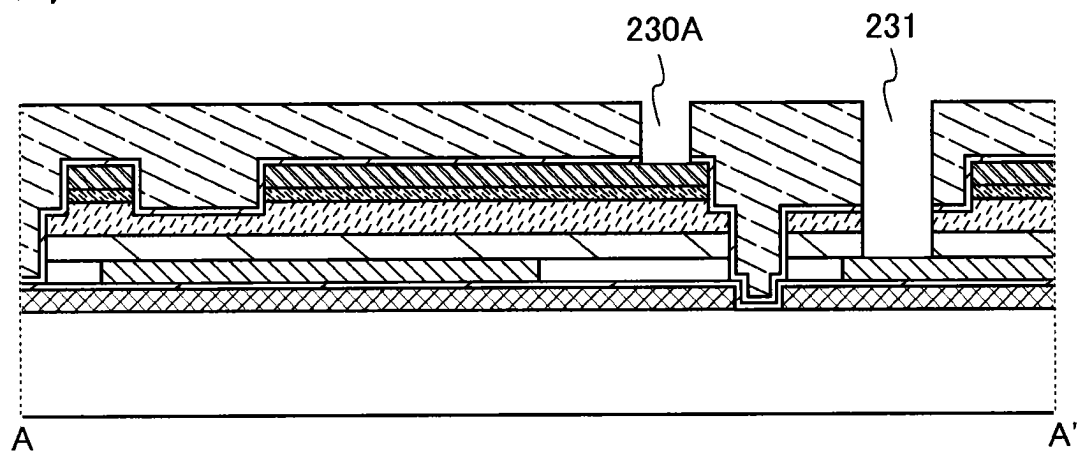
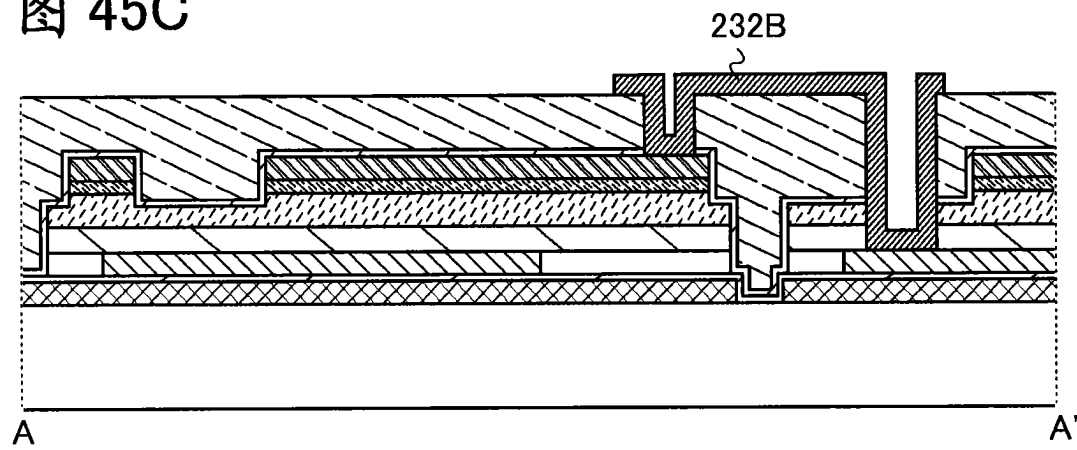


图 45C



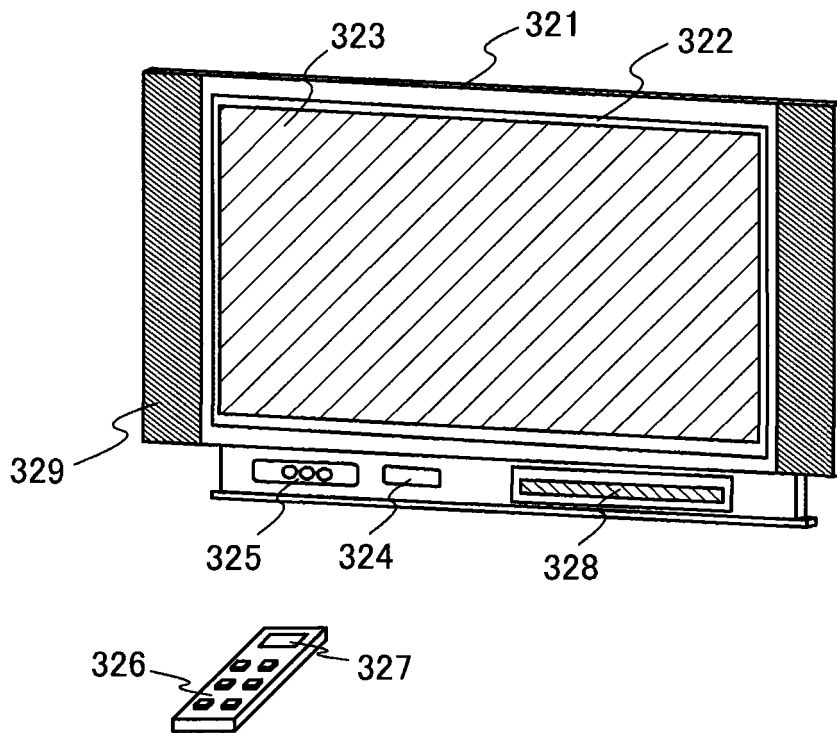


图 46A

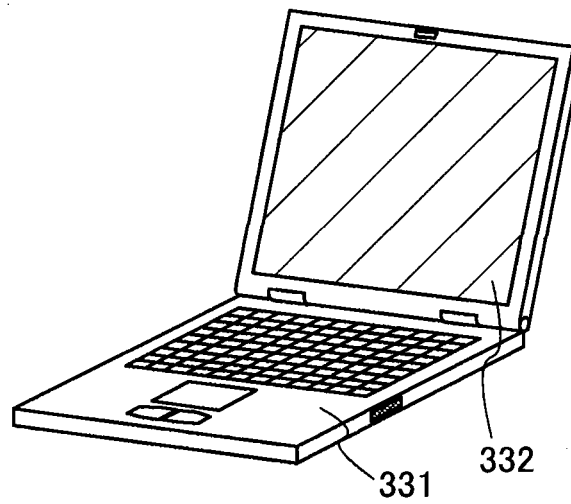


图 46B

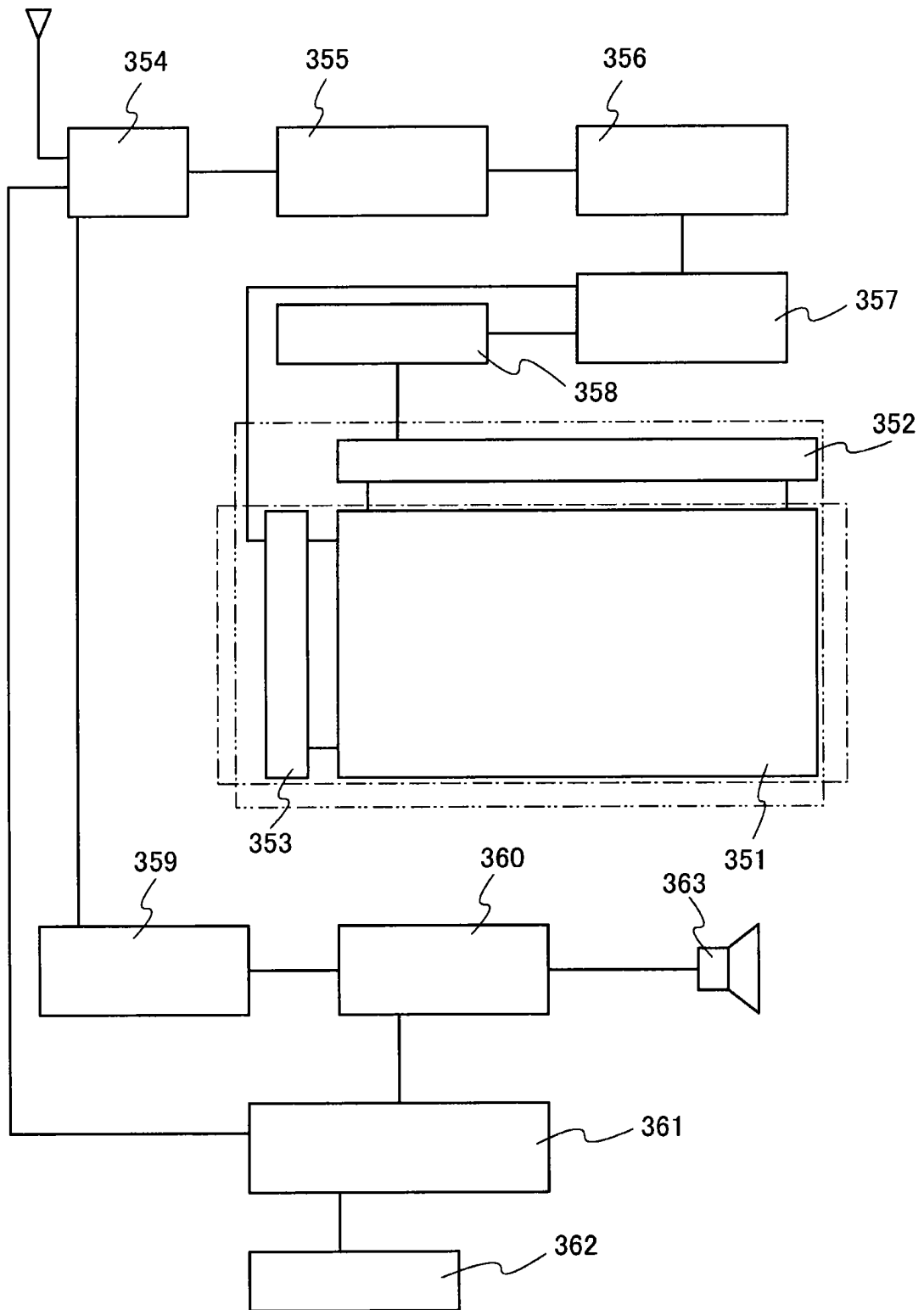


图 47

图 48A

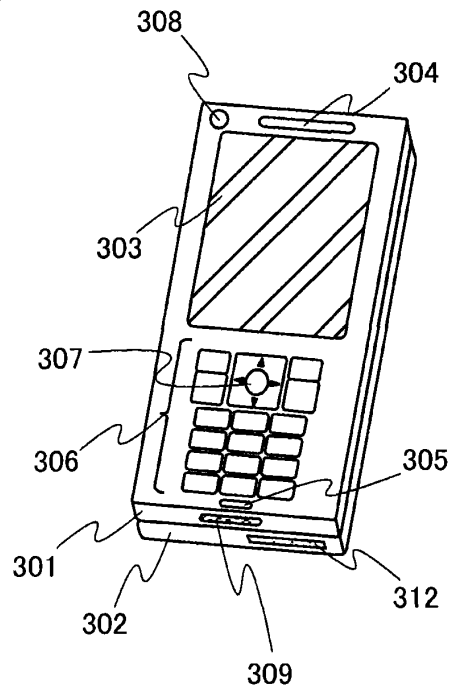


图 48B

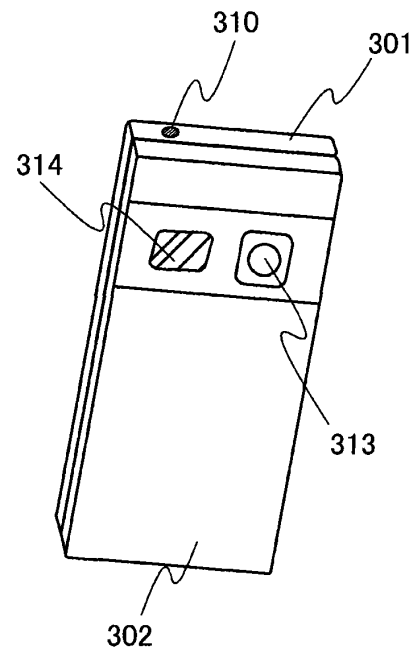
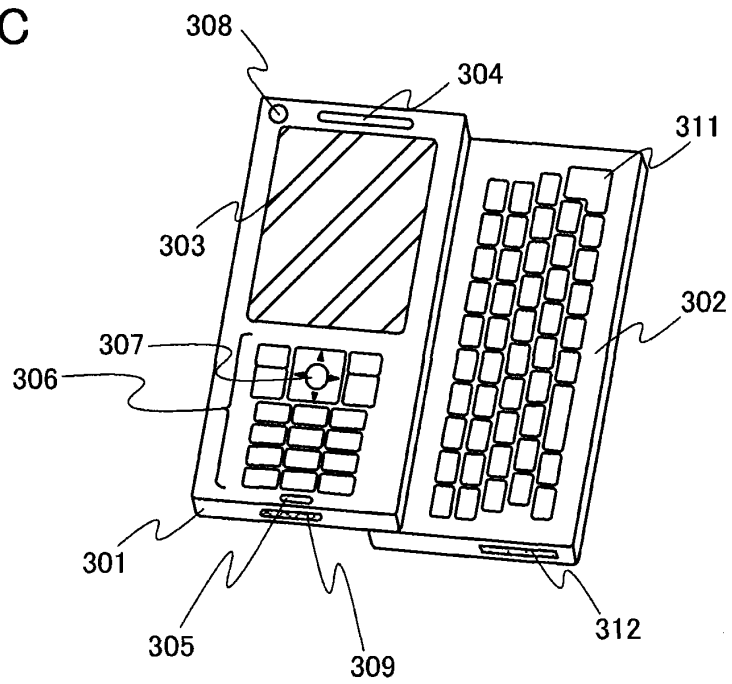


图 48C



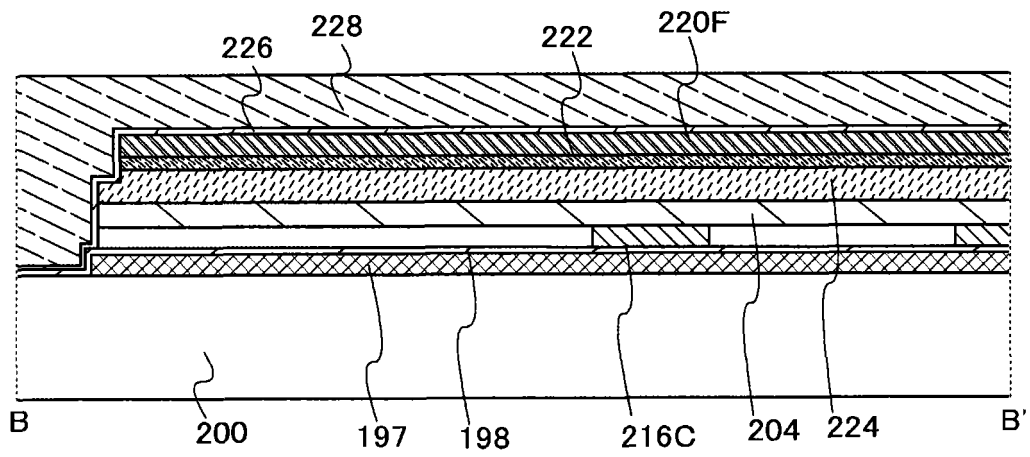


图 49A

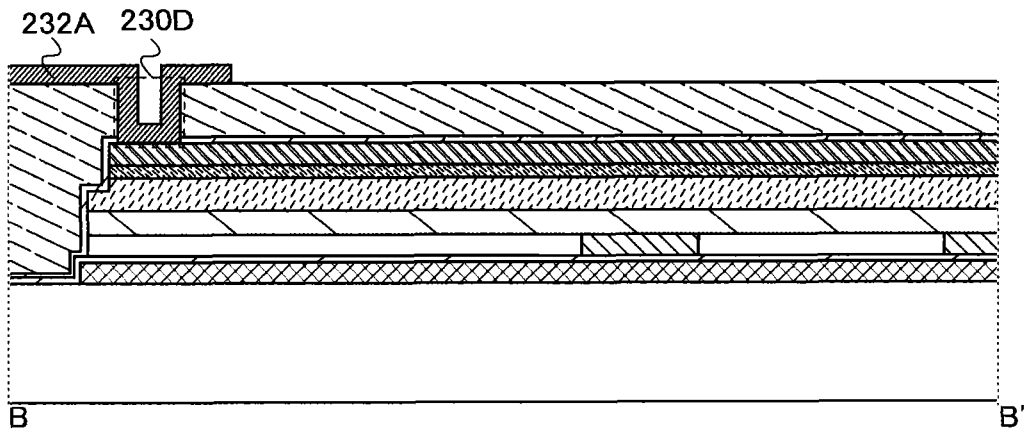


图 49B

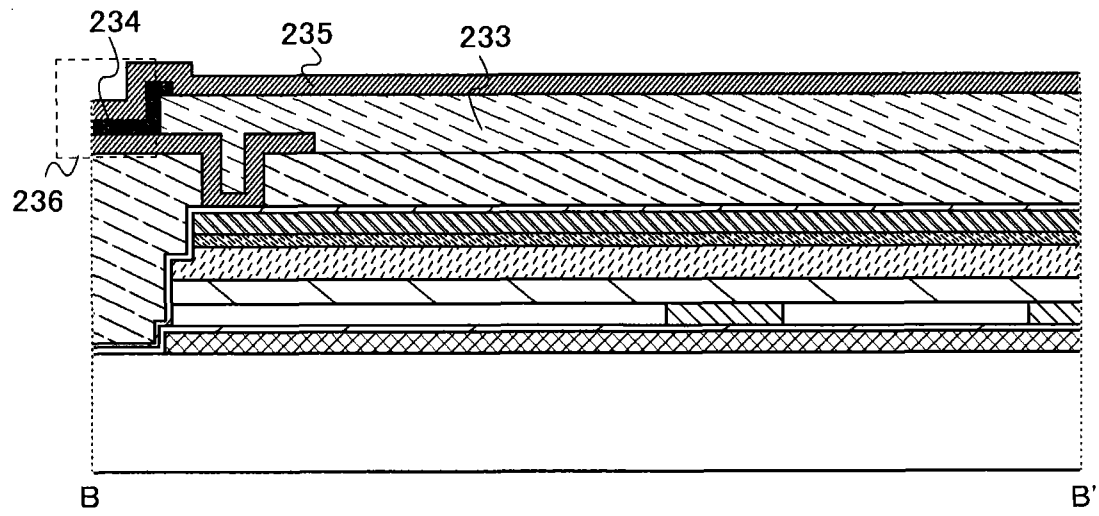


图 49C