

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 16/02

G11C 16/10 H01L 27/115

[12] 发明专利申请公开说明书

[21] 申请号 01111740.0

[43] 公开日 2001 年 10 月 17 日

[11] 公开号 CN 1317800A

[22] 申请日 2001.3.22 [21] 申请号 01111740.0

[30] 优先权

[32] 2000.3.22 [33] US [31] 60/191,225

[32] 2000.7.17 [33] US [31] 09/617,280

[71] 申请人 密克罗奇普技术公司

地址 美国亚利桑那州

[72] 发明人 唐纳德·S·格伯 肯特·D·休伊特

戴维·M·戴维斯 杰弗里·希尔兹

[74] 专利代理机构 柳沈知识产权律师事务所

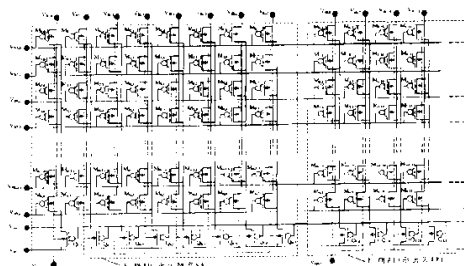
代理人 王志森

权利要求书 3 页 说明书 12 页 附图页数 11 页

[54] 发明名称 改进的存储器单元编程方法

[57] 摘要

公开一种在所选择的一组存储器单元中写入和选择性擦除位的方法,其明显降低对在其它未选定组的存储器单元中存储的干扰数据的似然性。该方法根据单元的选择和未选定状态改变施加到在未选定单元中的位线上的偏置电压。这样降低了施加到在未选定单元的电压差,降低了不适当地引起存储在未选定单元中的各个浮置栅极上的电荷量不希望有的变化的可能性。本发明的方法在未增加单元间的距离的情况,提高了单元中各列之间的电绝缘。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种操作存储器的方法，该存储器包含：第一和第二组存储器单元，形成在第一半导体区中并以可操作方式连接到字线 and 对应位线上的第一组中的各单元、形成在第二半导体区中并以可操作方式连接到字线 and 对应位线上的第二组中的各单元，该方法包含：

- 向字线施加第一电压；
- 向第一半导体区施加第二电压；
- 向第一组单元中的各位线施加选择的电压；
- 向第二半导体区施加第四电压；
- 向第二组单元中的各位线施加第五电压；

其中在第一时间期间第一和第四电压基本上相同，以及第二和该选择的电压基本上相同，以及第五电压是从第一电压到第二电压的范围中选择的，以及

其中在第二时间期间第二和第五电压基本上相同，并与第一电压不同，第五电压是从第一电压到第二电压的范围中选择的，以及该选择的电压是从第五和第二电压中选择的。

2. 根据权利要求 1 所述的操作存储器的方法，其中在第一时间期间，第一电压大于第二电压。

3. 根据权利要求 1 所述的操作存储器的方法，其中在第一时间期间，第一电压小于第二电压。

4. 根据权利要求 1 所述的操作存储器的方法，其中第一时间和第二时间发生在对存储器编程期间。

5. 一种擦除存储器中的第一组存储器单元的方法，该存储器至少包含第一和第二组存储器单元，形成在第一半导体区中的第一组中的各单元以可操作方式连接到一字线，形成在第二半导体区中的第二组中的各单元以可操作方式连接到该字线，该方法包含：

- 向字线施加第一电压；
- 向第一半导体区施加第二电压；
- 向第一组单元中的各位线施加选择的电压；
- 向第二半导体区施加第四电压；

向第二组单元中的各位线施加第五电压;

其中在第一时间期间第二和第四电压基本上相同,与第一电压不同,第五电压是从第一电压到第二电压的范围中选择的,以及第二和该选择的电压基本上相同,以及该选择的电压是从第五和第二电压中选择的。

5 6. 根据权利要求 5 所述的擦除存储器中的第一组存储器单元的方法,其中第一电压小于第二电压。

7. 根据权利要求 6 所述的擦除存储器中的第一组存储器单元的方法,其中第二电压是正电压。

10 8. 一种写入存储器中的第一组存储器单元的方法,该存储器至少包含第一和第二组存储器单元,形成在第一半导体区中的第一组中的各单元以可操作方式连接到一字线,形成在第二半导体区中的第二组中的各单元以可操作方式连接到该字线,该方法包含:

向该字线施加第一电压;

向第一半导体区施加第二电压;

15 向第一组单元中的各位线施加第三电压;

向第二半导体区施加第四电压;

向第二组单元中的各位线施加第五电压;

其中第一和第四电压基本上相同,以及第二和第三电压基本上相同,第五电压是从第一电压到第二电压的范围中选择的。

20 9. 根据权利要求 8 所述的写入存储器中的第一组存储器单元的方法,其中第一电压大于第二电压。

10. 根据权利要求 9 所述的写入存储器中的第一组存储器单元的方法,其中第一电压是正电压。

25 11. 一种擦除在半导体区中存储器中形成的存储器单元的方法,第一组中的各单元以可操作方式连接到一字线,第二组中的各单元以可操作方式连接到该字线,该方法包含:

向该字线施加第一电压;

向该半导体区施加第二电压;

向第一组单元中的各位线施加选择的电压;

30 向第二组单元中的各位线施加第四电压;

其中第一和第二电压是不同的,第四电压是从第一电压到第二电压的范

围中选择的，该选择的电压是从第二和第四电压中选择的。

12. 根据权利要求 11 所述的擦除存储器中的第一组存储器单元的方法，其中第一电压小于第二电压。

13. 根据权利要求 12 所述的擦除存储器中的第一组存储器单元的方法，
5 其中第二电压是正电压。

改进的存储器单元编程方法

5 本发明涉及一种用于改进在可电改变的存储器中擦除和写入信息的方法，更确切地说，涉及一种在可电擦除可编程只读存储器(“EEPROM”)中擦除和写入信息的方法。

10 本发明人已经发现一种对于在存储器单元(cell)中例如在当前 P 沟道 EEPROM 中的“编程干扰(program disturb)”问题的独特的解决方案。当对阵列中选择的一组单元写入或擦除以及假设另外的未选定单元保留未改变的状态或内容产生非意向的变化时产生编程干扰。因此一个编程周期可能不发生这样的另外未选定单元的编程干扰。在很多(甚至几百万)编程周期内可能递增地并逐渐地发生不希望有的变化。编程干扰问题可能十分微妙并难于察觉，但可严重地限制单元的某些应用。

15 本发明人将专用术语用于以比通常发生的稍微不同的方式对存储器单元阵列执行的电操作。这里利用术语“写入”是指将电子置于到浮置栅极上的操作。利用术语“擦除”是指将电子从浮置栅极上移开的操作。这里利用术语“编程”是指一个周期的单元编程，包含写入操作和擦除操作。

20 此外，由于需要高密封装存储器单元，在被擦除的一个字节的单元中的各相邻列单元之间的电绝缘是一个关注点。各列单元必须间隔开，以保持电绝缘的水准是可允许的。

25 本发明为对在 5790455 号美国专利“低电压单电源 CMOS 可电擦除只读存储器”中、在 5986931 号美国专利“低电压单电源 CMOS 可电擦除只读存储器”中以及在 1999.3.19 申请的申请号为 09/262675 及名称为“在利用 N 阱分离实现的 PMOS 可电擦除可编程只读存储器阵列内的可独立编程的存储器段(segment)及其方法”的美国专利申请中介绍的结构和操作的改进，该两个专利及专利申请转让给本申请的同一受让人。根据这两个专利及专利申请，下面概述 EEPROM 存储器阵列的总体结构以及在写入和擦除操作期间施加到 EEPROM 存储器阵列上的电压。

30 产生编程干扰问题是因为各组单元共用很多的共用连接部分，包括：位线、字线、电源线和 N 阱。然而，各单元需要共用这些连接部分，以便使存

存储器阵列小型化和降低按路线联系(ronte)到存储器阵列的信号线的数目。各相邻列单元之间的电绝缘是一个关注点，是因为需要将各相邻列单元彼此尽可能紧密地排列，从而使阵列小型化。这样，理解当前存储器阵列结构和操作对于理解干扰问题和电绝缘问题怎样变得明显以及本发明怎样对这两个问题的建议是重要的。

图 1 是被称为 PEEC 单元(p 沟道 EEPROM 单元)的 p 沟道存储器单元电路示意图。图 2 是沿图 1 中的器件的沟道和与位线平行的方向所取的 PEEC 单元断面示意图。通过比较图 1 和图 2，可以看出在图 1 中的单元组成部分的各符号代表和在图 2 断面图中的形体体现之间的对应关系。例如，单元中的源极和漏极利用在图 1 中的字线的任一侧简单的线段表示，以及如图 2 中所示，在由很多存储器单元共用的 N 阱中实际上产生 p 型扩散。实际上，由两个相邻的单元实际共用每个源极和漏极扩散。对于在该示意图的中心的单元的 Poly2 字线的左和右的 Poly2 中的“片断”表示出这一状况。在图 1 中可以看出，对于该单元有 4 个端点：(1)由一行单元共用的 Poly2 字线，(2)连接到金属源极线的源极，(3) 连接到金属位线的漏极，(4) N 阱本体，其为几列单元共用的 n 型硅的一个区域。从形体上，金属位线和源极线成队沿阵列中的每一列彼此平行延伸。每一列单元具有一条位线和一条源极线。

在图 2 中，该断面是沿着并通过该位线所取的，因此，金属线在该断面中是可见的。金属源极线和其与源极 p+区的接触在图 2 中是不可见的，这是因为其平行于位线并在纸面之外。图 1 还表示了将电压施加到 PEEC 单元以便编程或读出单元信息的状况。这些电压标注为 V_{BL} (位线上的电压)、 V_{NW} (共用的 N 阱区上的电压)、 V_{WL} (源极线上的电压) V_{SRC} (字线上的电压)。

图 3 是大的存储器阵列中的一部分的示意图。按围绕一大组存储器单元的虚线方框表示 N 阱区。在该图中示有两个 N 阱，标为 N 阱#0，N 阱#1。N 阱#0 包含完整的 8 列单元。N 阱#1 通常也包含 8 列单元，但由于图中的空间限制，仅表示 4 列。表示按在一个 N 阱中包含的 8 列，因为这是典型规模的“字节”或“字”信息。一个“字节”或“字”实际上是沿一条字线与在一个 N 阱中的所具数目的各列的交点的单元数目。因此，对应于与 N 阱交叉的很多字线，一个 N 阱中包含很多字节或字。然而，在一个 N 阱中可能包含的任何列数(即，“字节”或“字” 规模可以是 14、16、32 或对于该产品所需的任何数目)。此外，在该大阵列中可以有任何数目的 N 阱段。仅示有两个是

因为对于本说明书这就足够了。

在图 3 中, 仅表示上部 4 和最后 2 行单元(字线)是由于空间限制。在该图中, 假设有 $n+1$ 字线条, 编号为从 0 到 n 。数字 n 可以仅为几个, 或者可以为几百或几千。可以看出对于在图 1 中出现的一个 PEEC 单元的示意图, 在图中所示的阵列中重复多次。在同一列中的各单元共用一条位线, 源极线和 N 阱(注意沿每一列并行延伸 3 条线)。在同一行中的各单元共用一条字线(注意沿每一行延伸单一水平线)。在阵列中的所有单元利用标号 $M_{x,y}$ 单个地识别, 其中 x =行数, y =列数。

在每一列的底部, 最后一个晶体管不是 PEEC 单元, 而是一个用标号 $M_{z,y}$ 标注的源极(source)选择晶体管, 其中 $z = N$ 阱数, y =列数。源极选择晶体管如在在先技术的专利中所提出的, 用在每一列的底部以便在擦除操作期间分离列中各源极线。否则可能产生使编程的高压信号短路接地的不希望有的状态。源极选择晶体管必须导通以便读出一个单元, 和在编程周期的擦除部分期间截止。这可利用该从左向右延伸的将所有的源极选择晶体管栅极连接的线实现, 并在其端点具有电压标号 V_{sel} 。当源极选择晶体管导通时, 其将连接到所有源极选择晶体管的电压 V_{src} 输送到源极线。施加到 N 阱上的电压标号为 V_{NW0} 和 V_{NW1} 。施加到字线上的电压标号为 V_{WL0} , $V_{WL1} \dots V_{WLn}$ 。施加到位线上的电压标号为 V_{BL0} , V_{BL1} 等。很多商业产品例如“可选字节的”或“全特征的(featured)” EEPROM 存储器每次仅选择一个字节的单元并编程, 而使阵列中的其它所有字节不变。下面讨论中采取这一特征。

上面引用的美国专利申请公开了 N 阱的段, 以便分离沿每一条字线的单元为各可单个编程的字节。上面引用的专利规定了施加到 N 阱中包括需编程的字节的各单元上的电压, 但是并未规定施加到未选定(deselect)的 N 阱中的各存储器单元上的电压。在上面引用的美国专利申请中规定了施加到未选定的 N 阱上的电压以及它们相关的位线上的电压。

在上述存储器单元中, 写入操作是将电子置于到正在写入的存储器单元的浮置栅极。这会引起存储器晶体管阈值电压移动到低的负值或许正值。然而, 在该单元中并入(merged)的选择晶体管防止整体单元阈值变为正值。写入操作的结果是在随后的读出操作期间单元变为导通 (conductive)的。

图 4 表示与图 3 所示相对应的电路示意图, 但施加电压以执行对由该粗体矩形所包围的各单元中的目标字节写入操作。在执行写入之后, 在随后的

读出操作期间，目标字节中的各单元应处于导通状态。在阵列中的各单元中的所有称为“未选定的”字节的其它字节是预定保持不变的，存储在它们的浮置栅极上的电荷不变。在图中所示实例中，将需写入的字节的 N 阱设定在 0 伏，将所有其它未选定的(非选定的和无需变化的)字节的 N 阱设定在编程电压 V_{pp} 。 V_{pp} 是在编程操作中使用的电压，通常处在 12-20 伏的范围内。将需写入的字节的字线设定在 V_{pp} ，将所有未选定的字节的字线设定在 0 伏。所有位线设定在 0 伏。源极选择线的 $V_{sel} \geq 0$ 伏，源极线的 $V_{src} = 0$ 伏。源极选择晶体管全是 p 沟道增强器件，意思是，它们必须具有比该器件的阈值电压 V_{tp} 更负的栅极-源极电压 V_{gs} ，以便使它们的沟道导通。在写入操作时施加的电压状态会使所选择字节($Q_{0,0} - Q_{0,7}$)的源极选择晶体管不导通或截止。因此在所选择的 N 阱(#0)中的所有源极线是浮动的。在未选定的 N 阱中的源极选择晶体管可以是导通或截止的，这取决于 V_{sel} 的精确值。在任何情况下，这些源极选择晶体管的导通还是截止以及源极线是浮动的还是接到 0 伏都不是关键的。写入操作的结果将是相同的。

15 由于存储器单元和在未选定的 N 阱中的源极选择晶体管与在所选择的 N 阱(在图 4 中，N 阱#0)中的单元，共用在阵列中的水平延伸的信号线(例如各条字线)，必须使它们的电压设定，以便不引起未选定的或取非选择的存储器单元中存储的电荷改变。正在写入的该字节的字线电压为 V_{pp} ，选择的 N 阱为 0 伏，以便使电子经沟道通过 N 阱和浮置栅极之间薄的介电层。这就要求将 V_{pp} 施加到所有未选定的 N 阱上，以避免还写入沿相同的字线的单元(在图 20 4 中，例如单元 $M_{0,8} - M_{0,11}$)。在选择 N 阱的范围内未选定的字线它们施加有 0 伏，以避免写入未选定的单元。对于接收 V_{pp} 的未选定的各单元，这些相同的字线为 0 伏。因此，在未选定的 N 阱中的各单元它们必须施加 0 伏，以避免改变在它们的浮置栅极上的电荷。一个这种单元的实例是 $M_{1,8}$ 。其 N 25 阱处在 V_{pp} 下，其字线处在 0 伏，使单元沟道处在反相。然而，由于该单元的位线 0 伏，在浮置栅极之下的单元沟道中出现的反相电荷层也被设定到 0 伏，这是因为其经过漏极 p 型扩散区电连接到该位线。因此，施加在字线和在浮置栅极之下的反相层之间的电位差为零，应不会出现误编程。

擦除操作从被擦除的单元浮置栅极移去电子，向它们提供高的负阈值电压并当读出时使它们处于非导通状态。图 5 是与图 3 相对应的电路示意图，30 但是为擦除操作而施加了电压。如图 4 所示，在粗体线矩形中包含一目标字

节。与其中将在目标字节中的所有单元设定到相同预定状态的写入操作不同，该擦除操作仅擦除在目标字节中需要处于非导通状态的单元。擦除操作使在目标字节中的其它单元仍处于导通状态。这就使得能将一“位模式”施加到该字节的各单元中，某些处在“0”状态，某些处在“1”状态。如上所述，

5 编程周期包含将所有单元写入为预定状态(例如导通状态)，然后选择性擦除某些单元成非导通状态，使其它仍然不变。在擦除操作中将仅擦除它们的位线设定到 V_{pp} 的单元。使位线设定到 0 伏的单元仍处在写入状态。在图 5 所示的实例中，仅将在目标字节中的单元 $M_{0,0}$ 和 $M_{0,2}$ 擦除。目标字节的 N 阱设定到 V_{pp} ，其字线设定到 0 伏。未选定的字线设定到 V_{pp} 以及 $V_{sel}=V_{pp}$ ，使得
10 所有的源极选择晶体管截止，所有的源极线从 V_{src} 断开。比较图 4 和 5，可以看出，未选定的 N 阱(N 阱#1)和与它们相关联的位线在擦除操作中施加与写入操作相同的电压。可看出这些未选定的单元的主要差别是该字线电压与设定到 0 伏而不是 V_{pp} 的目标字节的字线相反，以及未选定的字线设定到 V_{pp} 而不是 0 伏。将对于写入操作在这些未选定的 N 阱中的单元防止不期望擦除
15 的相同方法同样应用于擦除操作。应当指出，上述所有部分公开在 5986931 号美国专利中(特别是，该专利的图 21，表 8 和正文的 22 栏)。该专利未公开施加到未选定的 N 阱(例如图 4 中的 N 阱#1)以及包含在其中的位线上的电压，

读出操作包含仅将低电压施加到阵列上，以检测哪些存储器单元是导通的，哪些是不导通的。读出该单元的细节是公知的，对于理解本发明并不重要。
20 要。

本发明的一个目的是提供一种操作存储器单元的方法，其降低编程干扰问题。

本发明的另一个目的是提供一种操作存储器单元的方法，其不依赖于改变存储器单元的规模降低编程干扰问题。

25 本发明的再一个目的是提供一种操作存储器单元的方法，其使得能高密度地封装存储器单元，而不牺牲各列单元之间的电绝缘。

本发明的再一个目的是提供一种操作存储器单元的方法，其各列存储器单元之间有足够的电绝缘，而不增加各列单元之间的距离。

30 本发明的再一个目的是提供一种操作存储器单元的方法，其使得在制造过程中能有更大的灵活性，而不牺牲单元密度以及各列存储器单元之间的电绝缘。

为了实现上述和其它目的，本发明提供一种对存储器单元编程的方法，其中例如在第一半导体区中形成第一组单元并以可操作方式连接到字线。在第二半导体区中形成第二组单元并以可操作方式连接到字线。根据本发明的一个方面，该方法包含：向字线施加第一电压和向第一半导体区施加第二电压。第一组单元中的各位线接收选择的电压和第二半导体区接收第四电压，以及向第二组单元中的各位线施加第五电压。在第一操作存储器时间期间第一和第四电压基本上相同，以及第二和该选择的电压基本上相同，以及第五电压是从第一电压到第二电压的范围中选择的。在第二操作存储器时间期间第二和第五电压基本上相同，并与第一电压不同，第五电压是从第一电压到第二电压的范围中选择的，以及该选择的电压是从第五和第二电压中选择的。

为了实现上述和其它目的，本发明还提供一种擦除在半导体区中存储器中形成的存储器单元的方法，第一组中的各单元以可操作方式连接到一字线，第二组中的各单元以可操作方式连接到该字线，该方法包含：向该字线施加第一电压；向该半导体区施加第二电压；向第一组单元中的各位线施加选择的电压；以及向第二组单元中的各位线施加第四电压。第一和第二电压是不同的，第四电压是从第一电压到第二电压的范围中选择的，该选择的电压是从第二和第四电压中选择的。

本发明可以应用到很多类型的存储器，特别是通过在一单元晶体管中存储电荷来存储信息的那些存储器。按照本发明的实施例中的一个实例，下面根据的 EEPROM 说明性的结构讨论本发明。

图 1 是 P 沟道存储器单元的电路示意图。

图 2 是沿图 1 所示器件中的沟道和与位线平行的方向所取的 PEEC 单元的断面示意图。

图 3 是大存储器阵列的一部分的电路示意图。

图 4 是与图 3 相对应的电路示意图，但是将“写入”电压施加到所选择的由粗体矩形包围的一组单元上。

图 5 是与图 3 相对应的电路示意图，但是施加有“擦除”电压。

图 6 是图 4 中所示的各单元 $M_{0,8}$ $M_{0,9}$ $M_{0,10}$ $M_{0,11}$ 中的一个的断面示意图。

图 7 表示高能电子逐渐引导到达硅沟道介电界面的一系列过程。

图 8 是一带宽示意图，表示按照能量分布到达硅沟道介电界面的电子群体的概念。

图 9 是与图 3 相对应的电路示意图，但是在写入操作期间施加位线电压 V_{BLd} 。

图 10 是与图 3 相对应的电路示意图，但是在擦除操作期间施加位线电压 V_{BLd} 。

5 图 11 是在各单元列之间形成的寄生场晶体管的断面示意图。

图 12 表示的情况是，在各列之间间隔是那样窄，以致于漏极耗尽区已与源极耗尽区合并。

图 13 表示的情况是，根据本发明的一个实施例，按照与图 12 相同的窄的列间隔，但具有改进的漏极耗尽区。

10 编程干扰是在一个单元中的浮置栅极上的非预期的电荷变化，该单元不是在编程周期期间被编程的目标字节。在写入或擦除操作期间可能产生编程干扰并递增地产生，在足以读出与原来编程的不同的二进制状态的单元的阈值电压移动之前，需要很多编程周期。虽然甚至对于在本发明的领域中有经验的人员不是很明显，但随分别在图 4 和 5 中施加的写入和擦除条件可能产生编程干扰。实际上，在写入操作而不是擦除操作时尽管是不同组的单元也会受到影响。

参照表示写入操作施加的电压的图 4，可以按照所写入的字节检查施加到在未选定的 N 阱中的各单元上的电压。在图中示有标注为 $M_{0,8}$ $M_{0,9}$ $M_{0,10}$ $M_{0,11}$ 的各字节。这些单元的 N 阱和字线两者设定到 V_{pp} ，它们的位线设定到 0 伏。如果 $V_{sel}=0$ 伏，则在该 N 阱中的源极选择晶体管都处于导通状态，这些单元的 N 阱和源极线连接到 $V_{scr}=0$ 伏。即使 $V_{sel}=V_{pp}$ 以及源极选择晶体管截止， $M_{0,8}$ $M_{0,9}$ $M_{0,10}$ $M_{0,11}$ 的各源极仍连接到施加到位线的 0 伏，这是因为沿该列的它们的字线处于 0 伏的其它单元和处于 V_{pp} 的 N 阱将是导通的，并将共用的源极线连接到位线电压。

25 图 6 是图 4 中所示的各单元 $M_{0,8}$ $M_{0,9}$ $M_{0,10}$ $M_{0,11}$ 中的一个的断面示意图，上面列出了该组施加的电压。在图中，示出的冶金型结边界(实线)是耗尽区的极限(虚线)，该耗尽区外延到该结的 p+侧和该结的 N 阱侧。作为半导体器件物理技术领域的普通技术人员可以认识到，耗尽区更进一步外延到 p-n 结的 N 阱侧而不是 p+侧，这是由于在 N 阱中的通常很低的掺杂浓度与形成源极和漏极的 p+区有函数关系。在图中，假设所检查的单元处于擦除电荷的状态，在这一实例中浮置栅极上净余正电荷。利用浮置栅极上的该行“+”符号表示。

浮置栅极的实际电位是浮置栅极上净余电荷以及 N 阱的和字线的电位的函数，其中将它们的电位通过电容耦合到该字线。如果浮置栅极上净余电荷为零，N 阱和字线都处于 V_{pp} ，如图中所示，则浮置栅极电位也接近于 V_{pp} 。然而，由于假设浮置栅极上净余正电荷，浮置栅极电位处在大于 V_{pp} 的某一数值。对于一擦除的单元由于浮置栅极上的电荷，该电位通常处在 +2 到 +6 伏的范围内。因此，由于如图所施加电压，浮置栅极实际电位处在 $V_{pp} + 2$ 到 $V_{pp} + 6$ 伏的范围内。即使在浮置栅极之下的 N 阱和其周围的字线上加有相同的电压，在浮置栅极和 N 阱之间沟道电介质上存在电场。电场的方向使得电子向在浮置栅极之下的 N 阱表面冲击。然而，当用在写入操作时该电场并不大到足以引起穿越电介质的电子通常的 Fowler-Nordheim 沟道效应并达到浮置栅极。只要 N 阱中的该电导电子具有的能量近于 N 阱中的能量导带，缺少这种沟道效应是实际存在的。如果向导带电子群体中的一部分提供了足够的能量在导带能级之上，然而，某些电子可能具有足够的能量，越过硅 N 阱的导带和沟道电介质之间的能量势垒。如果沟道电介质 SiO_2 这一势垒高度将接近于 3.2 电子伏特。已越过能量势垒的这些高能或“热”电子则能够使它们的路径通过沟道电介质并到浮置栅极。于是它们开始补偿起初出现在浮置栅极上的正电荷。如果足够的电子越过能量势垒并随时间集聚在浮置栅极，则存储器单元的电荷状态将改变，在后来的读出期间，由非导通的擦除状态到由导通的写入状态，导致存储的数据丢失或恶化。

正如上面指出的，如果具有的能量充分大于硅导带能量的电子出现在接近浮置栅极的 N 阱上，它们可能越过沟道电介质的势垒并改变浮置栅极上的电荷。下面将注意力集中在怎样能在 N 阱中生成这些高能的电子。半导体器件物理技术领域的普通技术人员知道，有很多种机理可以在反偏置的 p-n 结耗尽区中生成电子-空穴对(ehp)。最重要的机理是(1)热发生，(2)撞击离子化，(3)逐个频带隧道效应，以及(4)选择性激励。取消作为一种重要机理的光激励对目前的讨论是适当的，因为在在本发明所关注的 EEPROM 产品中，通常利用用于围绕芯片封装材料将光屏蔽掉。

图 6 示意表示在漏极结耗尽区中生成电子-空穴对利用分别由带“-”号的和带“+”号的圆表示的电子和空穴。通过利用上述 3 种机理中的任何一种可以生成电子-空穴对。一旦生成，由于在耗尽区中的电场的作用，空穴朝该结的 p 侧移动，电子朝该结的 n 侧移动。空穴进入该漏极 p+结的中性区并从

漏极接触区流出(箭头 1 标示)。大部分电子进入该 N 阱的中性区并从 N 阱接触区流出(箭头 2 标示)。由于带正电荷的浮置栅极作用进入该 N 阱的中性区的某些电子朝该表面冲击, 或者由于与晶格点弹性碰撞使它们的动量朝向该表面, 或者与被电离的掺杂原子的库仑漫射过程(箭头 3 标示)。到达硅沟道电介质界面的电子群体并不都具有相同的能量。当由于电场的加速作用在耗尽区中的产生的电子获得能量时, 它们经历漫射过程, 使它们失去某些获得的能量。从统计的观点看, 某些电子比其它电子失去更多的能量。因此, 可以认识到, 在从耗尽区进入该 N 阱的中性区的电子中间存在能量的分布, 很多电子对于要越过在界面上的势垒能量不足。然而, 有某些电子具有的能量足以越过该势垒并将它们的电荷添加到浮置栅极(箭头 4 标示)。

参照图 4,5,9 和 10, 本技术领域的技术人员可以清楚地理解, 在这种情况下也可能产生编程干扰问题, 即其中所有的存储器单元都处于单一的半导体区中, 例如单一的 N 阱区。如在图 4,5 中所示的, 或许仅有一个半导体区例如包含该存储器的所有单元的 N 阱区例如 N 阱#0。作为一个实例, 单元 $M_{0,8}$ $M_{0,9}$ $M_{0,10}$ $M_{0,11}$ 会全在同一个半导体区中, 例如共同的 N 阱中。然而, 在这种情况下, 仅在擦除操作期间产生编程干扰问题, 在写入操作期间不产生。这是因为, 在写入操作期间仅将字线设定在 V_{pp} , 是为了所写入的行。在擦除操作期间所有中遥淘汰的行的字线设定在 V_{pp} 。若不采用本发明, 在这些行中的各单元产生编程干扰问题。将本发明应用于这些行, 将擦除操作期间产生的编程干扰降低到最小。

图 7 和 8 是能带示意图, 表示在耗尽区中的电子获得能量以及越过能量势垒的过程。图 7 表示高能电子逐渐到达硅沟道电介质界面的一系列过程。首先在耗尽区中生成一个 ehp。由于在耗尽区中形成的电场的作用电子向右移动并获得能量。当电子穿越耗尽区时, 经历漫射过程并失去其某些能量。最终达到耗尽区的边缘, 并进入中性 N 阱区, 仍具有超过导带的某些能量。图 8 是能带示意图, 示意表示到达硅沟道电介质界面的电子的群体的能量分布的概念。电子密度与按照 N 阱导带排列能级的小插入的关系曲线表示对于越过势垒具有足够大的能量该分布中存在小的“尾部”的概念。由于在擦除的单元中的浮置栅极上存在正电荷, 其在该示意图上代表一电位阱, 以及正电荷还少量帮助电子降低了在顶部的沟道电介质的势垒。所示的两个电子正越过势垒, 一个具有足够的能量完全越过该顶部, 由于正电荷电场帮助的作用,

一个接近该顶部具有足够的能量沿沟道通过势垒。

为了产生接近浮置栅极的高能电子的群体提供上述的各机理，本发明试图做两件事：(1)降低每秒产生的这样的电子的数目，(2)降低产生的电子的群体的百分率，这些电子群体具有足够的能量越过沟道电介质的势垒将浮置栅极与 N 阱区分离。通过在将写入和擦除操作期间，将电压施加到各位线实现这一点，这将降低加在源极和漏极的 p-n 结上的反向偏置。

图 9 是与图 3 相对应的电路示意图，但是在写入和擦除操作期间分别施加位线电压 V_{BLd} 。电压 V_{BLd} 是相对于地(0 伏)的正电压(>0 伏)。在图 9 中， V_{BLd} 施加到所有未选定的 N 阱(例如 N 阱#1)的所有单元中的位线。在图 10 中， V_{BLd} 施加到所有未选定的 N 阱的所有单元中的位线以及还施加到所选择的 N 阱中的未设定到 V_{pp} 的位线。如上所述，通过将所有的单元置于一预定的状态，首先写入一字节，以及然后将各单元选择性地擦除以便将 1 和 0 的所需模式施加到目标字节中的各单元。为了供说明之用，图 10 表示了利用所施加的 V_{pp} 和 V_{BLd} ，目标字节中的正好一种可能的位线组合。

如图 6 中所示，施加位线电压的效果是，所有该组施加了引起编程干扰的电压的单元现在 $V_{BL} = V_{BLd}$ ，而不是 $V_{BL} = 0$ 伏。这意味着，形成该单元的源极和漏极的 p-n 结现在具有反向偏置 $V_{pp} - V_{BLd}$ 而不是 $V_{pp} - 0$ 伏。反相偏置的降低有几个有益的效果。首先，耗尽区的宽度降低，使得由耗尽区包围的硅的总量降低。这样就降低了电子的热发生。热发生率 G 可以由方程 $G = 2n_i / \tau_g$ 近似，其中 n_i 为硅中本征载流子浓度， τ_g 为产生的载流子有效寿命。本征载流子浓度 n_i 是硅基质材料的特性，与温度高度相关，随温度的增加而迅速增加。因此， G 的单位是每立方厘米每秒产生的 ehp。为了获得耗尽区中每秒产生的 ehp 的近似值，将 G 乘以耗尽区的体积。

其次，在耗尽区中感应电场降低，这就降低了在其中每秒发生的电离碰撞的次数，这又导致降低了由于碰撞电离每秒产生的高能电子的总量。第三，从耗尽区的边缘到 N 阱的电子总的能量分布降低到较低的能量值。由于耗尽区的电场降低，从统计上讲，更难于产生具有为越过沟道电介质势垒所需的高能的同样多电子。由于这些有利的作用，引起编程干扰需要更多的写入/擦除周期，否则与在先技术一样，可能发生将 0 伏施加到这些单元的位线时的情况。因此，已经明显地降低存储器单元对于这种类型的编程干扰现象的敏感性。

对半导体器件物理技术领域的普通技术人员来说很明显, V_{BLd} 的数值越大, 对编程干扰的改进越大。然而, V_{BLd} 将有一个上限, 超过该上限会产生其它编程干扰。在图 10 中可以看到对于标注 $M_{0,8}$ 的单元这样的实例。这一单元是未被擦除的单元。其 N 阱处在 V_{pp} , 其字线处于 0 伏, 这样表面被反相, 沟道形成在浮置栅极之下。这一沟道经过 p+漏极连接到位线电压, 在沟道和字线之间存在电位差, 现在连接到 V_{BLd} 。浮置栅极紧密耦合到字线, 最实用的耦合比的数值(通常在 0.6-0.8 的范围内), 因此接近地电位。沟道上的正电压使电场加在沟道电介质上。这一电压不仅取决于耦合比, 而且还取决于在浮置栅极上存储的电荷 Q_{fg} 。由于在浮置栅极上存储的负电荷, 对于处在写入状态的单元产生最强的电场。如果电场足够强, 由于 Fowler-Nordheim 隧道效应电子将关断浮置栅极到沟道的正电位。甚至对于明显 Fowler-Nordheim 隧道效应所需的对于充分低于 10 兆伏/厘米的电场, 在已经由于写入/擦除操作重复激化(stress)的沟道电介质上, 浮置栅极仍会产生电荷损失。这种在激化的电介质中的低电场处的漏电现象称为“激化引起的泄漏电流”(SILC), 对于本技术领域的技术人员是公知的。这种作用对于 V_{BLd} 加一上限, 以及这一上限高度取决于沟道电介质的特性(厚度, 生长条件)和耦合比。对于 V_{BLd} 的实际上限约为 8 伏, 但在某些技术中可能低到 2 伏。

除了改进编程干扰的敏感性之外, 根据本发明施加位线偏置也改善了在一字节中正在被擦除的相邻各列单元之间的隔离(见图 5 和 10)。在图 5 中, 可以看出, 在 N 阱#1 中相邻各位线可以处于不同的电位。例如左起第一位线施加了 V_{pp} , 左起第二位线施加了 0 伏, N 阱处在 V_{pp} , 多晶硅字线处在 0 伏。这也是对于导通在单元各列之间的一寄生电场晶体管最差情况的状态。

图 11 是在单元各列之间的一寄生电场晶体管的断面示意图。该断面是垂直于该列和沿字线的方向所取的。寄生电场晶体管的“栅极氧化物”是在各列之间的厚场氧化物, 其栅极是多晶硅字线。寄生电场晶体管的源极和漏极是在相邻各列中单元的 p+漏极。应设计存储器的制造方法, 以保证这一寄生电场晶体管的阈值电压大于 V_{pp} 。然而, 除此之外, 单元的各列必须足够地隔开, 以保证从漏极到源极不会发生击穿。当相邻各列的耗尽区十分接近以致接触以及使漏极电位降低势垒使得由源极注入电流时发生击穿。这是公知的在短沟道的 MOSFET 中漏极感应势垒降低(DIBL)效应。这种效应将列与列的间隔限制到某一最小值, 低于该最小值, 将在各列之间产生大的泄漏电流。

图 11 表示各列排列足够远, 使得漏极耗尽区不与源极耗尽区接触的情况。图 12 表示各列排列间隔十分窄, 使得漏极耗尽区与源极耗尽区合并的情况。粗体箭头表示在源极和漏极之间的泄漏电流的电流流动通道。在图 12 中, V_{pp} 施加到第一条位线(场晶体管的源极)以及 0 伏施加到第一条位线(场晶体管的漏极)。这就使得漏极-源极电压 $V_{ds}=0$ 伏- $V_{pp}=-V_{pp}$ 。

图 13 与表示与图 12 相同的窄列的间隔的情况, 但是将 V_{BLd} 而不是 0 伏施加到第二列。加在 p+区和 N 阱之间形成的 p-n 结上的反向偏压现在降低了, 漏极耗尽区不再外延到 N 阱。参照图 13, 由于电压 V_{BLd} 施加到第二列上, 寄生电场晶体管的漏极电压降低, 使得 $V_{ds}=V_{BLd}-V_{pp}$ 。由于 V_{pp} 和 V_{BLd} 都是正电压, 这意味着, V_{ds} 的幅值低于第二位线上的 V_{BLd} 的第二位线上的 0 伏。这就使得源极和漏极耗尽区能保持分离, 即使按照较窄的列间隔也不会发生击穿。所有其它因素同样, 这意味着, 按位线电压 V_{BLd} 比如果使用 0 伏在发生击穿之前, 各列可以彼此排列得更近。这就使得存储器阵列比其它方式能消耗较少的硅面积, 从而提高了该技术的成本效率。

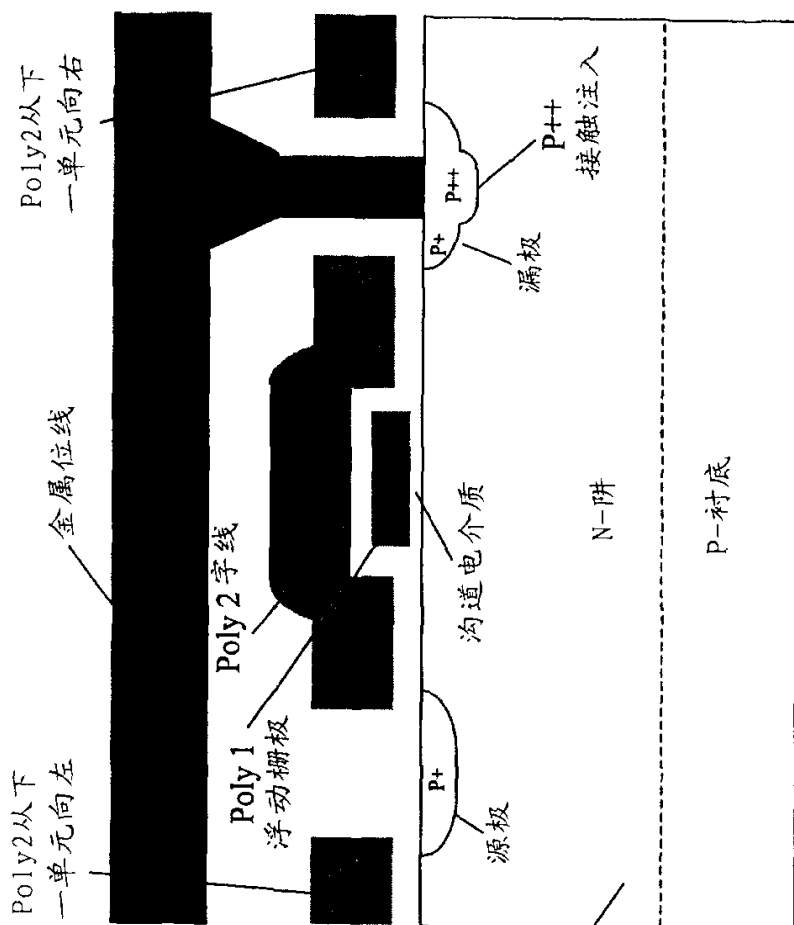


图 2

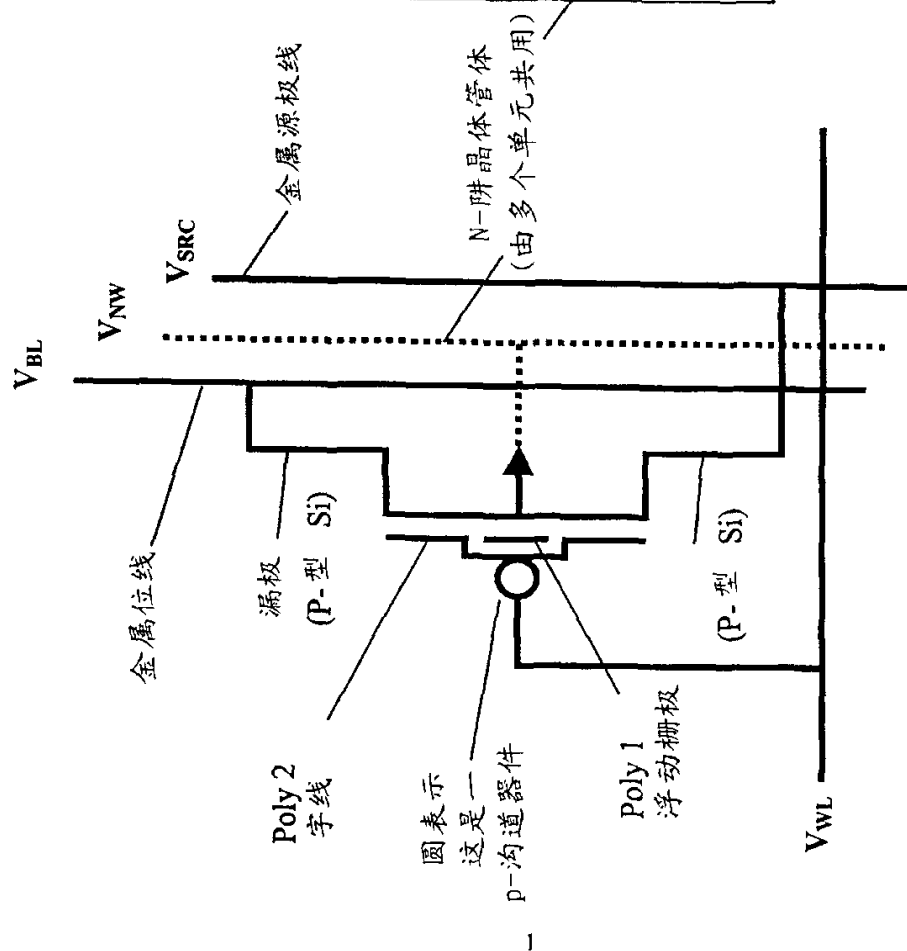


图 1

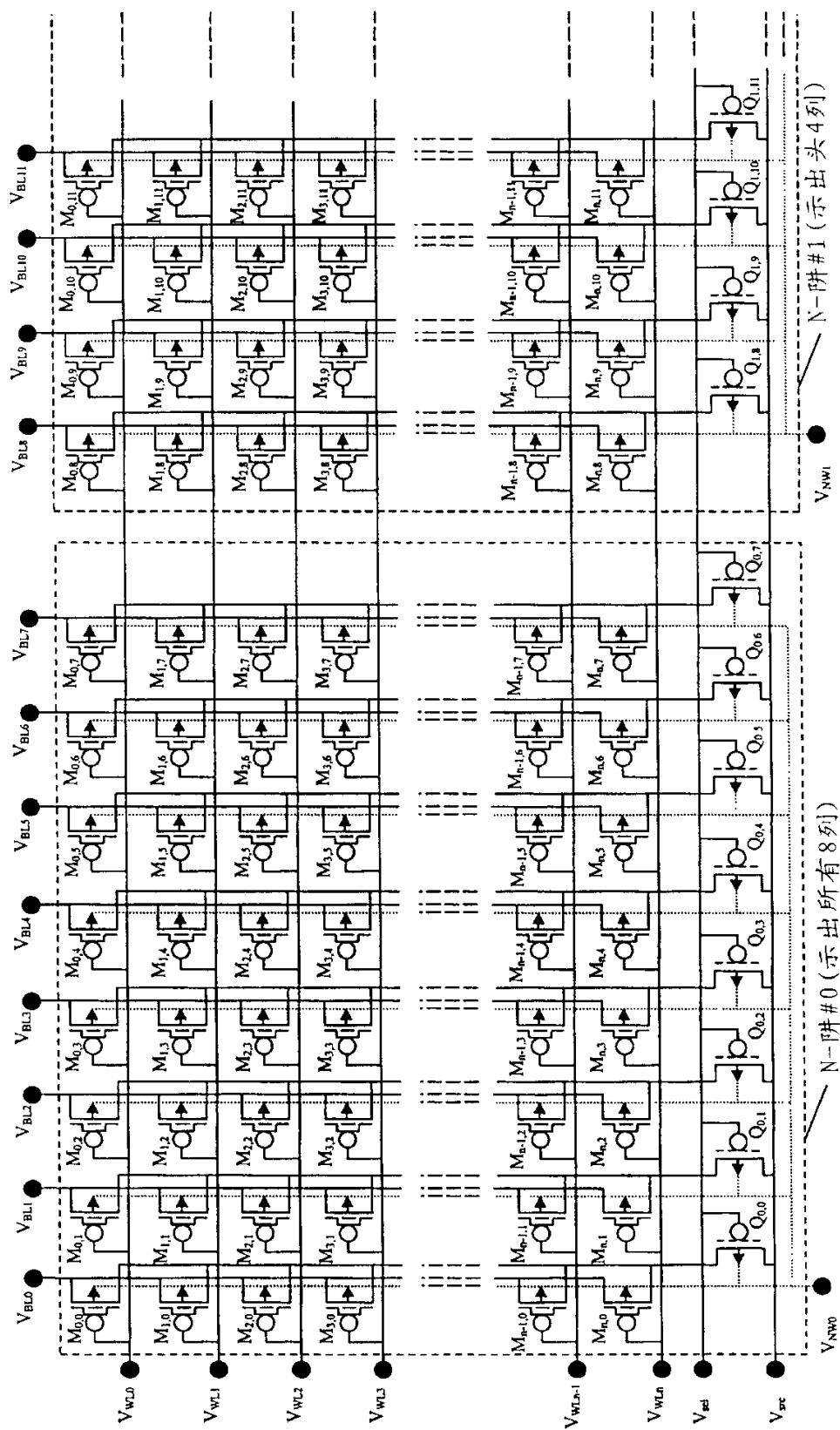


图 3

写这一字节

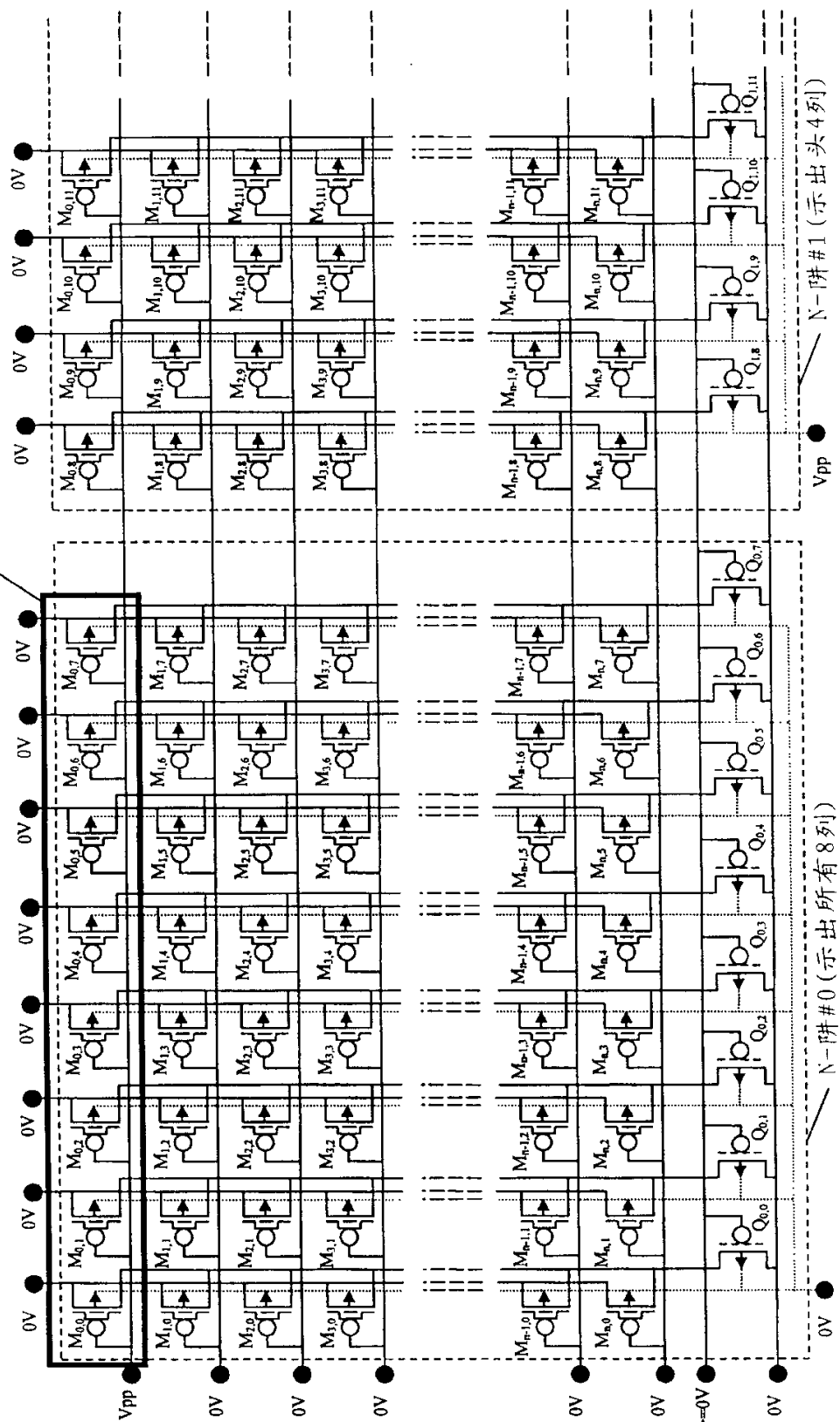


图 4

擦除这一字节

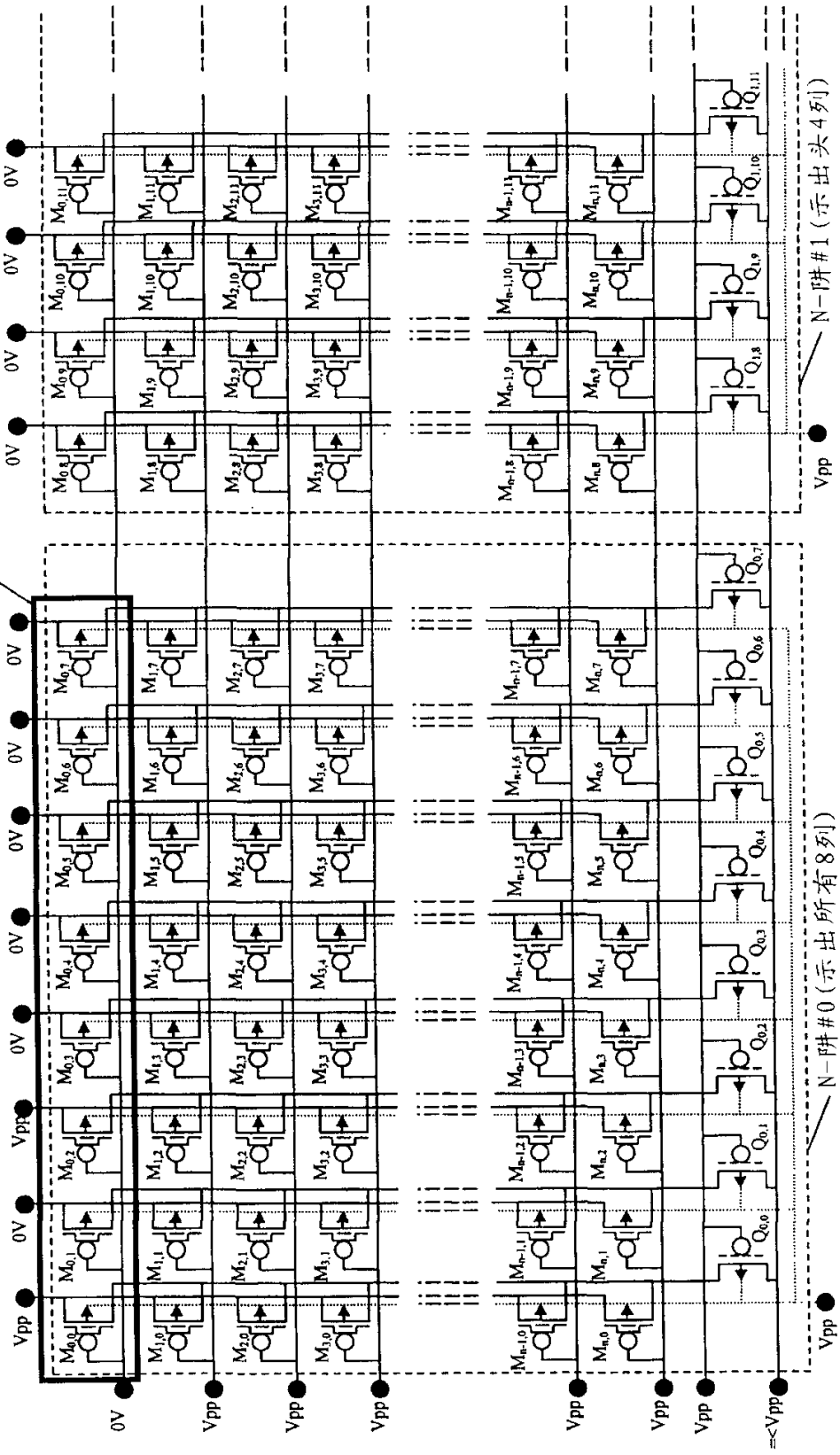


图 5

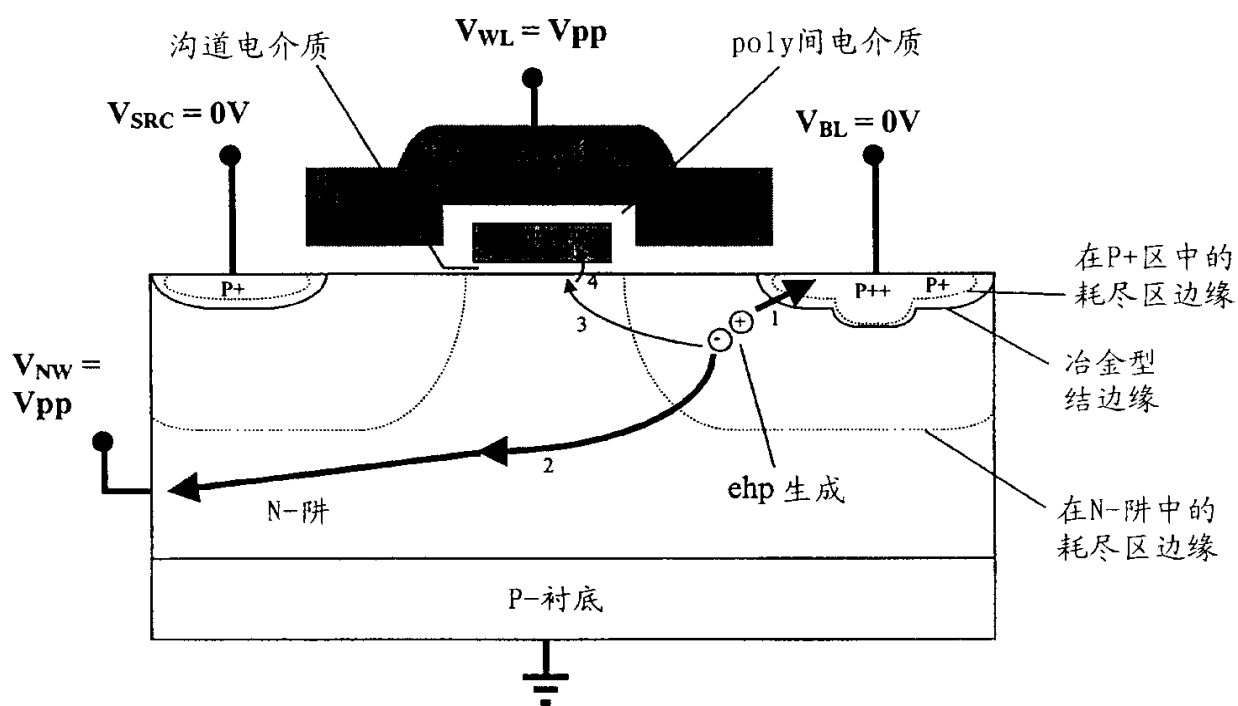


图 6

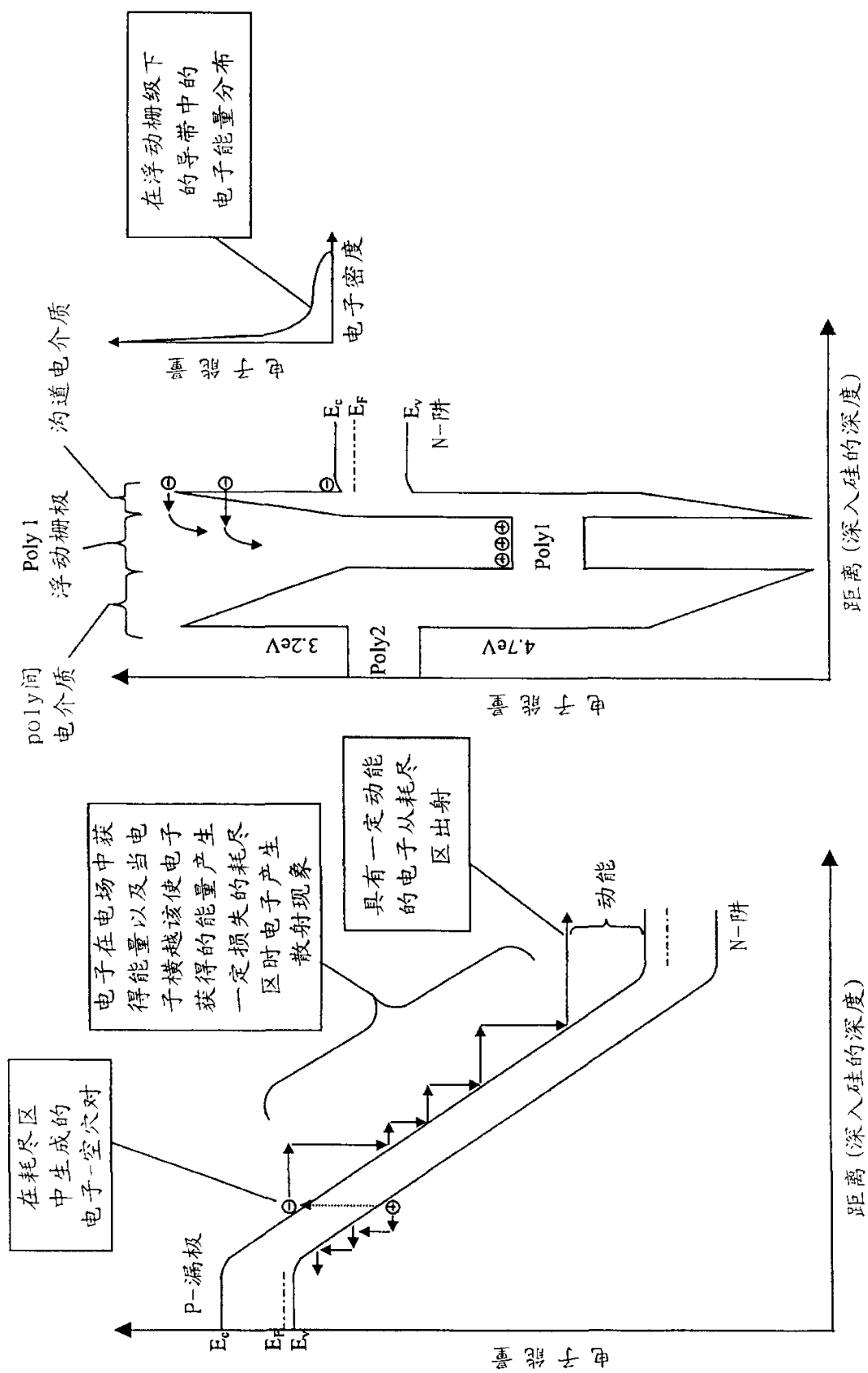
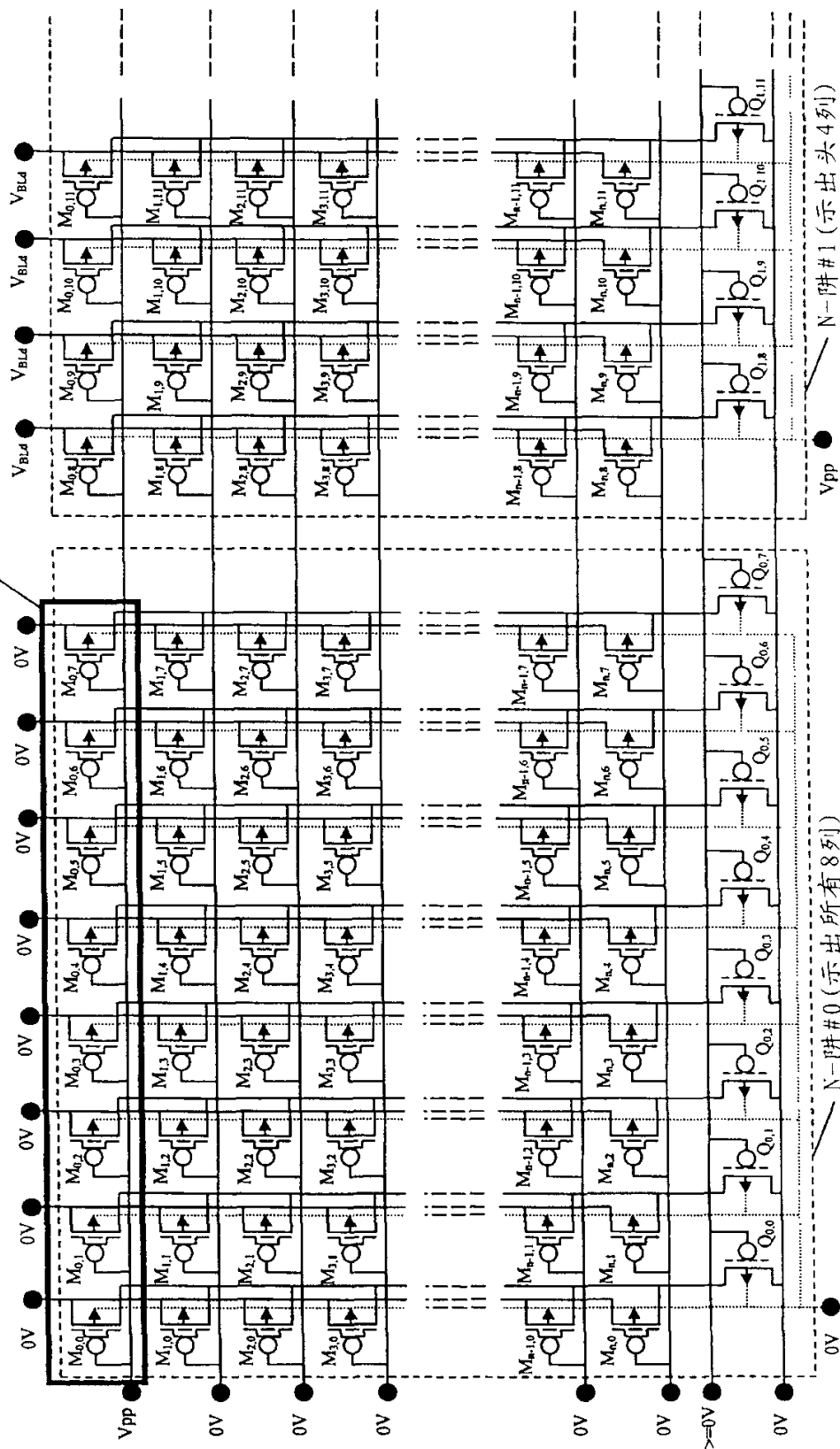


图 8

图 7

写这一字节



N-阱#1 (示出头4列)

N-阱#0 (示出所有8列)

图 9

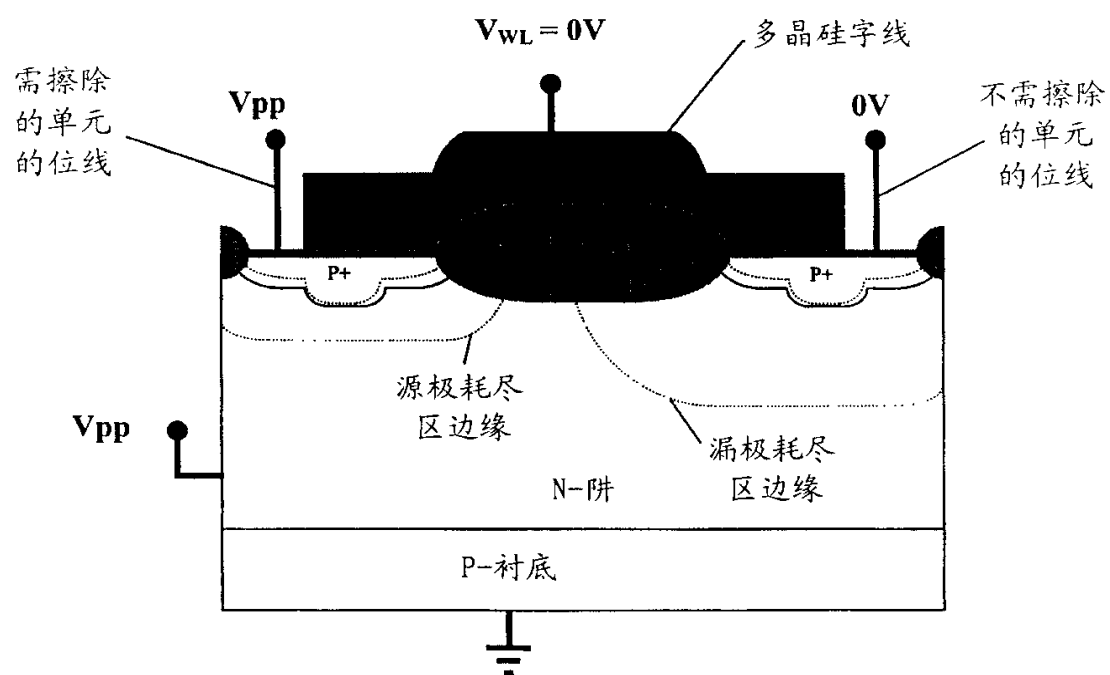


图 11

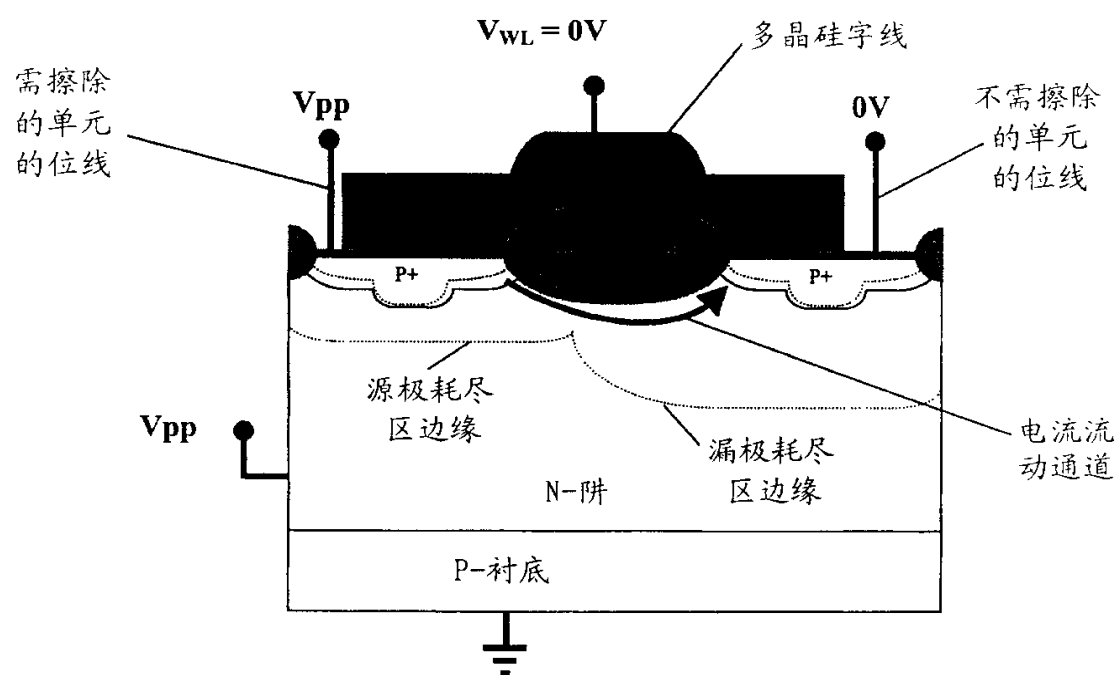


图 12

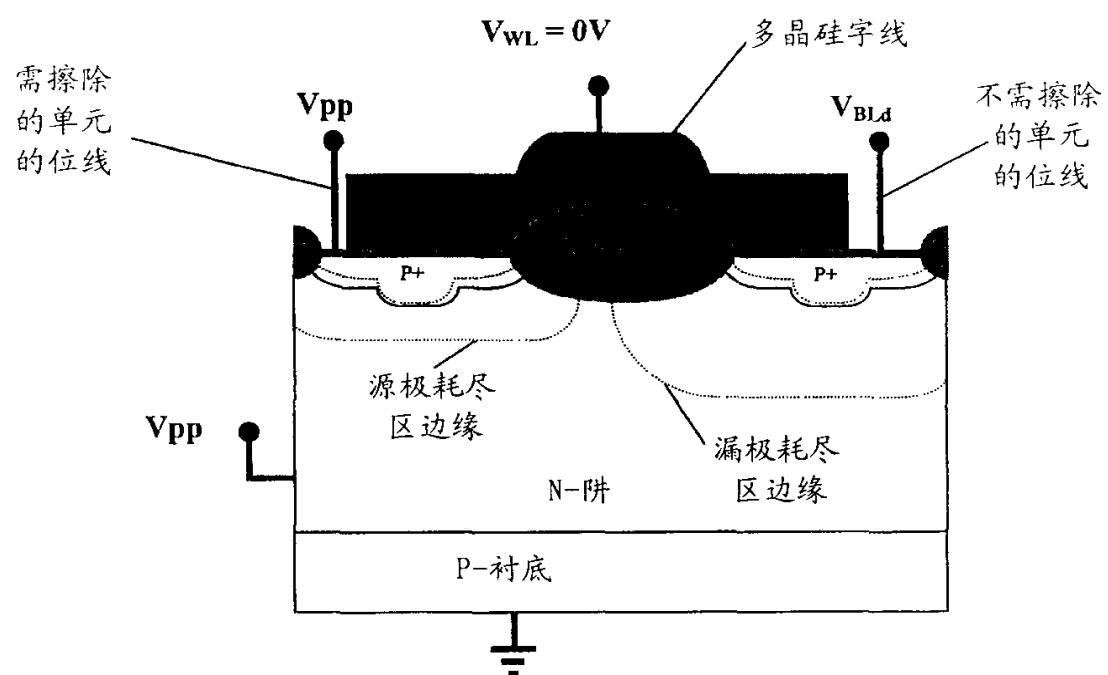


图 13