



(12)发明专利

(10)授权公告号 CN 105932030 B

(45)授权公告日 2019.07.26

(21)申请号 201610405600.5

G02F 1/1362(2006.01)

(22)申请日 2016.06.08

G02F 1/1368(2006.01)

(65)同一申请的已公布的文献号

G02F 1/1343(2006.01)

申请公布号 CN 105932030 A

(56)对比文件

(43)申请公布日 2016.09.07

CN 1912717 A, 2007.02.14, 说明书第8页第1行-第22页最后一行, 附图1-14.

(73)专利权人 京东方科技集团股份有限公司

CN 1912717 A, 2007.02.14, 说明书第8页第1行-第22页最后一行, 附图1-14.

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 北京京东方光电科技有限公司

CN 101842742 A, 2010.09.22, 说明书第[0002]-[0005]、[0087]-[0111]段, 附图1(A)-11.

(72)发明人 田露

审查员 徐晓雷

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

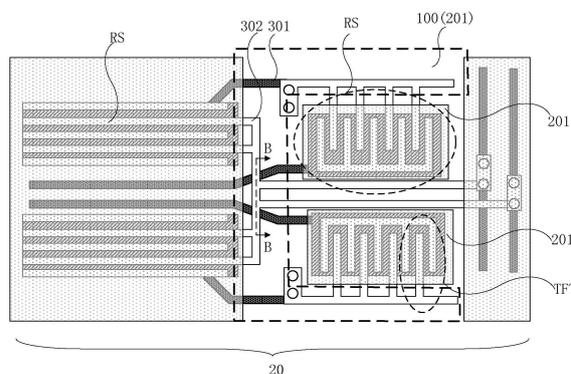
权利要求书2页 说明书9页 附图5页

(54)发明名称

一种阵列基板及其制作方法、显示装置

(57)摘要

本发明实施例提供一种阵列基板及其制作方法、显示装置,涉及显示技术领域,能够提高封框胶的粘附力。该阵列基板包括周边区域,周边区域具有绝缘设置且具有交叠区域的第一信号线和第二信号线;周边区域内设置有平坦区,第一信号线与第二信号线的交叠区域位于平坦区。



1. 一种阵列基板,其特征在于,包括周边区域,所述周边区域具有绝缘设置且具有交叠区域的第一信号线和第二信号线;所述周边区域内设置有平坦区,所述第一信号线与所述第二信号线的交叠区域位于所述平坦区;

所述平坦区内,形成有所述第一信号线和所述第二信号线的基板的上表面平坦;

所述周边区域还设置有与所述平坦区相邻的衔接区;

所述周边区域设置有封框胶,所述封框胶的一部分位于所述平坦区,其余部分位于所述衔接区;

所述平坦区中与所述封框胶相接触的薄膜层和所述衔接区中与所述封框胶相接触的薄膜层之间具有高度差;

所述第二信号线位于所述第一信号线上方;所述阵列基板包括位于所述封框胶与所述第二信号线之间的树脂层;

所述树脂层具有挖空区域,所述平坦区与所述树脂层的挖空区域的位置相对应。

2. 根据权利要求1所述的阵列基板,其特征在于,还包括构成栅极驱动电路的移位寄存器单元;所述移位寄存器单元中薄膜晶体管位于所述衔接区。

3. 根据权利要求1所述的阵列基板,其特征在于,在所述第一信号线与所述第二信号线的交叠区域内,在所述第一信号线与所述第二信号线之间依次设置有绝缘层和间隔层。

4. 根据权利要求3所述的阵列基板,其特征在于,包括薄膜晶体管,所述第一信号线与所述薄膜晶体管的栅极同层同材料;

所述绝缘层与所述薄膜晶体管的栅极绝缘层同层同材料;

所述间隔层与所述薄膜晶体管的半导体有源层同层同材料;

所述第二信号线与所述薄膜晶体管的源极和漏极同层同材料。

5. 根据权利要求1所述的阵列基板,其特征在于,所述封框胶与所述树脂层之间具有保护层;所述保护层的材料包括氮化硅。

6. 根据权利要求1所述的阵列基板,其特征在于,所述树脂层的介电常数为 $1\sim 4F/m$ 。

7. 根据权利要求1所述的阵列基板,其特征在于,所述衔接区设置有用于与所述封框胶相接触的凹凸结构。

8. 一种显示装置,其特征在于,包括如权利要求1-7任一项所述的阵列基板。

9. 一种用于阵列基板的制作方法,其特征在于,包括:

在所述阵列基板的周边区域通过构图工艺依次形成位于衬底基板上的第一信号线、第二信号线;其中,所述第一信号线与所述第二信号线绝缘且具有交叠区域;

在所述周边区域设置平坦区,所述第一信号线与所述第二信号线的交叠区域位于所述平坦区;

所述平坦区内,形成有所述第一信号线和所述第二信号线的基板的上表面平坦;

所述阵列基板的周边区域还包含与所述平坦区相邻的衔接区,所述制作方法还包括:

在形成有第二信号线的衬底基板上,形成树脂层;其中所述树脂层具有挖空区域,所述平坦区与所述树脂层的挖空区域的位置相对应;

在所述周边区域形成封框胶,所述封框胶的一部分位于所述平坦区,其余部分位于所述衔接区。

10. 根据权利要求9所述的阵列基板的制作方法,其特征在于,所述阵列基板还包含薄

膜晶体管,在周边区域通过构图工艺依次形成位于衬底基板上的第一信号线、第二信号线包括:

在衬底基板上形成栅极金属层,通过一次构图工艺形成所述薄膜晶体管的栅极、栅线、所述第一信号线的图案,其中,所述第一信号线与所述栅极材料相同;

在所述衬底基板上形成绝缘材料层,通过一次构图工艺形成栅极绝缘层以及位于所述第一信号线与所述第二信号线的交叠区域的绝缘层的图案,其中,所述栅极绝缘层与所述绝缘层的材料相同;

在所述衬底基板上形成源漏极金属层,通过一次构图工艺形成所述薄膜晶体管的源极、漏极、数据线、所述第二信号线的图案,其中,所述第二信号线与所述源极、所述漏极材料相同。

11.根据权利要求10所述的阵列基板的制作方法,其特征在于,在形成所述绝缘层之后,且在形成所述第二信号线之前,所述方法还包括:

在所述衬底基板上形成半导体材料层,通过一次构图工艺形成所述薄膜晶体管的半导体有源层的图案和间隔层的图案;

其中,所述间隔层与所述半导体有源层材料相同,且所述间隔层位于所述第一信号线和所述第二信号线的交叠区域。

一种阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制作方法、显示装置。

背景技术

[0002] TFT-LCD(Thin Film Transistor Liquid Crystal Display,薄膜晶体管-液晶显示器)作为一种平板显示装置,因其具有体积小、功耗低、无辐射以及制作成本相对较低等特点,而越来越多地被应用于高性能显示领域当中。

[0003] TFT-LCD包括阵列基板,该阵列基板的周边区域设置有驱动电路以及用于向该驱动电路提供信号的信号线。该信号线如图1所述,可以包括异层设置的第一信号线301和第二信号线302,且在第一信号线301和第二信号线302的交叠位置处设置有覆盖位于最上层的第二信号线302表面的绝缘孤岛02。该绝缘孤岛02能够避免后续在制作其它薄膜层的过程中,采用的构图工艺例如刻蚀工艺时,造成第一信号线301和第二信号线302出现导通的现象。

[0004] 然而现有技术中,在后续在制作过程中,上述绝缘孤岛02会导致光刻胶的旋涂受到影响,造成光刻胶厚度不均,从而在掩膜曝光的过程中,导致被厚度较大的光刻胶覆盖的薄膜层出现刻蚀不完全的现象,从而降低了产品质量。

发明内容

[0005] 本发明的实施例提供一种阵列基板及其制作方法、显示装置,解决了涂覆光刻胶厚度不均导致被厚度较大的光刻胶覆盖的薄膜层出现刻蚀不完全的问题。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 本发明实施例的一方面,提供一种阵列基板,包括周边区域,所述周边区域具有绝缘设置且具有交叠区域的第一信号线和第二信号线;所述周边区域内设置有平坦区,所述第一信号线与所述第二信号线的交叠区域位于所述平坦区。

[0008] 优选的,所述周边区域还设置有与所述平坦区相邻的衔接区;所述周边区域设置有封框胶,所述封框胶的一部分位于所述平坦区,其余部分位于所述衔接区;所述平坦区中与所述封框胶相接触的薄膜层和所述衔接区中与所述封框胶相接触的薄膜层之间具有高度差。

[0009] 优选的,所述第二信号线位于所述第一信号线上方;所述阵列基板包括位于所述封框胶与所述第二信号线之间的树脂层;所述平坦区内的树脂层与所述衔接区的树脂层的厚度不同。

[0010] 优选的,所述第二信号线位于所述第一信号线上方;所述阵列基板包括位于所述封框胶与所述第二信号线之间的树脂层;所述树脂层具有挖空区域,所述平坦区与所述树脂层的挖空区域的位置相对应。

[0011] 优选的,还包括构成栅极驱动电路的移位寄存器单元;所述移位寄存器单元中薄膜晶体管位于所述衔接区。

[0012] 优选的,在所述第一信号线与所述第二信号线的交叠区域内,在所述第一信号线与所述第二信号线之间依次设置有绝缘层和间隔层。

[0013] 优选的,包括薄膜晶体管,所述第一信号线与所述薄膜晶体管的栅极同层同材料;所述绝缘层与所述薄膜晶体管的栅极绝缘层同层同材料;所述间隔层与所述薄膜晶体管的半导体有源层同层同材料,所述第二信号线与所述薄膜晶体管的源极和漏极同层同材料。

[0014] 优选的,所述封框胶与所述树脂层之间具有保护层;构成所述保护层的材料包括氮化硅。

[0015] 优选的,所述树脂层的介电常数为 $1\sim 4F/m$ 。

[0016] 优选的,所述衔接区设置有用于与所述封框胶相接触的凹凸结构。

[0017] 本发明实施例的另一方面,提供一种显示装置,包括如上所述的任意一种阵列基板。

[0018] 本发明实施例的又一方面,提供一种阵列基板的制作方法,包括在所述阵列基板的周边区域通过构图工艺依次形成位于衬底基板上的第一信号线、第二信号线;其中,所述第一信号线与所述第二信号线绝缘且具有交叠区域;在所述周边区域设置平坦区,所述第一信号线与所述第二信号线的交叠区域位于所述平坦区。

[0019] 优选的,所述阵列基板的周边区域还包含与所述平坦区相邻的衔接区,所述制作方法还包括在形成有第二信号线的衬底基板上,形成树脂层;其中所述平坦区的树脂层和所述衔接区的树脂层的厚度不同;在所述周边区域形成封框胶,所述封框胶的一部分位于所述平坦区,其余部分位于所述衔接区。

[0020] 优选的,所述阵列基板的周边区域还包含与所述平坦区相邻的衔接区,所述制作方法还包括在形成有第二信号线的衬底基板上,形成树脂层;其中所述树脂层具有挖空区域,所述平坦区与所述树脂层的挖空区域的位置相对应;在所述周边区域形成封框胶,所述封框胶的一部分位于所述平坦区,其余部分位于与所述衔接区。

[0021] 优选的,所述阵列基板还包含薄膜晶体管,所述在周边区域通过构图工艺依次形成位于衬底基板上的第一信号线、第二信号线包括在衬底基板上形成栅极金属层,通过一次构图工艺形成所述薄膜晶体管的栅极、栅线的图案,所述第一信号线的图案,其中,所述第一信号线与所述栅极材料相同;在所述衬底基板上形成绝缘材料层,通过一次构图工艺形成栅极绝缘层以及位于所述第一信号线与所述第二信号线的交叠区域的绝缘层的图案,其中,所述栅极绝缘层与所述绝缘层的材料相同;在所述衬底基板上形成源漏极金属层,通过一次构图工艺形成所述薄膜晶体管的源极、漏极、数据线、所述第二信号线的图案,其中,所述第二信号线与所述源、漏极材料相同。

[0022] 优选的,在形成所述绝缘层之后,且在形成所述第二信号线之前,所述方法还包括在所述衬底基板上形成半导体材料层,通过一次构图工艺形成所述薄膜晶体管的半导体有源层的图案和间隔层的图案;其中,所述间隔层与所述半导体有源层材料相同,且所述间隔层位于所述第一信号线和所述第二信号线的交叠区域。

[0023] 本发明实施例提供一种阵列基板及其制作方法、显示装置,所述阵列基板包括周边区域,该周边区域具有绝缘设置且具有交叠区域的第一信号线和第二信号线,因此第一信号线和第二信号线不会发生导通。此外,周边区域内设置有平坦区,第一信号线与第二信号线的交叠区域位于平坦区。这样一来,即使第一信号线与第二信号线的交叠区域内堆叠

后的薄膜层厚度较大,但是将上述交叠区域位于平坦区时,由于上述平坦区内,形成有第一信号线与第二信号线的基板的上表面近似平坦,因此在后续制作其它薄膜层的过程中,旋涂光刻胶时该光刻胶在平坦区内仍然能够均匀分布,从而使得平坦区内形成的光刻胶厚度均匀,避免光刻胶厚度不均导致被厚度较大的光刻胶覆盖的薄膜层出现刻蚀不完全的现象。

附图说明

[0024] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0025] 图1为现有技术提供的一种阵列基板的周边区域示意图;

[0026] 图2为本发明实施例提供的一种阵列基板的区域划分示意图;

[0027] 图3为图2沿0-0进行剖切得到的一种剖视图;

[0028] 图4为图2沿0-0进行剖切得到的另一种剖视图;

[0029] 图5为图2沿0-0进行剖切得到的又一种剖视图;

[0030] 图6为图5的一种俯视图;

[0031] 图7为图6沿B-B进行剖切得到的一种剖视图;

[0032] 图8为阵列基板中TFT的结构示意图;

[0033] 图9为图5的另一种俯视图;

[0034] 图10为本发明实施例提供的一种阵列基板的制作方法流程图。

[0035] 附图标记:

[0036] 01-衬底基板;10-显示区域;100-树脂层的挖空区域;11-封框胶;20-周边区域;201-平坦区;202-衔接区;30-第一信号线与第二信号线的交叠区域;301-第一信号线;302-第二信号线;303-绝缘层;304-间隔层;305-保护层;311-栅极;3121-源极;3122-漏极;313-栅极绝缘层;314-半导体有源层;316-公共电极;317-像素电极;40-树脂层;RS-移位寄存器单元;50-凹凸结构。

具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 本发明实施例提供一种阵列基板,如图2所示,包括显示区域10,以及位于该显示区域10周边的周边区域20。如图3所示,该周边区域20具有绝缘设置且具有交叠区域30的第一信号线301和第二信号线302。此外,如图3所示,周边区域20内设置有平坦区201,该第一信号线301与第二信号线302的交叠区域30位于上述平坦区201。

[0039] 其中,可以通过在对应第一信号线301和第二信号线302交叠区域30的位置,在第一信号线301和第二信号线302之间形成如图7所示的绝缘层303以达到第一信号线301和第

二信号线302绝缘设置的目的。

[0040] 需要说明的是,阵列基板的衬底基板01上从下至上堆叠有多个薄膜层,因此上述第一信号线301与第二信号线302的交叠区域30是指,第一信号线301与第二信号线302的上、下位置交叠部分所在的区域。

[0041] 此外,上述平坦区201是指,形成有第一信号线301和第二信号线302的基板的上表面近似平坦的区域。在此情况下,在有第一信号线301和第二信号线302的基板上,形成其它薄膜层的过程中,旋涂光刻胶时,该光刻胶在平坦区201内能够分布均匀,从而使得平坦区201内形成的光刻胶厚度近似均匀。

[0042] 本发明对第一信号线301和第二信号线302相对于衬底基板01的上、下位置不做限定。以下为了方便说明,均是以第二信号线302位于第一信号线301上方,即在衬底基板01上先形成第一信号线301,再形成第二信号线302为例进行的说明。

[0043] 其中,本文中,“上”和“下”等方位术语是相对于阵列基板的截面图,例如图3所示的阵列基板的示意置放的方位来定义的,应当理解到,这些方向性术语是相对的概念,它们用于相对于的描述和澄清,其可以根据阵列基板截面所放置的方位的变化而相应地发生变化。

[0044] 本发明实施例提供一种阵列基板,包括周边区域,该周边区域具有绝缘设置且具有交叠区域的第一信号线和第二信号线,因此第一信号线和第二信号线不会发生导通。此外,周边区域内设置有平坦区,第一信号线与第二信号线的交叠区域位于平坦区。这样一来,即使第一信号线与第二信号线的交叠区域内堆叠后的薄膜层厚度较大,但是将上述交叠区域位于平坦区时,由于上述平坦区内,形成有第一信号线与第二信号线的基板的上表面近似平坦,因此在后续制作其它薄膜层的过程中,旋涂光刻胶时该光刻胶在平坦区内仍然能够均匀分布,从而使得平坦区内形成的光刻胶厚度均匀,避免光刻胶厚度不均导致被厚度较大的光刻胶覆盖的薄膜层出现刻蚀不完全的现象。

[0045] 进一步的,阵列基板如图2所示在周边区域20设置有封框胶11。在此情况下,如图3所示,周边区域20还设置有与平坦区201相邻的衔接区202,上述封框胶11的一部分位于平坦区201,其余部分位于衔接区202。其中,上述衔接区202可以设置于平坦区201的一侧,还可以在平坦区201的两侧均设置上述衔接区202。本发明对平坦区201和衔接区202的位置和个数不做限定。

[0046] 在此基础上,如图3所示,平坦区201中与封框胶11相接触的薄膜层和衔接区202中与封框胶11相接触的薄膜层之间具有高度差 ΔH 。这样一来,通过上述具有高度差的薄膜层使得封框胶11与阵列基板相接触的表面凹凸不平,有利于提高封框胶11与阵列基板之间的粘附力,降低封框胶脱落的几率。

[0047] 此外,为了进一步提高封框胶11与阵列基板相接触的表面凹凸不平的程度,可以在上述衔接区202内设置用于与封框胶11相接触的凹凸结构50(如图3所示)。

[0048] 其中,上述凹凸结构50可以是在制备封框胶11之前,在已经形成的阵列基板上单独制作一层薄膜层,该薄膜层与封框胶11相接触的表面凹凸不平,以构成上述凹凸结构50。然而这样一来,上述单独制作的薄膜层会增加阵列基板的厚度,不利于显示装置超薄化的设计要求,因此在制备封框胶11之前,上述凹凸结构50可以由已经形成于阵列基板上的薄膜层构成。本发明对上述凹凸结构50的制作方法不做限定。

[0049] 需要说明的是,如图3所示平坦区201中与封框胶11相接触的薄膜层可以和衔接区202中与封框胶11相接触的薄膜层的材料相不同。

[0050] 或者,平坦区201中与封框胶11相接触的薄膜层可以和衔接区202中与封框胶11相接触的薄膜层的材料相同。例如,在形成有第二信号线302的基板上可以形成一层具有绝缘形成的薄膜层。该薄膜层可以采用氮化硅(SiNx)材料构成,而由于氮化硅材料透光性较差,因此不利于提高显示面板的开口率,因此为了提高显示面板的开口率可以采用树脂材料代替上述氮化硅材料制作具有绝缘形成的薄膜层。

[0051] 在此基础上,能够避免在阵列基板中形成较大的电容,有利于降低阵列基板的功耗,优选的上述数值材料的介电常数可以为 $1\sim 4F/m$ 。

[0052] 以下对阵列基板周边区域20在对应封框胶11位置处的,由上述树脂材料构成的如图4或如图5所示的树脂层40的设置方式进行详细的举例说明。

[0053] 例如,如图4所示,在第二信号线302位于第一信号线301上方的情况下,阵列基板包括位于封框胶11与第二信号线302之间的树脂层40。且该平坦区201内的树脂层40与衔接区202的树脂层40的厚度不同,即具有高度差 ΔH 。

[0054] 这样一来,一方面,通过在平坦区201内设置树脂层40,能够减小第一信号线301与第二信号线302的交叠区域30与平坦区201内的其它部分之间的段差,从而达到平坦区201内形成有第一信号线301和第二信号线302的基板的上表面近似平坦的目的。另一方面,通过上述具有高度差的树脂层40使得封框胶11与阵列基板相接触的表面凹凸不平,提高封框胶11与阵列基板之间的粘附力。

[0055] 又例如,如图5所示,将平坦区201对应位置处的树脂材料去除,以上述树脂层40上形成如图6所示的挖空区域100。其中,上述平坦区201与树脂层40的挖空区域100的位置相对应。在平坦区201内与封框胶11相接触的第二信号线302与衔接区202内与封框胶11相接触的树脂层40之间仍然具有上述高度差 ΔH 。

[0056] 这样一来,一方面,通过将平坦区201对应位置处的树脂材料去除形成上述挖空区域100,以达到平坦区201内形成有第一信号线301和第二信号线302的基板的上表面近似平坦的目的。另一方面,通过设置挖空区域100,能够在平坦区201和衔接区形成图5中的高度差 ΔH ,使得封框胶11与阵列基板相接触的表面凹凸不平。

[0057] 需要说明的是,由于可以通过在第一信号线301与第二信号线302的交叠区域30对应位置,在第一信号线301与第二信号线302之间形成如图7所示的绝缘层303来实现第一信号线301与第二信号线302绝缘设置的目的,而交叠区域30处的绝缘层303上方覆盖有第二信号线302,因此在后续制作其它薄膜层的过程中,即使采用刻蚀工艺,也不会将上述绝缘层303全部刻蚀,所以第一信号线301与第二信号线302仍然可以处于绝缘设置的状态。

[0058] 进一步的,上述周边区域20除了具有第一信号线301与第二信号线302以外,还包括用于对显示区域10中的栅线进行逐行扫描的栅极驱动电路(Gate Driver on Array, GOA)。

[0059] 在此基础上,当封框胶11的宽度较大时,如图9所示周边区域20中在对应封框胶11的位置100处还设置有用于构成栅极驱动电路的多个级联的移位寄存器单元RS。

[0060] 在此情况下,该移位寄存器单元RS中的TFT位于衔接区202。这样一来,由于衔接区202内的树脂层40未被去除,从而可以通过该树脂层40对移位寄存器单元RS中的TFT中的有

源层进行保护,避免在树脂层40上方制作其它薄膜层图案过程中,刻蚀工艺对上述有源层造成破坏,而导致TFT损坏。

[0061] 需要说明的是,上述栅极驱动电路的每一级移位寄存器单元RS与显示区域中的一行栅线相连接,栅极驱动电路能够通过移位寄存器单元RS对栅极驱动信号进行暂存移位,从而实现对栅线的逐行扫描。

[0062] 在此基础上,虽然上述第一信号线301和第二信号线302之间已经设置有绝缘层303,但是为了进一步提高防止第一信号线301与第二信号线302之间发生静电击穿的效果,优选的如图7所示,绝缘层303与第二信号线302之间的间隔层304。

[0063] 进一步的,在阵列基板包括TFT时,例如显示区域10的亚像素中的TFT,或者上述周边区域20中位于移位寄存器单元RS中的TFT,为了简化制作工序,在制作上述TFT的过程中,可以完成上述第一信号线301、第二信号线302、绝缘层303以及间隔层304的制作。

[0064] 具体的,在制作如图8所示的TFT栅极311的同时,可以形成与该栅极同层同材料的如图7所示的第一信号线301;在栅极311的表面制作栅极绝缘层313的同时,可以形成与该栅极绝缘层313同层同材料的绝缘层303;在栅极绝缘层313的表面制作半导体有源层314时,可以形成于该半导体有源层314同层同材料的间隔层304;在半导体有源层314的表面形成源极3121和漏极3122时,可以形成于该源极3121和漏极3122同层同材料的第二信号线302。

[0065] 此外,如图6或图8所示,树脂层40上的挖空区域100与平坦区201的位置相对应时,由于位于挖空区域100中的第二信号线302或第一信号线301的表面由于未覆盖树脂层40,因此容易发生氧化。为了避免信号线氧化,封框胶11与树脂层40之间具有如图7所示的保护层305,该保护层305覆盖上述树脂层40的,并穿过上述挖空区域100与第一信号线301或第二信号线302相接触,从而可以对第一信号线301或第二信号线302的表面进行保护,避免信号线发生氧化。其中,构成该保护层305的材料为氮化硅。

[0066] 本发明实施例提供一种显示装置,包括如上所述的任意一种阵列基板,具有与前述实施例相同的结构和有益效果,由于前述实施例已经对阵列基板的结构和有效果进行了详细的描述,此处不再赘述。

[0067] 需要说明的是,在本发明实施例中,显示装置具体可以包括液晶显示装置,例如该显示装置可以为液晶显示器、液晶电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件。

[0068] 本发明实施例提供一种制作上述任意一种阵列基板的方法,如图10所示,包括:

[0069] S101、在如图2所示的阵列基板的周边区域20,通过构图工艺依次形成位于如图3所示的衬底基板01上的第一信号线301、第二信号线302。

[0070] 其中,第一信号线301与第二信号线302绝缘且具有交叠区域30。

[0071] 具体的,可以通过在对应第一信号线301和第二信号线302交叠区域30的位置,在第一信号线301和第二信号线302之间形成如图7所示的绝缘层303以达到第一信号线301和第二信号线302绝缘设置的目的。

[0072] S102、在上述周边区域20设置平坦区201,上述第一信号线301与第二信号线302的交叠区域30位于平坦区201。

[0073] 这样一来,即使第一信号线与第二信号线的交叠区域内堆叠后的薄膜层厚度较

大,但是将上述交叠区域位于平坦区时,由于上述平坦区内,形成有第一信号线与第二信号线的基板的上表面近似平坦,因此在后续制作其它薄膜层的过程中,旋涂光刻胶时该光刻胶在平坦区内仍然能够均匀分布,从而使得平坦区内形成的光刻胶厚度均匀,避免光刻胶厚度不均导致被厚度较大的光刻胶覆盖的薄膜层出现刻蚀不完全的现象。

[0074] 需要说明的是,在本发明中,构图工艺,可指包括光刻工艺,或,包括光刻工艺以及刻蚀步骤,同时还可以包括打印、喷墨等其他用于形成预定图形的工艺;光刻工艺,是指包括成膜、曝光、显影、刻蚀等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本发明中所形成的结构选择相应的构图工艺。

[0075] 其中,本发明实施例中的一次构图工艺,是以通过一次掩膜曝光工艺形成不同的曝光区域,然后对不同的曝光区域进行多次刻蚀、灰化等去除工艺最终得到预期图案为例进行的说明。

[0076] 在此基础上,如图3所示,平坦区201中与封框胶11相接触的薄膜层和衔接区202中与封框胶11相接触的薄膜层之间具有高度差 ΔH 。这样一来,通过上述具有高度差的薄膜层使得封框胶11与阵列基板相接触的表面凹凸不平,有利于提高封框胶11与阵列基板之间的粘附力,降低封框胶脱落的几率。

[0077] 需要说明的是,如图3所示平坦区201中与封框胶11相接触的薄膜层可以和衔接区202中与封框胶11相接触的薄膜层的材料相不同。或者,平坦区201中与封框胶11相接触的薄膜层可以和衔接区202中与封框胶11相接触的薄膜层的材料相同。例如,在形成有第二信号线302的基板上可以形成一层具有绝缘性的薄膜层。该薄膜层可以采用氮化硅(SiN_x)材料构成,或者采用透光性好的树脂材料代替上述氮化硅材料制作具有绝缘形成的薄膜层。

[0078] 以下对阵列基板周边区域20在对应封框胶11位置处的,由上述树脂材料构成的如图4或如图5所示的树脂层40的制作方式进行详细的举例说明。

[0079] 例如,在上述阵列基板的周边区域20还包含与平坦区201相邻的衔接区202的情况下,上述步骤S102之后,所述方法还包括:

[0080] 首选,在形成有第二信号线302的衬底基板01上,形成如图4所示的树脂层40。

[0081] 其中,该平坦区201的树脂层40和衔接区202的树脂层40的厚度不同。具体的,可以通过曝光、显影工艺使得平坦区201内的树脂层40与衔接区202的树脂层40的厚度不同,即具有高度差 ΔH 。其中,衔接区202与平坦区201相邻。

[0082] 具体的,当树脂层40为正胶,且如图4所示,当平坦区201内的树脂层40的厚度小于衔接区202的树脂层40的厚度时,可以采用具有半透光区域和完全不透光区域的掩膜版,对树脂层进行掩膜曝光。上述半透光区域与平坦区201的位置相对应,而完全不透光区域与衔接区202的位置相对应,从而使得平坦区201内的树脂层40的上半部分在光线照射作用下,能够溶解于显影液中,而衔接区202的树脂层40未受到光线照射而不能溶解于显影液中。

[0083] 或者,也可以采用具有全透光区域和完全不透光区域的掩膜版,对树脂层进行掩膜曝光。其中,上述全透光区域与平坦区201的位置相对应,而完全不透光区域与衔接区202的位置相对应,从而通过控制穿过全透光区域的光线入射量和照射时间,使得平坦区201内的树脂层40的上半部分在光线照射作用下,能够溶解于显影液中,而衔接区202的树脂层40未受到光线照射而不能溶解于显影液中。

[0084] 当然,上述仅仅是以树脂层40为正胶,且当平坦区201内的树脂层40的厚度小于衔

接区202的树脂层40的厚度为例进行的说明,当上述树脂层40为负胶,或者平坦区201内的树脂层40的厚度大于衔接区202的树脂层40的厚度时,同理可得,此处不再赘述。

[0085] 最后,在周边区域20形成封框胶11,该封框胶11的一部分位于平坦区201,其余部分位于衔接区203。

[0086] 这样一来,一方面,通过在平坦区201内设置树脂层40,能够减小第一信号线301与第二信号线302的交叠区域30与平坦区201内的其它部分之间的段差,从而达到平坦区201内形成有第一信号线301和第二信号线302的基板的上表面近似平坦的目的。另一方面,通过上述具有高度差的树脂层40使得封框胶11与阵列基板相接触的表面凹凸不平,提高封框胶11与阵列基板之间的粘附力。

[0087] 又例如,在上述阵列基板的周边区域20还包含与平坦区201相邻的衔接区202的情况下,上述步骤S102之后,所述方法还包括:

[0088] 首先,在形成有第二信号线302的衬底基板01上,形成树脂层40。

[0089] 接下来,通过曝光、显影工艺如图5所示,去除平坦区201内的树脂材料,以形成如图6所示的树脂层40的挖空区域100,所述平坦区与所述树脂层的挖空区域的位置相对应。

[0090] 最后,在周边区域20形成封框胶11,该封框胶11的一部分位于平坦区201,其余部分位于与平坦区201相邻的衔接区202。

[0091] 这样一来,一方面,通过将平坦区201对应位置处的树脂材料去除形成上述挖空区域100,能够避免在第二信号线302上方,且对应第一信号线301与第二信号线302的交叠区域30形成树脂孤岛02,以达到平坦区201内形成有第一信号线301和第二信号线302的基板的上表面近似平坦的目的。另一方面,通过设置挖空区域100,能够在平坦区201和衔接区形成图5中的高度差 ΔH ,使得封框胶11与阵列基板相接触的表面凹凸不平。

[0092] 进一步的,在阵列基板包括TFT时,例如显示区域10的亚像素中的TFT,或者上述周边区域20中位于移位寄存器单元RS中的TFT,为了简化制作工序,在制作上述TFT的过程中,可以同时完成上述第一信号线301、第二信号线302、绝缘层303以及间隔层304的制作。

[0093] 具体的,首先,在如图7或图8所示的衬底基板01上形成栅极金属层,通过一次构图工艺在显示区域10和周边区域20内均形成如图8所示的TFT的栅极311、栅线的图案,并在周边区域20内形成如图7所示的第一信号线301的图案,第一信号线301与栅极311材料相同。

[0094] 接下来,在上述衬底基板01上形成绝缘材料层,通过一次构图工艺形成位于第一信号线301与第二信号线302的交叠区域30的如图8所示的栅极绝缘层313以及位于在周边区域20的如图7所示的绝缘层303,绝缘层303与栅极绝缘层313材料相同。

[0095] 具体的,在形成有栅极311、栅线以及第一信号线301的基板上形成一层绝缘材料层,然后通过一次构图工艺形成位于栅极311表面的栅极绝缘层313以及在交叠区域30内形成位于第一信号线301表面的绝缘层303的图案。

[0096] 接下来,在上述衬底基板01上形成源漏极金属层,即在形成有栅极绝缘层313和绝缘层303图案的基板表面形成上述源漏极金属层,然后通过一次构图工艺在显示区域10和周边区域20内均形成如图8所示的TFT的源极3121和漏极3122以及与栅线交叉设置的数据线的图案,并在周边区域20形成如图7所示的第二信号线302的图案,第二信号线302与源极3021、漏极3122材料相同。

[0097] 其中,第一信号线301与第二信号线302在交叠区域30,可以通过上述绝缘层303将

第一信号线301与第二信号线302进行绝缘。

[0098] 接下来、在衬底基板01上形成树脂层40,即在形成有源极3121、漏极3122、数据线以及第二信号线302的基板上形成一层树脂层40。该树脂层40覆盖显示区域10和周边区域20,然后对该树脂层40进行构图形成如图6或如图9所示的挖空区域100。且第一信号线301与第二信号线302在交叠区域30位于上述挖空区域100内。

[0099] 在此基础上,对于AD-SDS (Advanced-Super Dimensional Switching,简称为ADS,高级超维场开关)型显示装置采用的阵列基板而言,在形成树脂层40的步骤,所述阵列基板的制作方法还包括:

[0100] 在形成有上述树脂层40的基板上形成第一层ITO (Indium Tin Oxides,氧化铟锡)薄膜层,然后通过构图工艺在显示区域10形成多个呈矩阵形式排列的如图8所示的块状公共电极316。

[0101] 接下来,在形成有公共电极的316以及上述树脂层40挖空区域100的基板表面,形成保护层305,该保护层305主要有氮化硅构成。

[0102] 接下来,在上述保护层305对应漏极3122的位置形成过孔,并在形成有保护层305的基板上形成第二层ITO,然后通过构图工艺在显示区域10形成如图8所示的狭缝状的像素电极317,该上述像素电极317通过上述过孔与漏极3122相连接,从而完成阵列基板的制作。

[0103] 当然,上述仅仅是以公共电极316相对于像素电极317而言靠近衬底基板01的阵列基板为例进行的说明。对于ADS型显示装置中采用的阵列基板而言,像素电极317还可以位于公共电极316的下方,即更靠近衬底基板01。本发明对此不做限定。

[0104] 此外,虽然上述第一信号线301和第二信号线302之间已经设置有绝缘层303,但是为了进一步提高防止第一信号线301与第二信号线302之间发生静电击穿的效果,在形成绝缘层303之后,且在形成第二信号线302之前,所述方法还包括:在衬底基板01上形成半导体材料层,即在形成有栅极绝缘层313和绝缘层303基板表面,形成上述半导体材料层,然后通过一次构图工艺在显示区域10和周边区域20形成如图8所示的半导体有源层314的图案,并在第一信号线301与第二信号线302的交叠区域30形成间隔层304的图案,间隔层304与半导体有源层314材料相同。

[0105] 这样一来,通过上述间隔层304能够提高防止第一信号线301与第二信号线302之间发生静电击穿的效果,此外,由于上述间隔层304与TFT的半导体有源层314在一次构图工艺中制作而成,因此能够简化制作工艺。

[0106] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

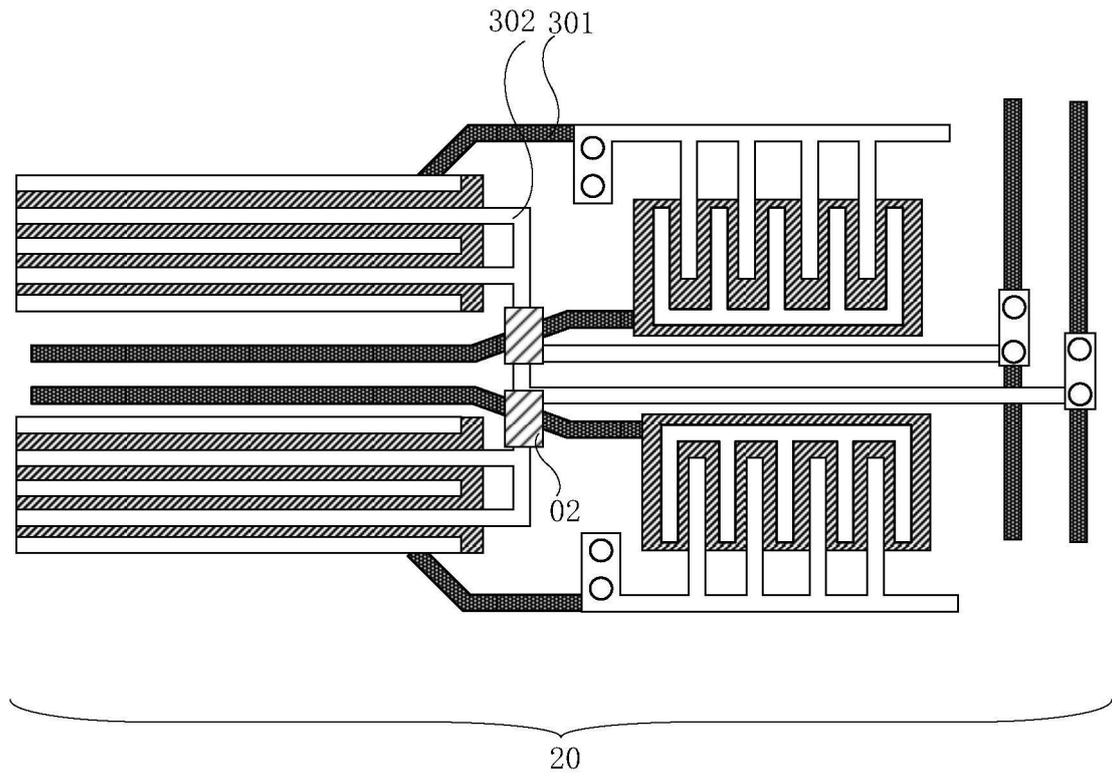


图1

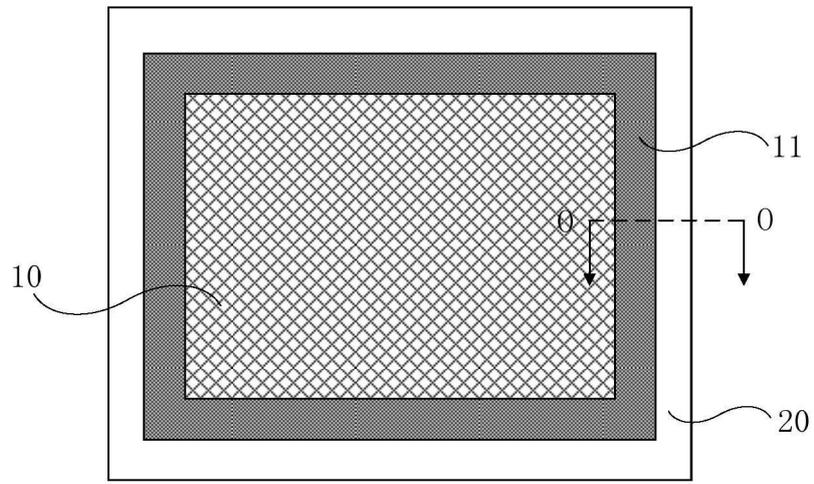


图2

0-0

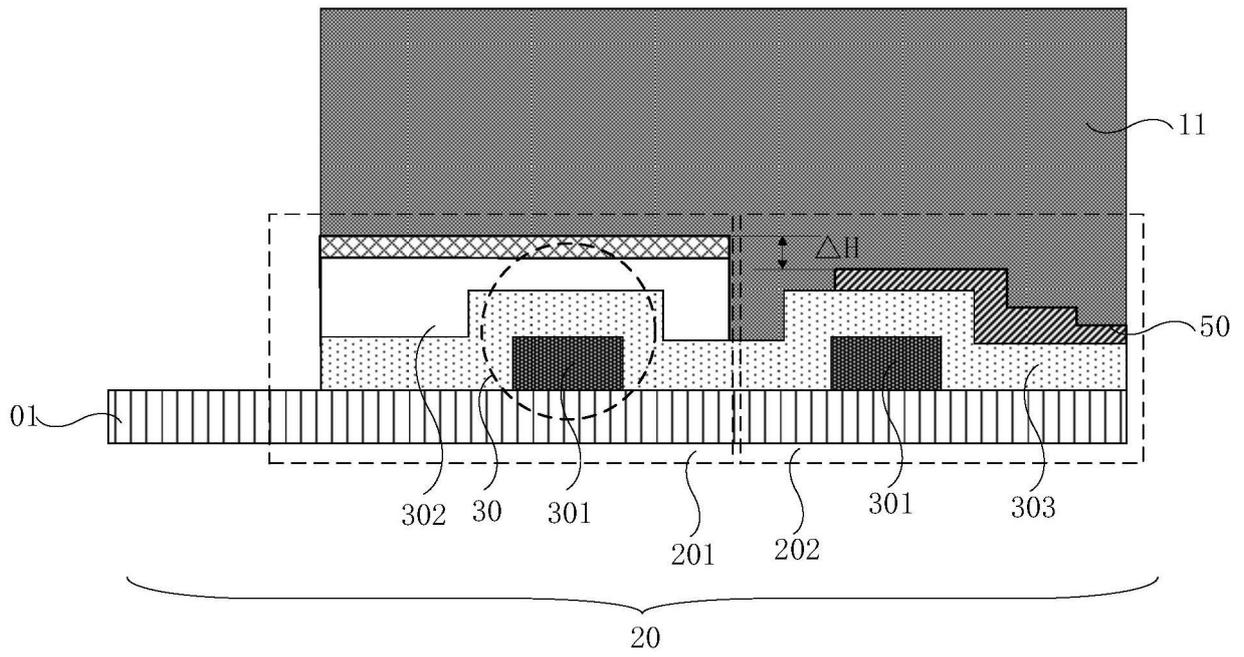


图3

0-0

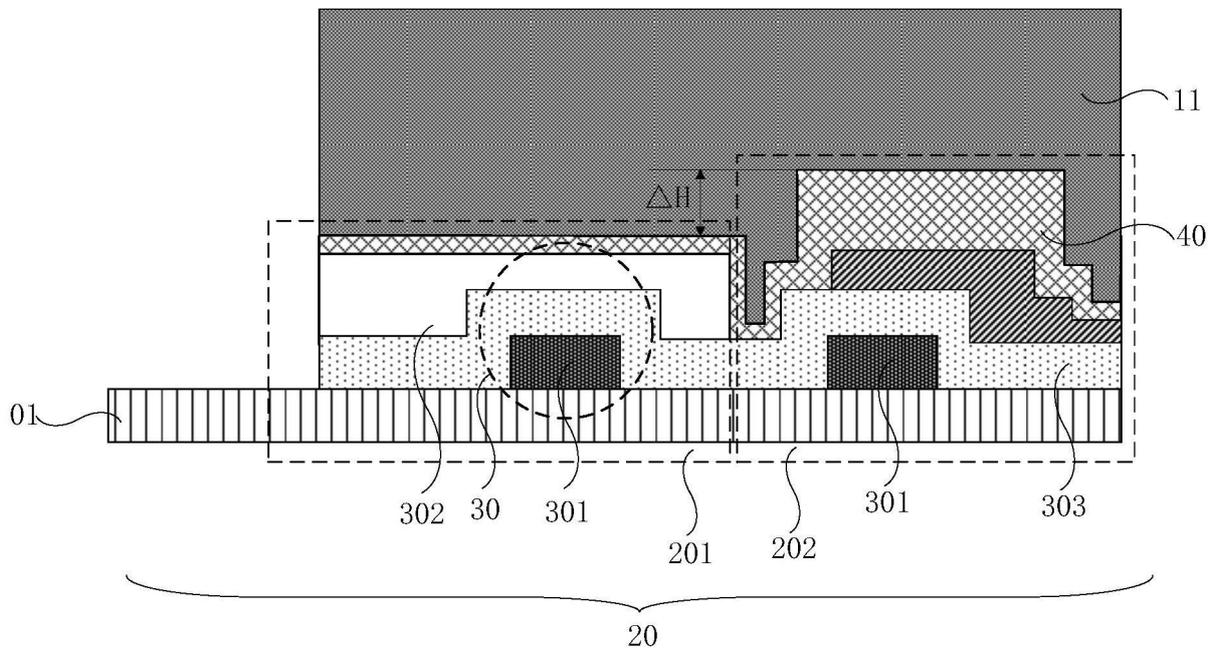


图4

0-0

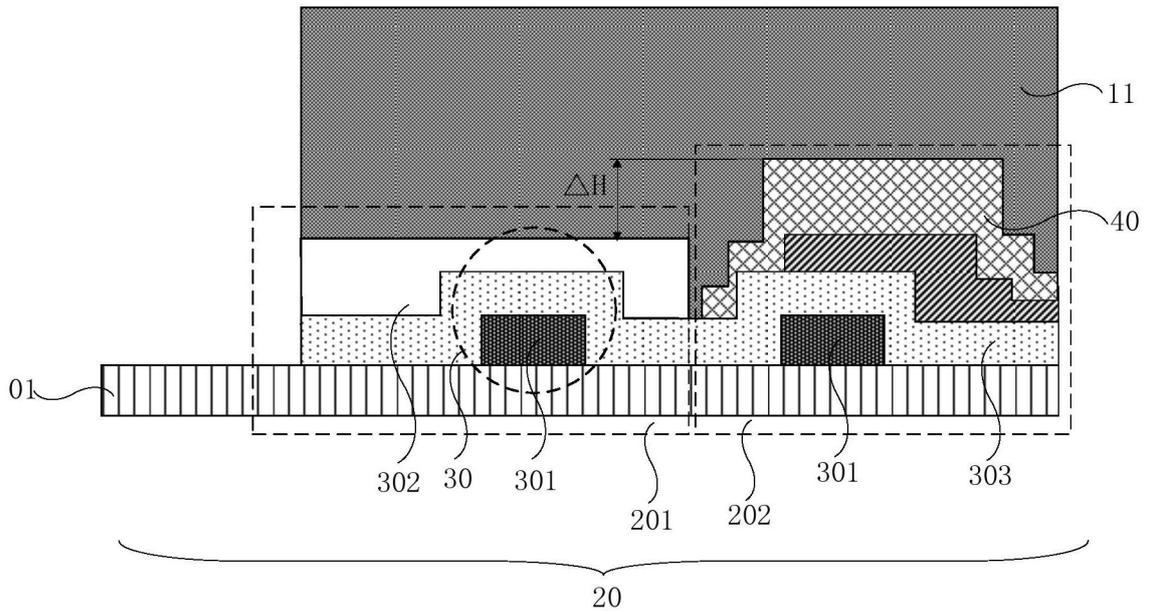


图5

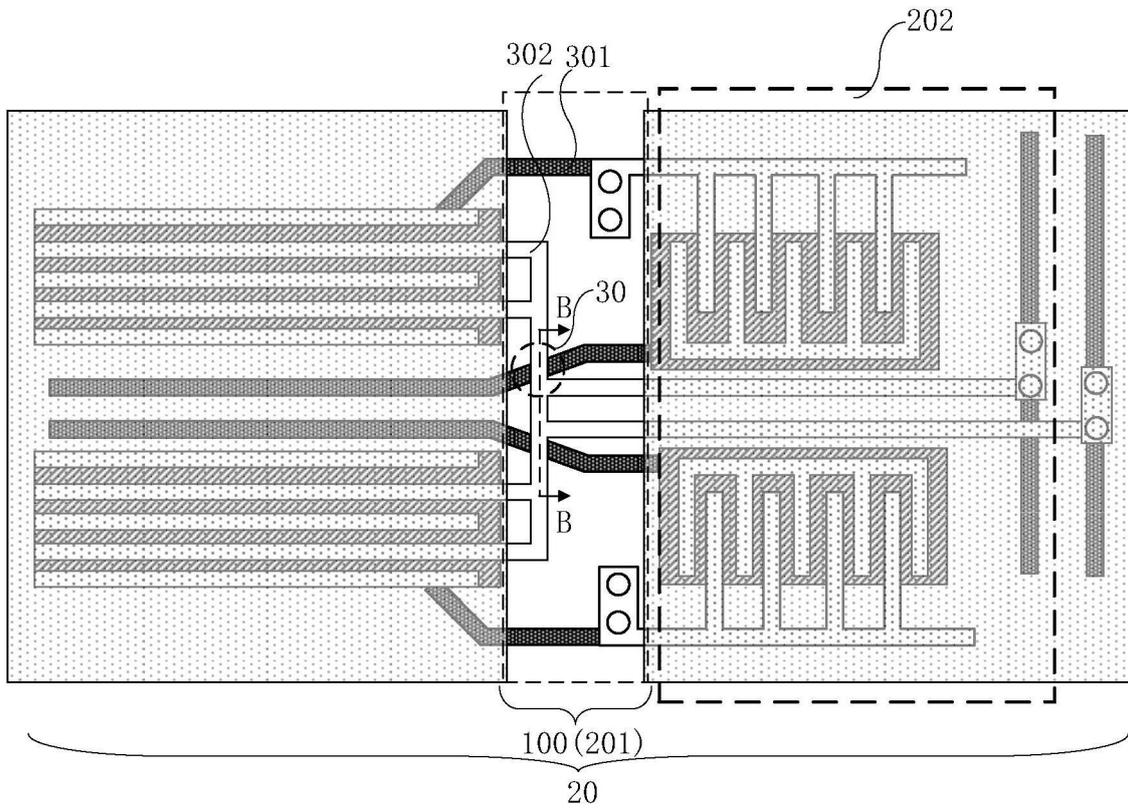


图6

B-B

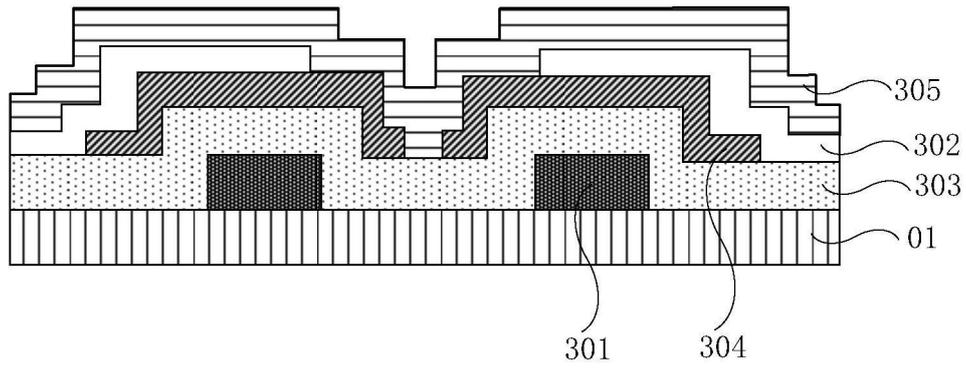


图7

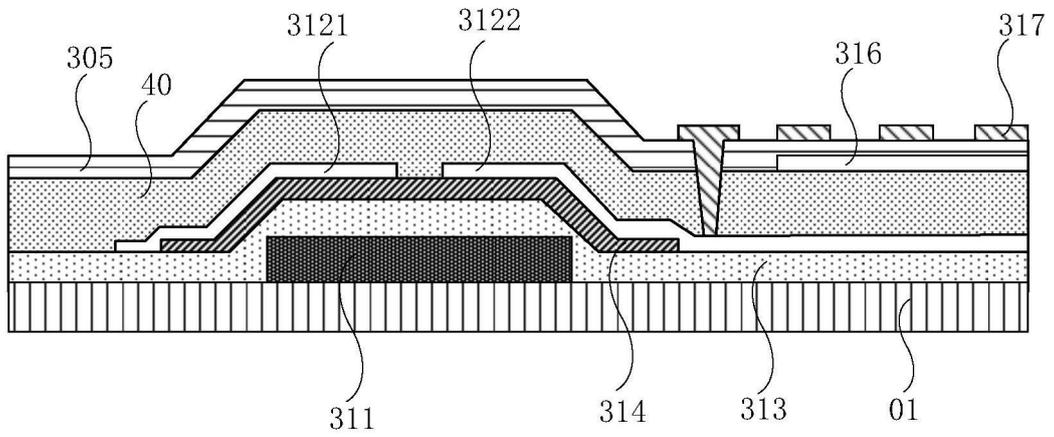


图8

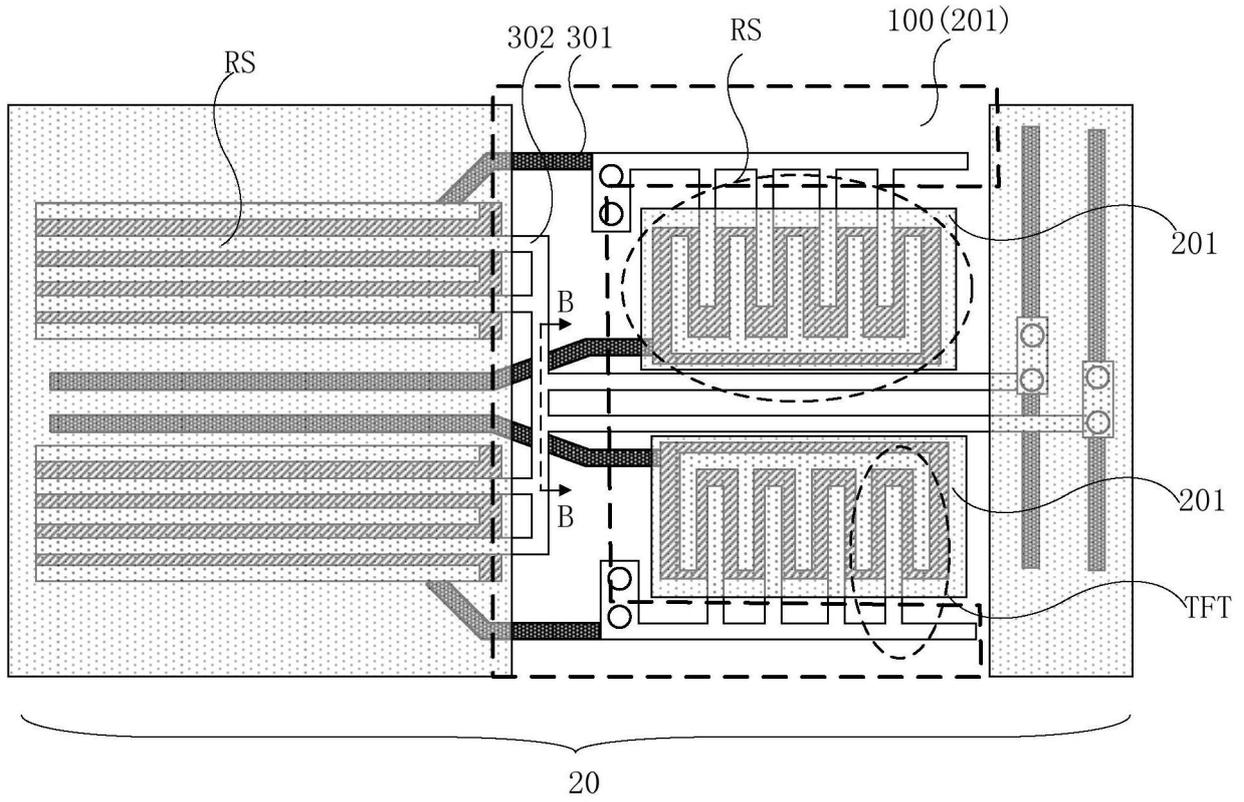


图9

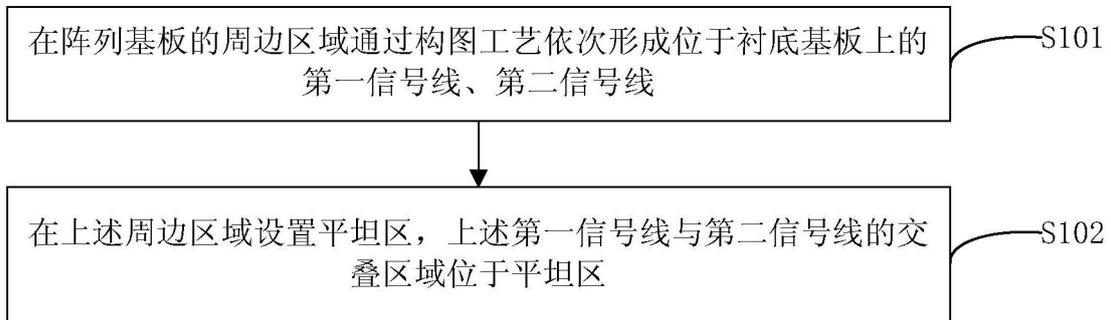


图10