



(12)发明专利申请

(10)申请公布号 CN 108461477 A

(43)申请公布日 2018.08.28

(21)申请号 201810153824.0

(22)申请日 2018.02.22

(30)优先权数据

15/437,100 2017.02.20 US

(71)申请人 格芯公司

地址 英属开曼群岛大开曼岛

(72)发明人 林萱 张洵渊 S·B·劳

J·J·麦克马洪

(74)专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟 王锦阳

(51)Int.Cl.

H01L 23/528(2006.01)

H01L 23/532(2006.01)

H01L 21/768(2006.01)

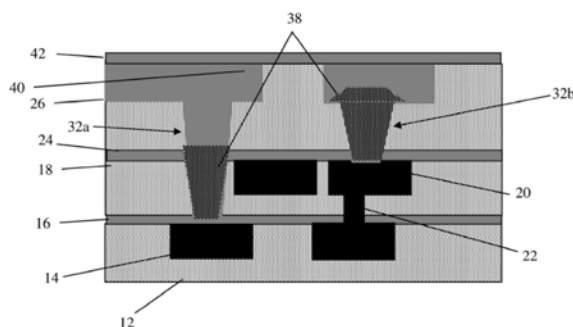
权利要求书2页 说明书5页 附图2页

(54)发明名称

用于超(跳跃)通孔整合的金属互连

(57)摘要

本发明涉及用于超(跳跃)通孔整合的金属互连,其关于半导体结构,且更尤指用于超(跳跃)通孔整合的金属互连结构及制造方法。该结构包括:具有一或多个布线结构的第一布线层;包括互连件与布线结构的第二布线层;以及于第二布线层上面定位有一或多个通孔互连件与布线结构的至少一个上布线层。一或多个通孔互连件与布线结构部分地包括第一金属材料、及第一金属材料上方具有导电材料的其余部分。跳跃通孔通过第二布线层,并延展至第一布线层的一或多个布线结构。跳跃通孔部分地包括金属材料,且该跳跃通孔的其余部分包括位在第一金属材料上方的导电材料。



1. 一种结构,其包含:

具有一或多个布线结构的第一布线层;

包含互连结构及布线结构的第二布线层;

于该第二布线层上面定位有一或多个通孔互连件与布线结构的至少一个上布线层,该至少一个上布线层的该一或多个通孔互连件与布线结构部分地包含第一金属材料,该第一金属材料具有在该第一金属材料上方包含导电材料的其余部分;以及

通过该第二布线层并延展至该第一布线层的该一或多个布线结构的跳跃通孔,该跳跃通孔部分地包含该金属材料,该金属材料具有在该第一金属材料上方包含该导电材料的该跳跃通孔的其余部分。

2. 如权利要求1所述的结构,其特征在于,该第一金属材料与该第一布线层的该一或多个布线结构接触。

3. 如权利要求2所述的结构,其特征在于,该第一金属材料是在该至少一个上布线层的一或多个通孔开口与布线沟槽中及该跳跃通孔内选择性生长的钴。

4. 如权利要求3所述的结构,其特征在于,该导电金属是钴、镍或其合金。

5. 如权利要求3所述的结构,其特征在于,该钴或镍或其合金将该至少一个上布线层的该通孔开口完全填充。

6. 如权利要求5所述的结构,其特征在于,该跳跃通孔没有空洞。

7. 如权利要求5所述的结构,其特征在于,该钴或镍或其合金将填充有该钴的该通孔开口上面的布线沟槽部分地填充。

8. 如权利要求7所述的结构,其特征在于,该导电材料将形成该上布线层的该布线结构的该布线沟槽的其余部分填充。

9. 一种方法,其包含:

形成通孔以使上布线层的一或多个布线结构曝露;

形成通过该上布线层并使下布线层的一或多个布线结构曝露的跳跃通孔;

选择性生长位在该通孔中并部分地位在该跳跃通孔内的金属材料;以及

用导电材料将该跳跃通孔的其余部分填充。

10. 如权利要求9所述的方法,其特征在于,该金属材料的该选择性生长包含选择性生长该跳跃通孔中的钴或镍以将该跳跃通孔部分地填充。

11. 如权利要求10所述的方法,其特征在于,该钴或镍的该选择性生长是无电式生长程序。

12. 如权利要求11所述的方法,其特征在于,该无电式生长程序于该跳跃通孔内向上起自底端,并起始自该下布线层的该一或多个布线结构的曝露部分。

13. 如权利要求11所述的方法,其特征在于,该无电式生长程序未在该跳跃通孔的绝缘体侧壁上生长。

14. 如权利要求13所述的方法,其特征在于,该无电式生长程序防止该跳跃通孔中发生空洞形成。

15. 如权利要求11所述的方法,其特征在于,该导电材料是钴、镍或其合金。

16. 如权利要求11所述的方法,其特征在于,该钴或镍或其合金的该生长将该通孔上面的布线沟槽部分地填充,且该方法更包含用该导电材料将该布线沟槽的其余部分填充以形

成上布线层。

17. 一种方法,其包含:

形成在下布线层中具有一或多个布线结构的布线层;

形成在上布线层中具有一或多个布线结构的布线层,定位于该下布线层上面;

形成通孔以使该上布线层的该一或多个布线结构曝露;

形成通过该上布线层并使该下布线层中的该一或多个布线结构曝露的跳跃通孔;

选择性生长在该上布线层与该下布线层的该一或多个布线结构的曝露部分上的金属材料;以及

用导电材料将该上布线层上面另一布线层的该跳跃通孔与沟槽的其余部分填充。

18. 如权利要求17所述的方法,其特征在于,该金属材料的该选择性生长包含该跳跃通孔中的钴或镍的无电式选择性生长程序,用以将该跳跃通孔部分地填充。

19. 如权利要求17所述的方法,其特征在于,该无电式选择性生长程序于该跳跃通孔内向上起自底端,并起始自该下布线层的该一或多个布线结构的曝露部分。

20. 如权利要求17所述的方法,其特征在于,该钴或镍的该生长将该通孔上面的布线沟槽部分地填充,且该方法更包含用该导电材料将该布线沟槽的其余部分填充以形成上布线层。

用于超(跳跃)通孔整合的金属互连

技术领域

[0001] 本发明涉及半导体结构,且更尤指用于超(跳跃)通孔整合的金属互连结构及制造方法。

背景技术

[0002] 通孔(via)是一种介于实体电子电路中诸布线结构(例如:诸布线层)之间的电连接,其贯穿一或多个相邻层件的平面。举例而言,在集成电路设计中,通孔是绝缘氧化物层中的小型开口,在不同布线层之间提供导电性连接。将最下层金属连接至扩散或多晶的通孔一般称为“接触(contact)”。

[0003] 在通孔技术中,超通孔(super via)亦称为跳跃通孔(skip via),可穿过许多绝缘体层来形成,例如:可将绝缘体层内的一或多个布线结构旁通,用以与下布线结构连接。这使得下布线结构(例如于M0层)的电阻特性提升,电容降到最小,并在晶片制造过程中提供面积效率。

[0004] 不过,使用跳跃通孔会有许多挑战要面对。举例而言,在制造过程中,跳跃通孔将会需要着落于下层阶(例如:M0阶)中的布线结构上,而正规通孔将会需要着落于上层阶(例如:M1或上面层阶)中的布线结构上。此外,在跳跃通孔程序中,习知的铜镀覆程序用于将通孔填充。不过,铜镀覆程序生长自所有方向,包括通孔的侧壁及底端,从而产生因侧壁生长造成夹止(pinch-off)而建立的延展空洞(void),且因高深宽比(aspect ratio)通孔上物理气相沉积(physical vapor deposition;PVD)晶种涵盖范围不足而产生底端空洞。空洞亦可导因于超低k(ultra-low k;ULK)电浆诱发型损坏(plasma-induced-damage;PID)或覆盖体对层间介电选择性所形成的底部截槽(undercut)外形。此外,衬垫/晶种亦不足以包覆高深宽比通孔的全长,空洞亦因而形成。这些空洞负面地影响跳跃通孔的电阻率,进而使装置效能下降。

发明内容

[0005] 在本发明的一态样中,一种结构包含:具有一或多个布线结构的第一布线层;包含互连结构及布线结构的第二布线层;于该第二布线层上面定位有一或多个通孔互连件与布线结构的至少一个上布线层,该至少一个上布线层的该一或多个通孔互连件与布线结构部分地包含第一金属材料,该第一金属材料具有在其上方包含导电材料的其余部分;以及通过该第二布线层并延展至该第一布线层的该一或多个布线结构的跳跃通孔,该跳跃通孔部分地包含该金属材料,该金属材料具有在该第一金属材料上方包含该导电材料的该跳跃通孔的其余部分。

[0006] 在本发明的一态样中,一种方法包含:形成通孔以使上布线层的一或多个布线结构曝露;形成通过该上布线层并使下布线层的一或多个布线结构曝露的跳跃通孔;选择性生长位在该通孔中并部分地位在该跳跃通孔内的金属材料;以及用导电材料将该跳跃通孔的其余部分填充。

[0007] 在本发明的一态样中,一种方法包含:形成在下布线层中具有一或多个布线结构的布线层;形成在上布线层中具有一或多个布线结构的布线层,定位于该下布线层上面;形成通孔以使该上布线层的该一或多个布线结构曝露;形成通过该上布线层并使该下布线层中的该一或多个布线结构曝露的跳跃通孔;选择性生长在该上布线层与该下布线层的该一或多个布线结构的曝露部分上的金属材料;以及用导电材料将该上布线层上面另一布线层的该跳跃通孔与沟槽的其余部分填充。

附图说明

[0008] 本发明是通过本发明例示性具体实施例的非限制性实施例,参照注记的多个图式,在以下详细说明中作说明。

[0009] 图1根据本发明的态样,除其它特征以外,还展示多种布线结构与跳跃通孔结构、及各别制造程序。

[0010] 图2根据本发明的态样,除其它特征以外,还展示填充有钴材料的跳跃通孔结构、及各别制造程序。

[0011] 图3根据本发明的态样,除其它特征以外,还展示跳跃通孔结构与正规通孔结构中的金属化、及各别制造程序。

[0012] 符号说明:

[0013] 10 结构

[0014] 12 绝缘体材料

[0015] 14 布线结构、下布线结构或下布线层

[0016] 16 覆盖层

[0017] 18 上绝缘体层或绝缘体材料

[0018] 20 布线结构或上布线结构

[0019] 22 互连结构或通孔互连结构

[0020] 24 覆盖层

[0021] 26 绝缘体层

[0022] 28 掩模材料

[0023] 30 光阻

[0024] 32a 通孔开口、通孔或跳跃通孔

[0025] 32b 通孔开口、通孔或互连通孔

[0026] 36 沟槽

[0027] 38 钴

[0028] 40 导电材料

[0029] 42 覆盖层。

具体实施方式

[0030] 本发明涉及半导体结构,且更尤指用于超(跳跃)通孔整合的金属互连结构及制造方法。更具体地说,本发明说明选择性无电式钴(Co)或镍(Ni)(或其合金)程序,其在跳跃通孔结构中由下而上生长例如钴或镍的材料。因此,通过使用选择性无电式(electroless)生

长程序,钴或镍将不会在跳跃通孔的侧壁上形成,进而确保填充无空洞不受跳跃通孔之外形与深宽比影响。按照这种方式,有助益的是,可防止因侧壁生长造成夹止所致的延展空洞、及因高深宽比通孔上物理气相沉积(PVD)晶种涵盖范围不足所造成的底端空洞,其进而使跳跃通孔的电阻率下降,并因此提升装置效能。此外,有助益的是,就习知BEOL或MOL金属化(metallization)可能无法延展的7nm及更先进装置,本文中所述的金属互连结构对后段(backend-of-the line;BEOL)及中段(middle-of-the-line;MOL)互连结构会有影响。

[0031] 本发明的金属互连结构可使用若干不同工具以若干方式来制造。不过,一般来说,该方法及工具用于形成微米及纳米级尺寸的结构。用于制造本发明的金属互连结构的方法(即技术)已由集成电路(IC)技术所采用。举例而言,此等结构建于晶圆上,并在晶圆的顶部通过光刻制程所图案化的材料膜中实现。特别的是,制造该等金属互连结构使用了三个基本建构块:(i)在衬底上沉积材料薄膜,(ii)通过光刻成像术在膜上涂敷图案化掩模,以及(iii)选择性地对掩模进行膜的蚀刻。

[0032] 图1根据本发明的态样展示一种结构及各别制造程序。在具体实施例中,图1所示的结构10举例来说,可以是BEOL或MOL结构。特别的是,结构10在晶粒(die)中包括多个布线阶,例如:M0、M1等。举例而言,结构10包括设于绝缘体材料12中的布线结构14。如所属领域技术人员应该理解的是,布线结构14是就BEOL在M0层阶处、或就中段(MOL)在CA/CB层阶处代表性表示的下布线结构;但布线结构14可设于本结构的任何下层阶处。

[0033] 在具体实施例中,绝缘体材料14是氧化物为基础的材料(SiO_2),例如层间介电材料,其可通过习知的沉积方法来沉积,例如通过化学气相沉积(chemical vapor deposition;CVD)。绝缘体材料14亦可以是超低k介电材料、掺碳绝缘体材料、或附有孔隙率的其它绝缘体材料。

[0034] 布线结构14可通过所属领域技术人员已知的习知微影、蚀刻及沉积方法来形成。举例而言,使绝缘体材料12上方形成的光阻曝露至能量(光)以形成图案(开口)。用到选择性化学作用的蚀刻程序,例如反应性离子蚀刻(reactive ion etching;RIE),将用于贯穿光阻的开口在绝缘体材料12中形成一或多个沟槽。光阻可接着通过习知的氧气灰化程序或其它已知的条化剂(stripant)来移除。光阻移除过后,可在一或多个沟槽中通过任何习知的沉积程序来沉积导电材料,例如:通过化学气相沉积(CVD)程序。布线结构14可由举例如铜、钨、钴、镍、铝、钌等任何导电材料所组成。布线结构14亦可内衬(lined)有Ti、Ta、TiN、TaN、钌、钴等。绝缘体材料12的表面上的任何残余材料14可通过习知的化学机械研磨(chemical mechanical polishing;CMP)程序来移除。

[0035] CMP程序过后,在布线结构14及绝缘体材料12上形成覆盖层16。在具体实施例中,覆盖层16可以是扩散阻挡层,例如:铜扩散阻挡层,其防止铜或其它金属化扩散至上绝缘体层18,并防止氧扩散至布线结构14。布线结构20及通孔互连结构22是在上绝缘体层18中形成。在具体实施例中,布线结构20及互连结构22可在布线结构14的该者上面的任何布线层中形成。因此,布线结构20是M1、M2等层阶处表示的上布线结构,而互连结构22是V0、V1等层阶处表示的上通孔互连结构。布线结构20及互连结构22可使用习知的微影、蚀刻及沉积程序来形成,与关于形成下布线结构14所述者类似。布线结构20及通孔互连结构22可由举例如铜、钴、镍、钨、铝、钌等任何导电材料所组成,内衬有Ti、Ta、TiN、TaN、钌、钴等。

[0036] 用以将任何残余材料从绝缘体材料18的表面移除的CMP程序过后,在布线结构20

及绝缘体材料18上形成覆盖层24。在具体实施例中,覆盖层24可以是扩散阻挡层,例如铜扩散阻挡层,如上所述,绝缘体材料18可以是如上所述的任何绝缘体材料。掩模材料28是在绝缘体材料的表面上形成,介于M1层阶上所选择布线结构20的边缘与M0层阶上的布线结构14之间。掩模材料28可以是TiN,是通过习知的沉积与蚀刻程序(例如,RIE)来沉积且图案化。光阻30是在掩模材料28及绝缘体材料18上形成,其曝露至能量(光)以分别形成与M0、M1层阶处一或多个布线结构14、22对准的图案(开口)。

[0037] 用到选择性化学作用的蚀刻程序(例如:RIE)将用于贯穿光阻的开口在绝缘体材料18及覆盖层24中形成一或多个贯穿开口32a、32b。蚀刻程序可定时终止于一深度,上布线结构20的表面通过通孔32b曝露于此深度。按照这种方式,通孔32b将会位于着落在M1层阶上的布线结构20的表面上并使其曝露的深度,而通孔32a将会着落在并曝露下布线(例如:M0层阶)层14(通过上布线层,例如M1层阶)的表面。可进行沟槽RIE以形成沟槽36,例如上层阶(例如层阶M2)上布线结构用的沟槽,然后通过习知的条化剂将光阻30移除,并通过湿式程序将掩模材料28移除。在具体实施例中,通孔32a、32b及沟槽36可通过单镶嵌或双镶嵌程序来形成。跳跃通孔32a与沟槽36的组合在深度方面可为约30nm至约150nm,且在宽度方面可为约12nm至约50nm,例如高深宽比;但其它深宽比在本文中也列入考量范围内。

[0038] 如图2所示,跳跃通孔32a是用钴(Co) 38来部分填充;而互连通孔32b可在相同程序期间用钴(Co) 38来完全填充。在具体实施例中,通孔32b亦可用钴(Co) 38来部分填充,端视沉积程序的定时条件而定。此外,举例来说,通孔32b上面的沟槽36用钴(Co) 38来部分填充;亦即,钴(Co) 38将不会过量填充沟槽,反而仅部分地填充M1层阶上的布线结构20上面的沟槽36。所属领域技术人员应了解的是,通孔32a中所形成的互连结构将会是跳跃通孔结构,电性并直接地连接至M0层阶上的布线结构14,举例来说,将M1或上面层阶中的任何连接旁通。通孔32a中的钴(Co) 38可以是正规双镶嵌互连结构,对下层阶上的布线结构14提供电性与直接连接。另一方面,通孔32b中的钴(Co) 38将会是正规单镶嵌沟槽互连结构,对下层阶上的布线结构20提供电性与直接连接。在具体实施例中,举一实施例来说,钴可用镍来取代。在进一步具体实施例中,生长材料可以是镍或钴的合金。

[0039] 在具体实施例中,钴(Co) 38通过选择性无电式生长程序在M0、M1层阶上形成,在通孔32a、32b中自底端起向上形成。更具体地说,在具体实施例中,钴(Co) 38将会在下布线层的一或多个布线结构14及上布线层上的布线结构20的已曝露金属表面上选择性生长,而且不在通孔32a、32b的绝缘体侧壁上生长,例如:钴(Co) 38将不会在形成通孔的侧壁的绝缘体材料上生长。按照这种方式,钴(Co) 38生长程序将会由下往上在跳跃通孔32a的下部分中进行完全填充,防止通孔32a内发生任何空洞形成。换句话说,选择性生长程序将会确保跳跃通孔32a的填充无空洞,不管其外形与深宽比、晶种涵盖范围、布线结构14、20任一者上的超低k(ULK)电浆诱发型损坏(PID)、或覆盖体对层间介电选择性。这样无空洞形成互连结构进而将使跳跃通孔32a的电阻率下降。所属领域技术人员亦应了解的是,钴(Co)的无电式生长程序与介电材料相容,因此无需用到阻挡层。

[0040] 如图3所示,将通孔32a及沟槽36的其余部分(就上布线结构而言)用导电材料40填充以形成双镶嵌结构,例如:互连结构及上布线结构。在具体实施例中,金属材料可以是铜、钴、镍、铝、钨、其合金等,这里仅列举多种列入考量范围内的材料。导电材料40可通过习知的沉积方法来沉积,例如:无电式、电镀、CVD及/或物理气相沉积(PVD)及/或原子层沉积

(ALD)，后面跟着习知的平坦化程序(例如：CMP)，用以将绝缘体层26上的任何残余材料移除。接着可在绝缘体层26及导电材料40上方形成覆盖层42，后面跟着习知的BEOL程序，用于上层阶建置直到焊料连接结构为止。

[0041] 本方法如以上所述，用于制造集成电路晶片。产生的集成电路晶片可由制造商以空白晶圆形式(也就是说，作为具有多个未封装晶片的单一晶圆)、当作裸晶粒、或以封装形式来配送。在后例中，晶片嵌装于单晶片封装(例如：塑胶载体，有导线粘贴至主机板或其它更高层次载体)中、或多晶片封装(例如：具有表面互连或埋置型互连任一者或两者的陶瓷载体)中。在任一例子中，该晶片接着与其它晶片、离散电路元件、及/或其它信号处理装置整合成下列的部分或任一者：(a) 诸如主机板的中间产品，或(b) 最终产品。最终产品可以是包括集成电路晶片的任何产品，范围涵盖玩具及其它低阶应用至具有显示器、键盘或其它输入装置、及中央处理器的进阶电脑产品。

[0042] 本发明的各项具体实施例的描述已为了说明目的而介绍，但用意不在于穷举或受限于所揭示的具体实施例。许多修改及变例对于所属领域技术人员将会显而易见，但不会脱离所述具体实施例的范畴及精神。本文中使用的术语是为了最佳阐释具体实施例的原理、对市场出现的技术所作的实务应用或技术改良、或让所属领域技术人员能够理解本文中所揭示的具体实施例而选择。

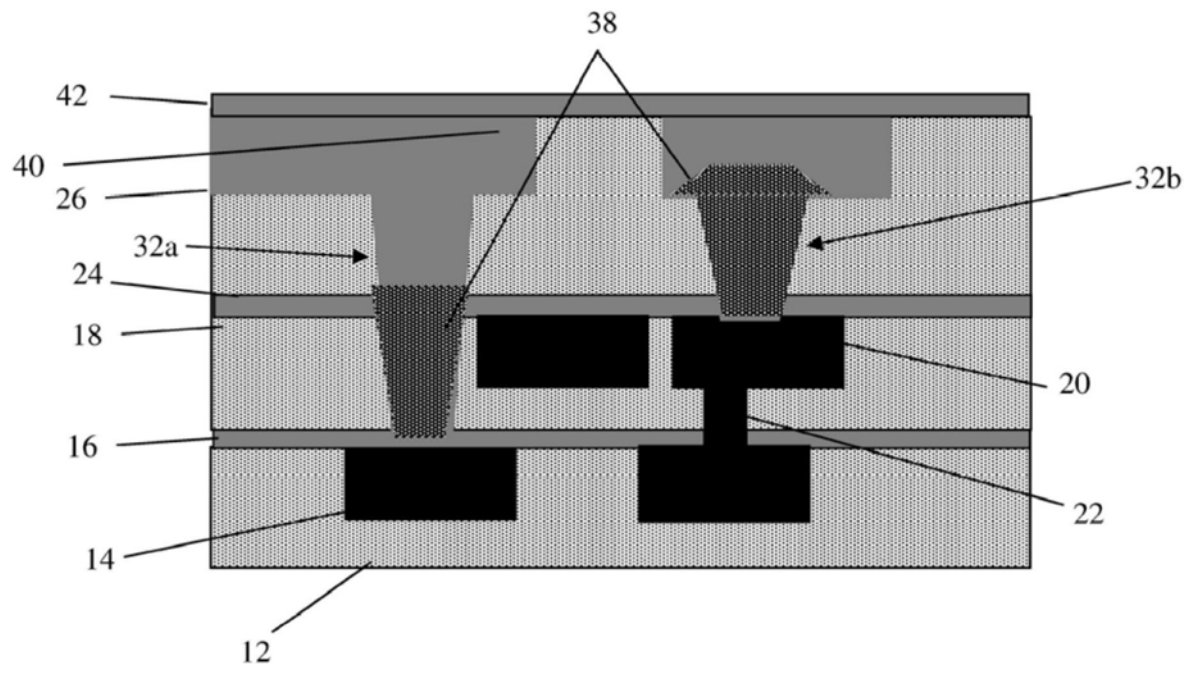


图3