



(12) 发明专利

(10) 授权公告号 CN 101197950 B

(45) 授权公告日 2010.04.21

(21) 申请号 200710196947.4

JP 2006-203437 A, 2006.08.03, 说明书

(22) 申请日 2007.12.06

[0021]-[0029], [0044]-[0059] 及图1、图3、图5.

(30) 优先权数据

审查员 郭娟

2006-331342 2006.12.08 JP

2007-105378 2007.04.13 JP

(73) 专利权人 卡西欧计算机株式会社

地址 日本国东京都

(72) 发明人 西本正辉

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 汪惠民

(51) Int. Cl.

H04N 5/335 (2006.01)

H04N 3/15 (2006.01)

(56) 对比文件

JP 平 11-215468 A, 1999.08.06, 全文.

JP 2004-120391 A, 2004.04.15, 全文.

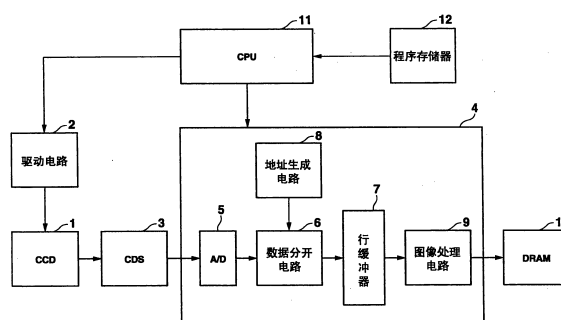
权利要求书 3 页 说明书 9 页 附图 8 页

(54) 发明名称

摄像装置及摄像方法

(57) 摘要

在所有像素读出模式下驱动时,从 CCD1 输出在各水平同步定时中与实际像素配置不同的顺序的信号电荷构成的摄像信号的期间,通过数据分开电路 (6) 将采用 A/D 变换器 (5) 依次数据化后的各像素数据每次一行量再生存储在行缓冲器 (7) 中。此时,在地址生成电路 (8) 中,对每个图像数据生成用于使行缓冲器 (7) 中的各图像数据的排列顺序为与实际像素配置相同的排列顺序的写入地址,分为按所生成的写入地址的行缓冲器 (7) 的规定的地址位置并使各图像数据存储在数据分开电路 (6) 中。



1. 一种摄像装置,具备:

固体摄像元件,其将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平行以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出;

变换单元,其将从该固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据;

存储单元,其存储通过该变换单元变换后的像素数据;

地址取得单元,其基于各像素数据所对应的所述分割行信号的输出顺序、和包括各像素数据所对应的像素的组在水平行上的组顺序,取得在将通过所述变换单元变换后的像素数据存储到所述存储单元时使用的写入地址,该写入地址用于将具有所述规定排列顺序的各个像素数据以与固体摄像元件的感光面上的排列顺序相同的排列顺序存储到所述存储单元中;和

存储控制单元,其按照通过所述地址取得单元取得的写入地址,将通过所述变换单元变换后的像素数据存储到所述存储单元中。

2. 根据权利要求1所述的摄像装置,其特征在于,

所述固体摄像元件以所述规定排列顺序按每个水平行输出所述像素的信号电荷,

所述变换单元将从所述固体摄像元件以所述规定排列顺序按每个水平行输出的像素的信号电荷依次变换为像素数据,

所述存储单元存储通过所述变换单元变换后的一水平行量的像素数据,

所述地址取得单元取得通过所述变换单元变换后的一水平行量的像素数据的所述写入地址。

3. 根据权利要求2所述的摄像装置,其特征在于,

所述地址取得单元包括:

偏移位置存储单元,其存储偏移数据,该偏移数据表示与任意的所述输出顺序和任意的所述组顺序这双方对应的规定的偏移位置、即各像素数据所对应的各像素在组内的位置;

第一计数单元,其对所述输出顺序进行计数;

第二计数单元,其以规定的组数为单位对所述组顺序进行反复计数;

基地址生成单元,其生成基地址,该基地址成为各像素数据的写入地址的基准,且与所述第二计数单元所进行的组顺序的计数的反复次数对应;和

加法单元,其将偏移位置、由所述基地址生成单元生成的基地址、和包括各像素数据所对应的像素的组的起始像素在水平行内的位置即组起始位置相加,所述偏移位置是所述偏移位置存储单元中存储的偏移数据所表示的位置,与由所述第一计数单元计数的输出顺序以及由所述第二计数单元计数的组顺序对应;

所述存储控制单元按照由所述地址取得单元的加法单元取得的相加结果即写入地址,将通过所述变换单元变换后的像素数据存储到所述存储单元中。

4. 根据权利要求1所述的摄像装置,其特征在于,

具备:

驱动模式设定单元,其将用于对多个像素的信号电荷以相加后的状态读出的像素相加

模式、和用于对所有像素的信号电荷在未进行相加的情况下读出的所有像素读出模式中的任一模式,设定为所述固体摄像元件的驱动模式;和

驱动模式判定单元,其判定由该驱动模式设定单元设定的固体摄像元件的驱动模式;

所述地址取得单元在通过所述驱动模式判定单元判定固体摄像元件的驱动模式是所有像素读出模式时,取得在将通过所述变换单元变换后的像素数据存储到所述存储单元时使用的写入地址,该写入地址用于将具有所述规定排列顺序的各个像素数据以与固体摄像元件的感光面上的排列顺序相同的排列顺序存储到所述存储单元中。

5. 根据权利要求4所述的摄像装置,其特征在于,

所述地址取得单元在通过所述驱动模式判定单元判定固体摄像元件的驱动模式是像素相加模式时,取得在将通过所述变换单元变换后的像素数据存储到所述存储单元时使用的写入地址,该写入地址用于使各个像素数据按照通过所述变换单元变换后的顺序存储到所述存储单元中。

6. 根据权利要求4所述的摄像装置,其特征在于,

具备摄影模式设定单元,其设定静止图像摄影模式作为摄影模式,

所述驱动模式设定单元在通过所述摄影模式设定单元设定了静止图像摄影模式、并且该静止图像摄影模式不是高灵敏度静止图像摄影模式而是通常静止图像摄影模式时,将固体摄像元件的驱动模式设定为所述所有像素读出模式。

7. 根据权利要求4所述的摄像装置,其特征在于,

具备摄影模式设定单元,其设定运动图像摄影模式或高灵敏度静止图像摄影模式中的至少任一方作为摄影模式,

所述驱动模式设定单元在通过所述摄影模式设定单元设定为运动图像摄影模式或高灵敏度静止图像摄影模式中的至少任一方时,将固体摄像元件的驱动模式设定为所述像素相加模式。

8. 一种摄像装置,具备:

固体摄像元件,其将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平行以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出;

变换单元,其将从该固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据;

存储单元,其存储通过该变换单元变换后的像素数据;

地址取得单元,其取得读出地址,该读出地址用于将该存储单元中存储的具有所述规定排列顺序的各像素数据以固体摄像元件的感光面上的排列顺序读出;和

读出单元,其从所述存储单元按顺序读出通过该地址取得单元取得的读出地址中存储的像素数据。

9. 一种摄像方法,是具备固体摄像元件的摄像装置的摄像方法,该固体摄像元件将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平行以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出,

该摄像方法包括:

将从所述固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据的步骤；

基于各像素数据所对应的所述分割行信号的输出顺序、和包括各像素数据所对应的像素的组在水平行上的组顺序，取得针对变换后的像素数据的写入地址的步骤，该写入地址用于将具有所述规定排列顺序的各个像素数据以与固体摄像元件的感光面上的排列顺序相同的排列顺序存储；和

按照所取得的写入地址将变换后的像素数据存储到存储单元中的步骤。

10. 一种摄像方法，是具备固体摄像元件的摄像装置的摄像方法，该固体摄像元件将由光电变换元件构成的像素二维排列，并且将这些像素的信号电荷按水平行以规定数目为单位分组化，将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出，

该摄像方法包括：

将从所述固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据的步骤；

将变换后的像素数据存储到存储单元中的步骤；

取得读出地址的步骤，该读出地址用于将所述存储单元中存储的具有所述规定排列顺序的各像素数据以固体摄像元件的感光面上的排列顺序读出；和

从所述存储单元读出存储在所取得的读出地址的像素数据的步骤。

摄像装置及摄像方法

技术领域

[0001] 本发明涉及能够用于数码相机的摄像装置以及摄像方法,该数码相机具备以与感光面上的像素的排列顺序不同的规定排列顺序输出一水平行量的信号电荷的固体摄像元件。

背景技术

[0002] 以往,在数码相机等的摄像装置中多采用 CCD 作为摄像元件。在相关的 CCD 中,通常逐行向水平传送路径垂直传送以像素排列顺序排列的同一行像素的电荷信号,采用一个水平同步信号进行扫描,通过反复进行上述动作,在维持像素排列顺序的状态下输出所有像素的信息。

[0003] 此外,作为从 CCD 读出摄像信号的技术,公知有:例如以缩短在运动图像摄影时从 CCD 输出后的摄像信号的处理时间为目的,在 CCD 内将垂直方向上邻接的配置有同色滤色器的多个像素的信号电荷相加(混合)并读出的方法、以及能够采用该方法的 CCD(参照例如日本公开专利公报特开平 9-19792 号公报)。

[0004] 然而,在近年中,能高速进行基于像素相加后读出的像素数据的一系列处理,因此考虑具有下述特定构造的 CCD,即以维持感光面的水平行上的实际排列顺序的状态进行扫描的方式驱动在 CCD 内部被相加的同一水平行上的各像素的信号电荷的特定构造。

[0005] 但是,上述特定构造的 CCD 中,在不相加所有像素的信号电荷而读出的情况下,需要分为多次水平同步定时扫描同一水平行上的各像素的信号电荷,其结果,从 CCD 输出的一水平行量的摄像信号,由与实际的像素配置不同的排列顺序的信号电荷构成,存在对所读出的摄像信号进行各种图像处理时的数据处理变得复杂化的问题。

发明内容

[0006] 本发明正是为了解决上述现有技术而提出的,其目的在于即使在采用以与感光面上的像素的排列顺序不同的规定排列顺序输出一水平行量的信号电荷的固体摄像元件的情况下,也能高效地进行针对摄像信号的各种图像处理的摄像装置以及摄像方法。

[0007] 本发明的一个技术方案的摄像装置构成为,具备:固体摄像元件,其将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平行以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出;变换单元,其将从该固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据;存储单元,其存储通过该变换单元变换后的像素数据;地址取得单元,其基于各像素数据所对应的所述分割行信号的输出顺序、和包括各像素数据所对应的像素的组在水平行上的组顺序,取得在将通过所述变换单元变换后的像素数据存储到所述存储单元时使用的写入地址,该写入地址用于将具有所述规定排列顺序的各个像素数据以与固体摄像元件的感光面上的排列顺序相同的排列顺序存储到所述存储单元中;和存储控制单元,其按照通过所述地址取得单元取得的写入地址,将通过所述变换单元变换后的像

素数据存储到所述存储单元中。

[0008] 此外,另一技术方案的摄像装置构成为,具备:固体摄像元件,其将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出;变换单元,其将从该固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据;存储单元,其存储通过该变换单元变换后的像素数据;地址取得单元,其取得读出地址,该读出地址用于将该存储单元中存储的具有所述规定排列顺序的各像素数据以固体摄像元件的感光面上的排列顺序读出;和读出单元,其从所述存储单元按顺序读出通过该地址取得单元取得的读出地址中存储的像素数据。

[0009] 此外,另一技术方案提供一种摄像方法,是具备固体摄像元件的摄像装置的摄像方法,该固体摄像元件将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出,该摄像方法包括:将从所述固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据的步骤;基于各像素数据所对应的所述分割行信号的输出顺序、和包括各像素数据所对应的像素的组在水平上的组顺序,取得针对变换后的像素数据的写入地址的步骤,该写入地址用于将具有所述规定排列顺序的各个像素数据以与固体摄像元件的感光面上的排列顺序相同的排列顺序存储;和按照所取得的写入地址将变换后的像素数据存储到存储单元中的步骤。

[0010] 此外,另一技术方案提供一种摄像方法,是具备固体摄像元件的摄像装置的摄像方法,该固体摄像元件将由光电变换元件构成的像素二维排列,并且将这些像素的信号电荷按水平以规定数目为单位分组化,将以所述规定数目为单位的各组中的信号电荷以分割为多次的分割行信号的规定排列顺序输出,该摄像方法包括:将从所述固体摄像元件以所述规定排列顺序输出的像素的信号电荷依次变换为像素数据的步骤;将变换后的像素数据存储到存储单元中的步骤;取得读出地址的步骤,该读出地址用于将所述存储单元中存储的具有所述规定排列顺序的各像素数据以固体摄像元件的感光面上的排列顺序读出;和从所述存储单元读出存储在所取得的读出地址的像素数据的步骤。

附图说明

[0011] 图 1 是表示本发明相关的数码相机的主要部分的模块图。

[0012] 图 2 为表示地址生成电路的详细结构的模块图。

[0013] 图 3 为保持于偏移位置寄存器的偏移数据的示意图。

[0014] 图 4 为表示地址生成电路的动作的时序图。

[0015] 图 5A ~ 图 5D 为表示行缓冲器 7 中的像素数据的存储状态的变化示意图。

[0016] 图 6A、图 6B 为表示所有像素读出模式下的 CCD 的动作内容的示意图。

[0017] 图 7 为表示电源接通后的 CPU 的处理步骤的流程图。

[0018] 图 8 为表示本发明的其他实施方式相关的数码相机的主要部分的模块图。

具体实施方式

[0019] 以下,根据附图对本发明的一实施方式进行说明。

[0020] 本实施方式涉及数码相机,该数码相机作为基本动作模式具有摄影用的记录模式和再生记录图像的再生模式,作为记录模式的下位模式具有用于摄影静止图像的静止图像摄影模式和用于摄影运动图像的运动图像摄影模式,进而作为静止图像摄影模式的下位模式具有通常摄影模式和高灵敏度摄影模式这两种模式。

[0021] 在此,静止图像摄影模式中的通常摄影模式为一般的摄影状况下使用的通用性高的摄影模式。此外,高灵敏度摄影模式为进行基于像素相加的高灵敏度摄影的摄影模式,以确保摄影暗的被摄体时的曝光和防止手抖动、防止拍摄运动速度快的被摄体摇摆等为目的的摄影模式。另外,具有如下结构:通常摄影模式和高灵敏度摄影模式能够通过用户手动来选择,并且关于高灵敏度摄影模式按照摄影状况自动地设定。

[0022] 图 1 为表示本实施方式的数码相机的主要部分的模块图。数码相机包括前面说明的具有特定构造的固体摄像元件即 CCD1、和用于驱动该 CCD1 的驱动电路 2。CCD1 作为摄像信号的读出模式(驱动模式)具有:用于在内部相加并读出在垂直以及水平方向上邻接的多个像素($n \times m$ 像素)的信号电荷的像素相加模式、和直接读出所有像素的信号电荷的所有像素读出模式。而且,CCD1 根据 CPU11 的控制,基于从驱动电路 2 供给的与读出模式对应的驱动信号而被驱动,通过未图示的光学系统对在受光面上成像的被摄体的光像进行光电变换而作为摄像信号输出。

[0023] CCD1 的输出在通过 CDS(Correlated Double Sampling:相关二重采样电路)3 除去噪声后,被输出到信号处理部 4,通过信号处理部 4 内的 A/D 变换器 5(变换单元)变换为像素数据后,变换后的像素数据通过数据分开电路 6 被暂时保存在行缓冲器 7 中。行缓冲器 7 为本发明的存储单元,行缓冲器 7 中确保有与 CCD1 的一行量的像素数据对应的存储容量。

[0024] 上述数据分开电路 6 为本发明的存储控制单元,在驱动 CCD1 时,按照从本发明的地址取得单元即地址生成电路 8 送出的写入地址,将从 A/D 变换器 5 输入的像素数据存储在行缓冲器 7 的规定的地址位置。

[0025] 存储在行缓冲器 7 中的像素数据被顺次送到图像处理电路 9,在图像处理电路 9 中,在每次规定行数目的像素数据齐备时实施插补每个像素的颜色信息的插补处理或 YUV 变换等的图像处理,依次被存储在 DRAM10 中。

[0026] 上述的各模块通过控制数码相机整体的 CPU11 被控制,CPU11 在各模块的控制时所必要的程序、例如与被摄体的明亮度对应的 CCD1 的电荷蓄积时间(曝光时间)的调整所引起的 AE 控制用的程序、各种控制动作所必需的各种数据被存储在 EEPROM 或闪存等的可重写的非易失性存储器即程序存储器 12 中。另外,程序存储器 12 中,存储有用于使 CPU11 作为本发明的驱动模式单元以及驱动模式判定单元发挥功能的程序。

[0027] 另外,虽然在图 1 中省略了图示,但数码相机设置有:用户用于操作数码相机的按键类、显示记录图像并且在摄影待机状态下显示直通(through)图像而作为电子取景器发挥作用的液晶监视器、用于记录所摄影的静止图像或运动图像的规定的图像存储器等。

[0028] 另一方面,上述 CCD1 具有已述的特定构造,在通过像素相加模式进行驱动时,以一次的水平同步定时输出在 CCD1 内部相加后的同一水平线上的各像素的信号电荷,并且在所有像素读出模式所进行的驱动时,将同一行上的各像素的信号电荷分割为以多次的水平同步定时作为一个周期分别输出的多次的分割行信号并输出。

[0029] 因此,在以像素相加模式驱动时,相加后的各像素的信号电荷,按照与 CCD1 的感光面上的像素的排列顺序对应的顺序从 CCD1 输出,但在以所有像素读出模式被驱动时,如图 6A 及图 6B 所示那样输出没有被相加的所有像素的信号电荷。图 6A 为了便于说明,设 CCD1 的像素数为垂直 n 像素、水平 16 像素,表示同一行中的各像素的位置和通过各次的水平同步定时输出的各像素的信号电荷之间的关系,图 6B 为表示同一行中的各像素的信号电荷的输出顺序的图。

[0030] 如图 6A 所示,CCD1 的所有像素的信号电荷分为在每一行以 4 个水平同步定时为一个周期的分割行信号并被输出。此时,同一行的各像素的信号电荷,以与分割次数(4 次)对应的数目的每 4 像素的像素组为单位,只将每位于各像素组的规定位置的像素的电荷作为分割行信号依次输出。也即 CCD1 在所有像素读出模式下的驱动时,如图 6B 所示,在各水平同步定时中,输出与 CCD1 的感光面上的像素的排列顺序不同的规定排列顺序的信号电荷所构成的摄像信号。另外,实际上,CCD1 的水平像素数目为 16 以上,因此像素组数目也为与此对应的数目(水平像素数/4),一个分割行信号由与像素组数目相同的像素数的信号电荷构成。

[0031] 而且,上述的地址生成电路 8 用于生成水平行分割用写入地址和通常写入地址,上述水平行分割用写入地址用于使如上所述那样分为 4 个分割行信号依次从 CCD1 输出并且以与实际的像素配置不同的顺序被数字化的一行量的像素数据,如图 5D 所示那样在上述数据分开电路 6 中以实际的像素的排列顺序重新排列的状态存储到行缓冲器 7 内,上述通常写入地址用于使以像素相加模式驱动时在一次的水平同步定时从 CCD1 输出、并且按照与 CCD1 的感光面的空间的像素的配置对应的顺序被数字化的一行量的相加后的像素数据,在仍维持从 CCD1 向上述数据分开电路 6 输出的顺序的状态下存储到行缓冲器 7 内。上述地址生成电路 8 具有下述结构。

[0032] 图 2 为表示上述地址生成电路 8 的详细模块图。地址生成电路 8 包括行分割数寄存器 81、偏移位置寄存器 82、像素组计数器 83、行计数器 84、基地址生成电路 85、偏移位置选择电路 86、第一乘法器 87、第二乘法器 88、加法器 89、像素计数器 90、像素相加模式寄存器 91、行缓冲器写入地址选择电路 92。

[0033] 行分割数寄存器 81 是保持行分割数(“4”)的寄存器,该行分割数是用于表示 CCD1 中的一行量的像素数据以几次水平同步定时输出的参数,该值通过 CPU11 设定。另外,行分割数被存储在上述程序存储器 12 中。

[0034] 像素组计数器 83 是用于判断通过 A/D 变换器 5 被数字化的像素数据属于各个像素组中的哪一组(第几组)的像素数据的计数器(本发明的第 2 计数单元)。像素组计数器 83 在按照基准时钟每次输入像素数据时增加计数值,并且该计数值为与像素组的构成像素数(在此为 4 像素)对应的“0”~“3”,在计数值达到“3”时,下一个计数值返回到“0”,反复增加。

[0035] 另外,由于 CCD1 的实际的水平像素数为 16 像素以上,因此通过 A/D 变换器 5 被数字化的像素数据为图 6A 中所没有表示的第 5 行、第 9 行、第 13 行...时,像素组计数器 83 的计数值也为“0”。

[0036] 行计数器 84 是用于确定这一次读出为一循环中的哪一个分割行(图 6A、图 6B 中为第 n 行)的计数器(本发明的第 1 计数器单元)。行计数器 84 在按照基准时钟每当输

入了 1 分割行量的像素数据时增加计数值,并且该计数值与上述像素组计数器 83 同样为“0”~“3”,在计数值达到“3”时,下一个计数值返回到“0”而反复增加。

[0037] 偏移位置寄存器 82 是保持用于得知所输入的像素数据为上述各个像素组的哪一个位置的像素的数据的偏移数据 100 的寄存器(本发明的偏移位置存储单元)。偏移数据 100 如图 3 所示,为表示与上述像素组计数器 83 的值(像素组计数值)和上述行计数器 84 的值(行计数值)对应的偏移位置的表格数据,被存储在上述程序存储器 12 中,并且通过 CPU11 被设定。

[0038] 基地址生成电路 85 是生成成为写入地址的基准的基地址的本发明的基地址生成单元,是在每次上述像素组计数器 83 的计数值复位为“0”时,从第一乘法器 87 输出的上述行分割数寄存器 81 中设定的行分割数(“4”)的二次方值,以相当于像素组的像素数(“4”)×1 周期的行分割数(“4”)的值(“16”)为单位增加自己所保持的基地址值,并将其输出。

[0039] 偏移位置选择电路 86 从被保持在上述偏移位置寄存器 82 中的偏移数据,选择与上述行计数值和上述像素组计数值对应的偏移位置。

[0040] 第二乘法器 88 将保持在上述行分割数寄存器 81 中的行分割数(“4”)与上述像素组计数器 83 的计数值(“0”~“3”)相乘,算出所输入的像素数据的像素所属的像素组的起始位置(图 6A 中各像素组的左端的像素位置)。

[0041] 加法器 89 是本发明的加法单元,通过将由上述的基地址生成电路 85 所生成的基地址、由第 2 乘法器 88 算出的像素组的起始位置和由偏移位置选择电路 86 所选择的偏移位置相加,生成被数字化的像素数据的写入地址、即 CCD1 以所有像素读出模式驱动时所使用的上述水平行分割用写入地址 a,向行缓冲器写入地址选择电路 92 输出。

[0042] 另一方面,像素计数器 90 是每次像素数据按照基准时钟输入到信号处理部 4 时增加计数值的单纯的计数器,在生成与从加法器 89 输出的水平行分割用写入地址 a 不同的、CCD1 以像素相加模式驱动时使用的上述通常写入地址 b 后,输出到行缓冲器写入地址选择电路 92。像素相加模式寄存器 91 是存储表示当前设定的 CCD1 的驱动模式的种类的值的寄存器,该值通过 CPU11 被适当改写。

[0043] 行缓冲器写入地址选择电路 92 是按照通过上述像素相加模式寄存器 91 中存储的值所表示的 CCD1 的驱动模式的种类,选择向上述数据分开电路 6 输出的写入地址的电路,按照上述驱动模式是所有像素读出模式期间则输出从加法器 89 输出的水平行分割用写入地址 a,是像素相加模式期间则输出从像素计数器 90 输出的通常的写入地址 b 的方式工作。

[0044] 图 4 是表示 CCD1 在所有像素读出模式下被驱动期间,读出图 6A 所示的 CCD1 的一行量(在此为 16 像素)的像素数据时的地址生成电路 8 的各部分的动作、以及此时在地址生成电路 8 的内部生成的水平行分割用写入地址和通常写入地址的时序图。

[0045] 如图所示,在以基准定时输入像素数据的期间,在每次分割行变化(在此每次像素数据输入 4 像素)时行寄存器 84 的值反复在“0”~“3”变化。另一方面,在各分割行的读出期间中,在每次输入像素数据时,像素组计数器 83 的值反复在“0”~“3”变化,并且由第二乘法器 88 算出的像素组的起始位置反复在“0”、“4”、“8”、“12”变化。此外,关于从上述基地址生成电路 85 输出的基地址,由于在此由各分割行读出的图像数为 4 像素(1 组量),因此始终为“0”。另外,实际上由各分割行读出的图像数为 4 像素以上,因此在同一分

割行的读出期间内,在上述像素组计数器 83 的计数值被复位为“0”时,基地址变化为“0”、“16”、“32” …。

[0046] 此外,在开始读出时,首先在分割行的第一行的像素 R1、G4、G5、G8 的数据的读出期间 a 中,在每次像素数据被数字化时,通过偏移位置选择电路 86 所选择的偏移位置按“0”、“3”、“0”、“3”的顺序变化,从而通过加法器 89 生成的水平行分割用写入地址 a(『基地址』+『像素组的起始位置』+『偏移位置』)按“0”、“7”、“8”、“15”的顺序变化。

[0047] 此外,在第一行的像素 R2、G3、R6、G7 的数据的读出期间 b 中,上述偏移位置按照“2”、“1”、“2”、“1”的顺序变化,从而水平行分割用写入地址 a 按“2”、“5”、“10”、“13”的顺序变化。以后,水平行分割用写入地址 a,在第 3 行的像素的数据的读出期间 c 中变化为“1”、“6”、“9”、“14”,在第 4 行的像素的数据的读出期间 d 中变化为“3”、“4”、“11”、“12”。

[0048] 另一方面,与上述并行,在所有读出期间 a ~ d 中,像素计数器 90 通过像素数据每次输入到信号处理部 4 时反复进行单纯的增加,通常写入地址 b 变化为“1”、“2”、“3”、“4”,但如上所述,在所有像素读出模式中,通过行缓冲器写入地址选择电路 92 选择水平行分割用写入地址 a,因此从地址生成电路 8 将水平行分割用写入地址 a 作为最终的写入地址输出到上述数据分开电路 6。

[0049] 图 5A 以及图 5B 为表示其间的行缓冲器 7 中的像素数据的存储状态的变化的迁移图,图 5A 为第 1 行的读出期间 a 的结束时刻的状态,图 5B ~ 图 5D 为从第 2 行的读出期间 b 到第 4 行的读出期间 d 的各结束时刻的状态。

[0050] 也即,如图 6A 以及图 6B 所示,在所有像素读出模式中,从上述 CCD1 输出的摄像信号,即使为以与实际的像素配置不同的顺序生成的摄像信号,也能在将其依次变换为像素数据的期间,对一行量的每一个像素数据在与实际的像素配置相同的顺序重新排列各图像数据的状态下依次存储到行缓冲器 7。

[0051] 因此,在上述图像处理电路 9 中,能够通过行缓冲器 7 依次输入构成原始数据(Bayer data)的每行的摄像数据,在所有像素读出模式中也能高效地进行插补处理或 YUV 变换等的图像处理。

[0052] 接下来,按照图 7 的流程图,对在以上的数码相机中电源接通后 CPU11 执行的处理步骤进行说明。

[0053] CPU11 在数码相机的电源接通的同时开始动作,之后确认当前的动作模式(基本动作模式)(步骤 S1)。另外,电源刚刚接通之后的动作模式例如是预先决定的动作模式,或者是独立设定有记录模式设定用和再生模式设定用的键、且在上述模式是具有电源接通功能的结构的情况下还与电源接通操作中所使用的键对应的动作模式。

[0054] 之后,在动作模式为再生模式的情况下(步骤 S1 中“再生”),向显示所记录的任意图像的处理转移(步骤 S2)。此外,在动作模式为记录模式的情况下(在步骤 S1 为“记录”),分别开始基于像素相加模式的 CCD1 的驱动、上述的地址生成电路 8 中的通常写入地址的生成(输出)以及直通图像显示(步骤 S3 ~ S5)。

[0055] 之后,在直通图像的显示中即摄影待机状态下,通过按下录像按钮指示开始运动图像的记录(步骤 S6 中为“是”),分别开始在基于运动图像记录时的帧速率而进行的像素相加模式下的 CCD1 的驱动(步骤 S7)、基于地址生成电路 8 生成的通常写入地址的生成(步骤 S8)。由此,以每行按照保持从 CCD1 的输出顺序的状态将在 CCD1 的内部相加后的各

像素的信号电荷的数据保存在行缓冲器 7 中。而且,通过行缓冲器 7 按每行被发送到图像处理电路 9,在此实施规定的图像处理之后,将基于被保存在 DRAM10 中的图像数据的帧图像记录在规定的图像存储器中(步骤 S9),并且进行基于上述图像数据的直通图像的显示(步骤 S10)。

[0056] 以后,在录像结束之前,例如再次按下录像按钮之前,或经过规定的全部录像时间之前,或在规定的图像存储器的空余容量用尽之前反复进行步骤 S7 ~ 步骤 S10 的处理(步骤 S11 否)。之后,如果录像结束(步骤 S11 是),则返回到步骤 S3 而进行摄影指示等待。

[0057] 此外,在摄影待机状态下,在为通过按下快门键的静止图像的摄影指示时(步骤 S12 是),首先确认是否设定高灵敏度摄影模式作为该时刻的静止图像摄影模式(步骤 S13)。在此,高灵敏度摄影模式如上所述那样,通过用户所进行的模式选择由手动设定,或者按照摄影状况通过 CPU11 自动地被设定。

[0058] 另外,虽然未图示,但高灵敏度摄影模式的自动设定,基于在处于被设定为通常摄影模式的状态时之前所显示的直通图像的亮度信息进行。例如,被摄体的明亮度非常暗且通过 AE 控制不能得到适当的曝光的情况、或通过 AE 控制所引起的曝光时间比规定时间长,担心手抖动或被摄体摇摆的情况下,被自动地设定。

[0059] 而且,在静止图像摄影模式为高灵敏度摄影模式的情况下(步骤 S13 中是),面向记录用静止图像的取得而以像素相加模式驱动 CCD1(步骤 S14),使地址生成电路 8 生成通常写入地址(步骤 S15)。由此,按照在每行保持从 CCD1 的输出顺序的状态将在 CCD1 的内部相加的各像素的信号电荷的数据保存在行缓冲器 7 中。之后,通过行缓冲器 7 按每行送到图像处理电路 9,在此实施规定的图像处理之后,将基于保存在 DRAM10 中的图像数据的静止图像记录在规定的图像存储器中(步骤 S16)。之后,返回到步骤 S3,进行摄影指示等待。

[0060] 此外,在静止图像摄影模式不是高灵敏度摄影模式而是通常摄影模式的情况下(步骤 S13 否),面向记录用静止图像的取得而以所有像素读出模式驱动 CCD1(步骤 S17),使地址生成电路 8 生成水平行分割用写入地址(步骤 S18)。由此,按照在每行具有与感光面上的实际的像素配置对应的顺序的方式,将 CCD1 的所有像素的信号电荷的数据保存在行缓冲器 7 中。之后,通过行缓冲器 7 按每行送给图像处理电路 9,在此实施规定的图像处理之后,将基于保存在 DRAM10 中的图像数据的静止图像记录在规定的图像存储器中(步骤 S19)。之后,返回到步骤 S3,进行摄影指示等待。

[0061] 在此,在以上说明的本实施方式中,CCD1 以所有像素读出模式驱动时,将 4 次的水平同步定时作为一个周期来输出一行中的像素的信号电荷,此时对以 4 像素作为一个像素组进行处理的方式进行了说明,虽然分割行数和像素组的像素数一致,但在采用该数目不同的方式的其他 CCD 的情况下,如果如下述那样变更上述的地址生成电路 8 的结构,则能够与其对应。

[0062] 即,分别变更在行分割数寄存器 81 以及偏移位置寄存器 82 中设定的参数即行分割数以及偏移数据 100 的值,并且变更像素组计数器 83 以及行计数器 84 的最大计数值即可。也即能够不变更基本结构,而通过微小的变更也能与其他 CCD 容易对应。

[0063] 此外,关于地址生成电路 8 的具体结构,并不限于图 2 所示的结构,如上所述,如果能够在对从 CCD1 输出的摄像信号依次进行像素数据的变换期间,按每一行量的像素数

据,在以与实际的像素配置相同的顺序重新排列的状态下将上述信号依次保存在行缓冲器 7 中,则变更为其他的结构也没有关系。

[0064] 在此,对本发明的其他实施方式进行说明。在上述的实施方式中,对下述情况进行了说明,即在以所有像素读出模式驱动时,将从 CCD1 输出的摄像信号依次变换为像素数据的期间所变换的一行量的像素数据,以与实际的像素配置相同的顺序重新排列的状态下,将其存储在行缓冲器 7 中,但也可与其不同而如下所述。即,也可按照变换的顺序将一行量的像素数据暂时存储在行缓冲器 7 中,并且在一行量的像素数据齐备的时刻,以与实际的像素配置相同的顺序(排列顺序)读出一行量的像素数据,也即一边在与读出同时进行重新排列,一边输入到图像处理电路 9。关于其他的实施方式,即使在所有像素读出模式中,从上述 CCD1 输出的摄像信号为根据以与实际的像素配置不同的顺序的信号电荷生成的摄像信号,也能在所有像素读出模式中高效地进行插补处理或 YUV 变换等的图像处理。

[0065] 关于此时的具体的结构,例如图 8 所示,废止上述的数据分开电路 6(图 1),并且在行缓冲器 7 和图像处理电路 9 之间,设置有助于在行缓冲器 7 中存储有一行量的像素数据的时刻,从行缓冲器 7 选择地读出存储在规定的地址位置的像素数据的读出电路(读出单元)13。进而,也可设置包括第 1 读出地址生成电路 14、第 2 读出地址生成电路 15 和读出地址选择电路 16 的其他地址生成电路,来代替上述地址生成电路 8,其中上述第 1 读出地址生成电路 14,依次生成用于以与实际的像素配置相同的顺序(排列顺序)读出暂时存储在行缓冲器 7 的一行量的像素数据的水平分割用读出地址,上述第 2 读出地址生成电路 15,依次生成用于以保持原状的顺序读出暂时存储在行缓冲器 7 中的一行量的像素数据的通常读出地址,上述读出地址选择电路 16 用于选择性地分别向上述读出电路供给地址,在 CCD1 的驱动模式为所有像素读出模式的期间供给上述第 1 读出地址生成电路 14 生成的水平分割用读出地址,在 CCD1 的驱动模式为像素相加模式的期间供给上述第 2 读出地址生成电路 15 生成的通常读出地址。

[0066] 此时,上述其他地址生成电路可以为任意的结构,但应依次供给到上述读出电路的读出地址对所有的行来说都是相同的,此外,上述水平分割用读出地址成为:各个的前后关系以 4 像素组为一个周期并以同一模式变化,而且按每一周期每次增加“16”的地址。因此,作为上述第 1 读出地址生成电路具有下述结构,即包括:例如预先依次将 16 像素量的基本的基本读出地址存储的寄存器;依次读出基本读出地址的电路;生成在每次读出像素数达到 16 像素时每次增加“16”的基地址(“0”、“16”、“32”、…)的电路;和将上述基本读出地址和上述基地址相加的电路等,将基本读出地址和基地址之间的相加结果生成为上述水平分割用读出地址的结构。

[0067] 此外,在以上的说明中,对采用专用的电路生成向上述数据分开电路 6 供给的写入地址、或向读出电路供给的读出地址的情况进行了描述,但也可进行在上述 CUP11 等中生成或取得写入地址或读出地址,将上述地址供给到数据分开电路 6 或读出电路的动作。

[0068] 此外,在本实施方式中,如上所述,对下述情况的数码相机进行了说明,即例如在被摄体的明亮度非常暗且通过 AE 控制不能得到适当的曝光的情况,或 AE 控制所得到的曝光时间比规定时间长且担心手抖动或被摄体摇摆的情况下,自动地设定高灵敏度摄影模式作为静止图像摄影模式的数码相机,但在数码相机具有陀螺传感器等的手抖动检查用的任意传感器的情况下,也可具有例如在按下快门键的时刻通过上述传感器判断是否检测到手

抖动,在检测出手抖动时,自动地将静止图像摄影模式设定为高灵敏度摄影模式的结构。

[0069] 此外,在以上的说明中,对将本发明适用于数码相机的情况进行了说明,但如果具备 CCD 等,该 CCD 具有将所有像素的信号电荷在每水平行作为多次的分割行信号(将多次的水平同步定时作为一个周期)输出的特定构造,则本发明也可使用于数码摄像机、带照相机的携带电话终端、带照相机的 PDA 等的其他的摄像装置。

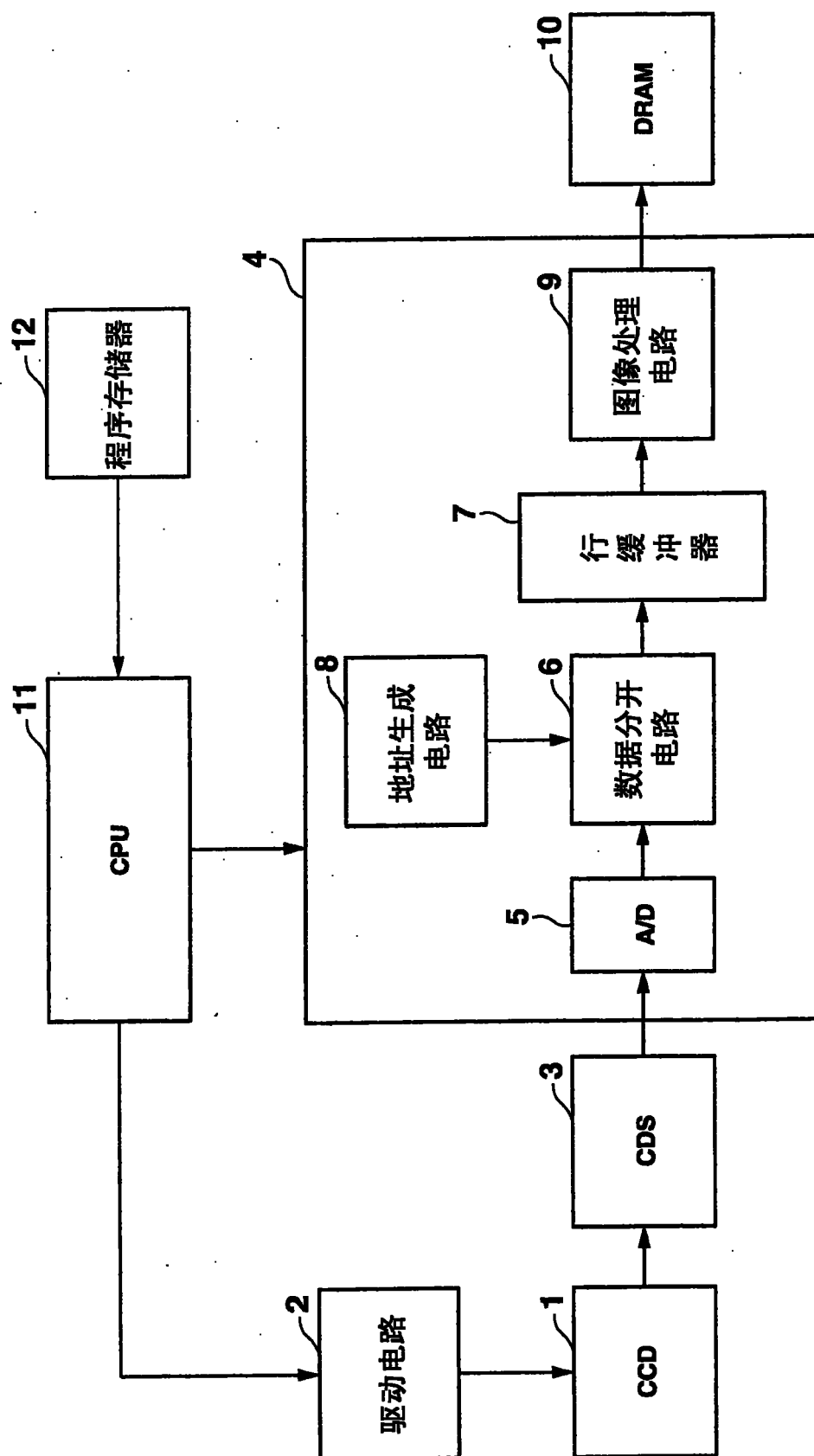


图 1

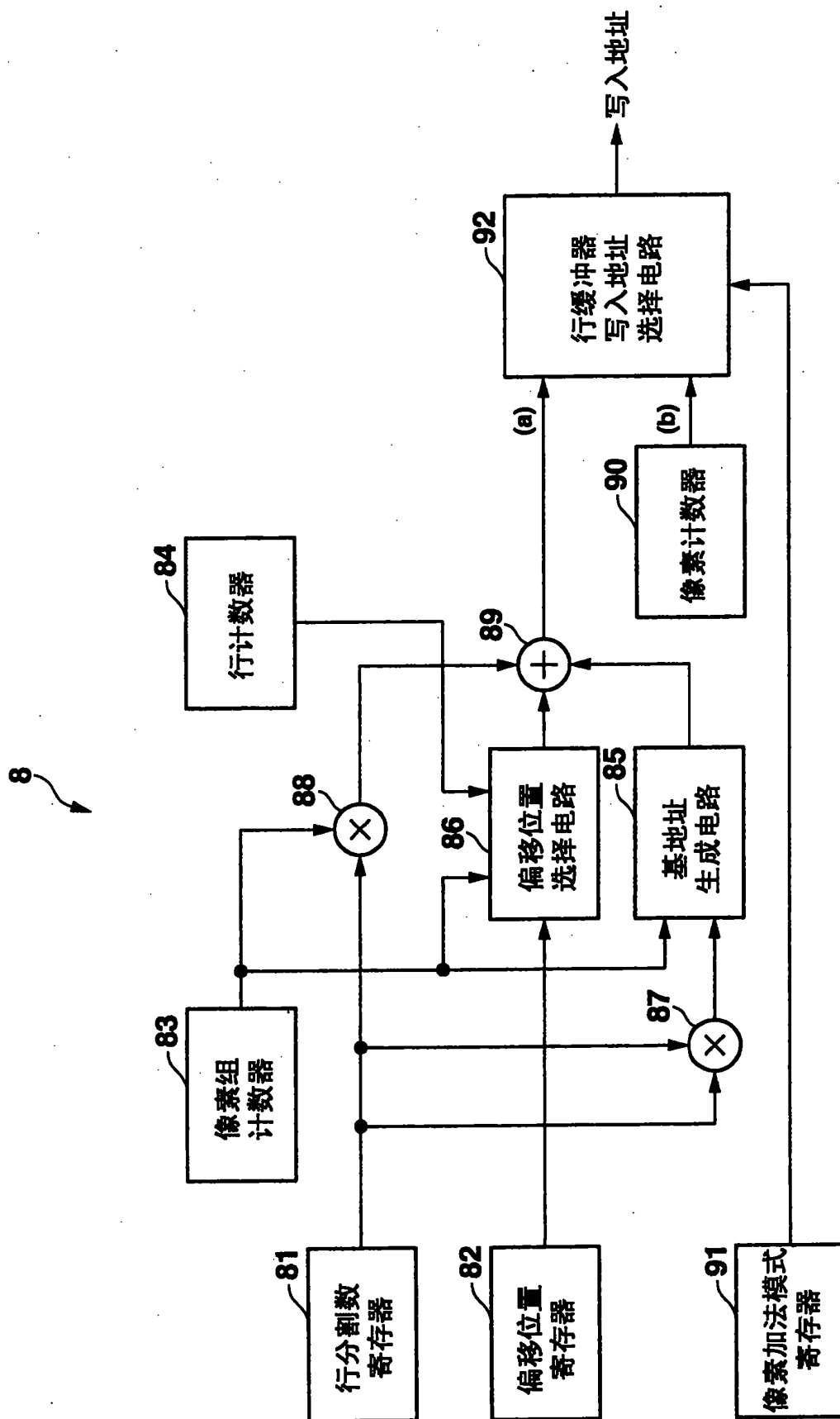


图 2

100

		像素组计数值			
		0	1	2	3
行计数值	0	0	3	0	3
	1	2	1	2	1
	2	1	2	1	2
	3	3	0	3	0

图 3

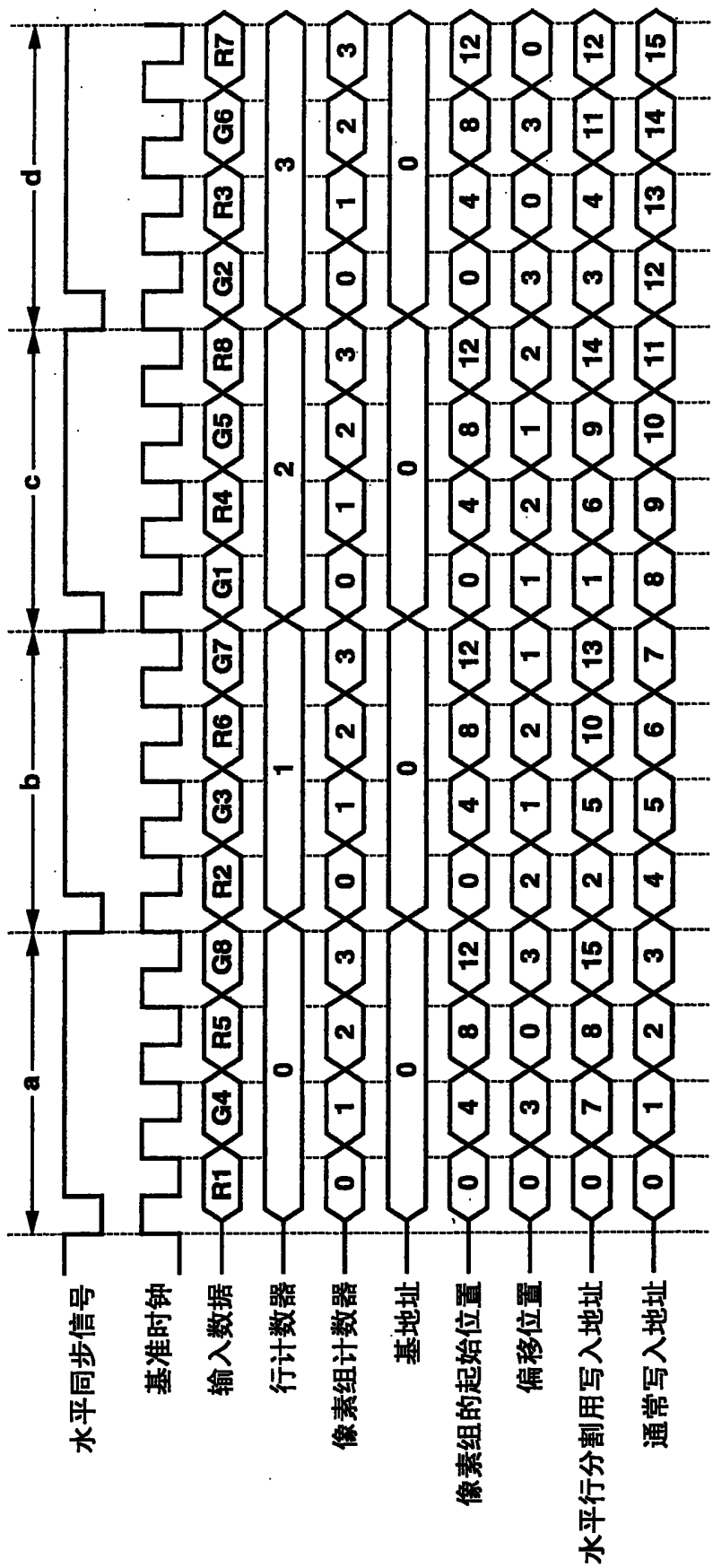


图 4

0	R1
1	
2	
3	
4	
5	
6	
7	G4
8	R5
9	
10	
11	
12	
13	
14	
15	G8

图 5A

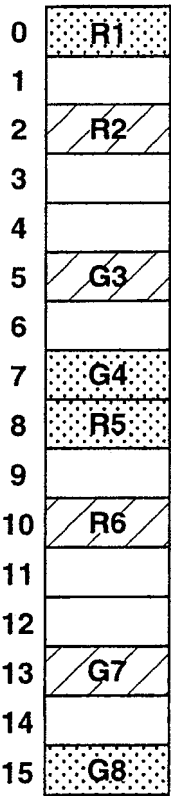


图 5B

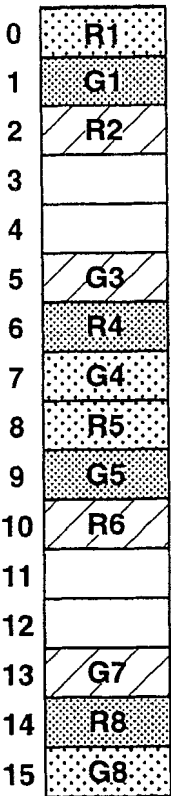


图 5C

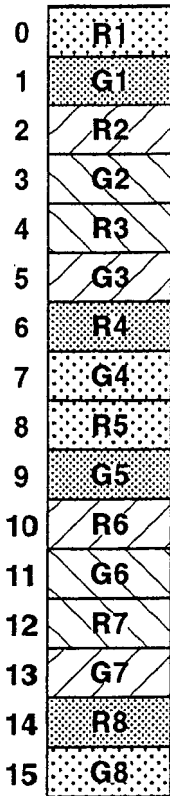


图 5D

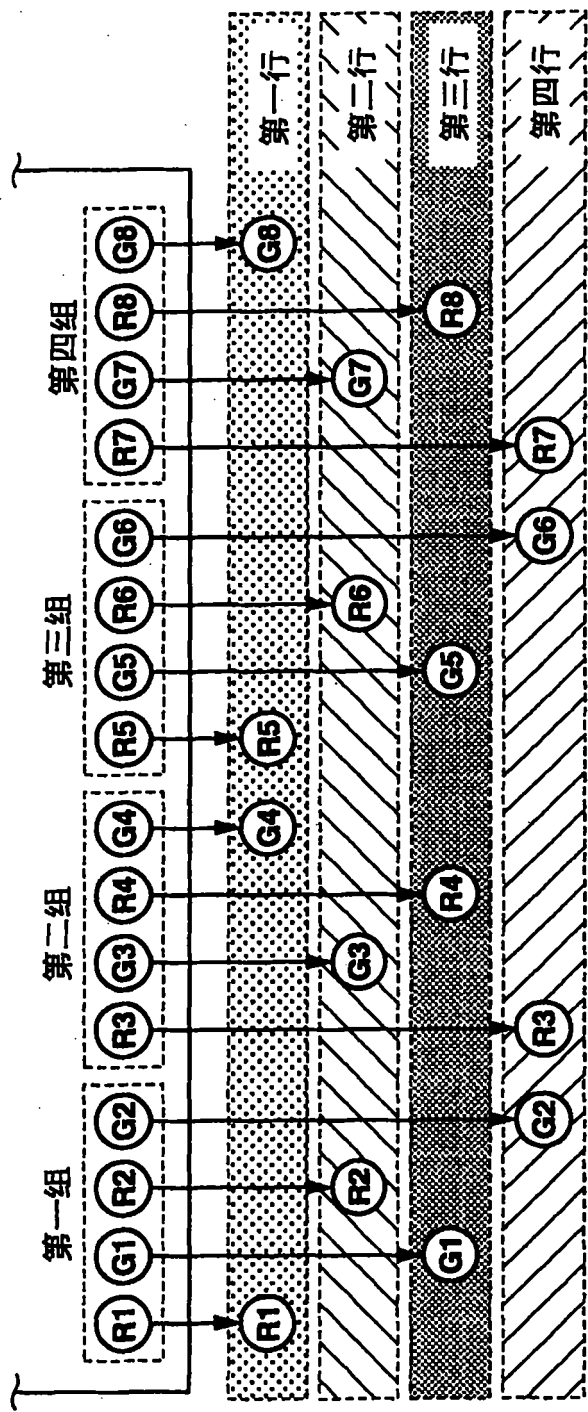


图 6A

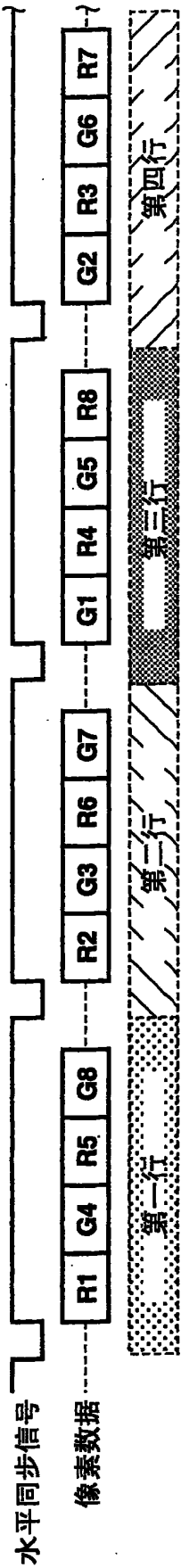


图 6B

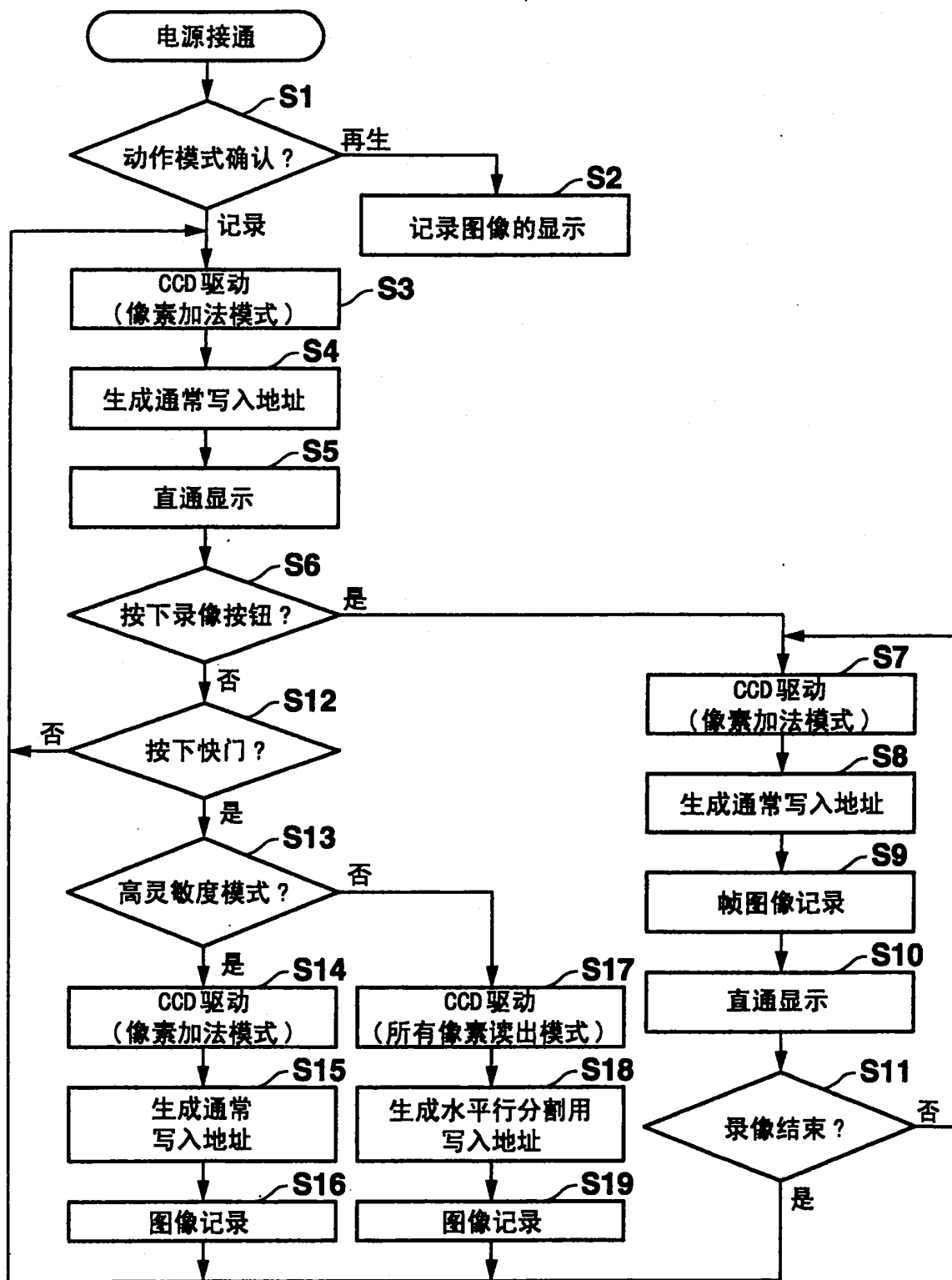


图 7

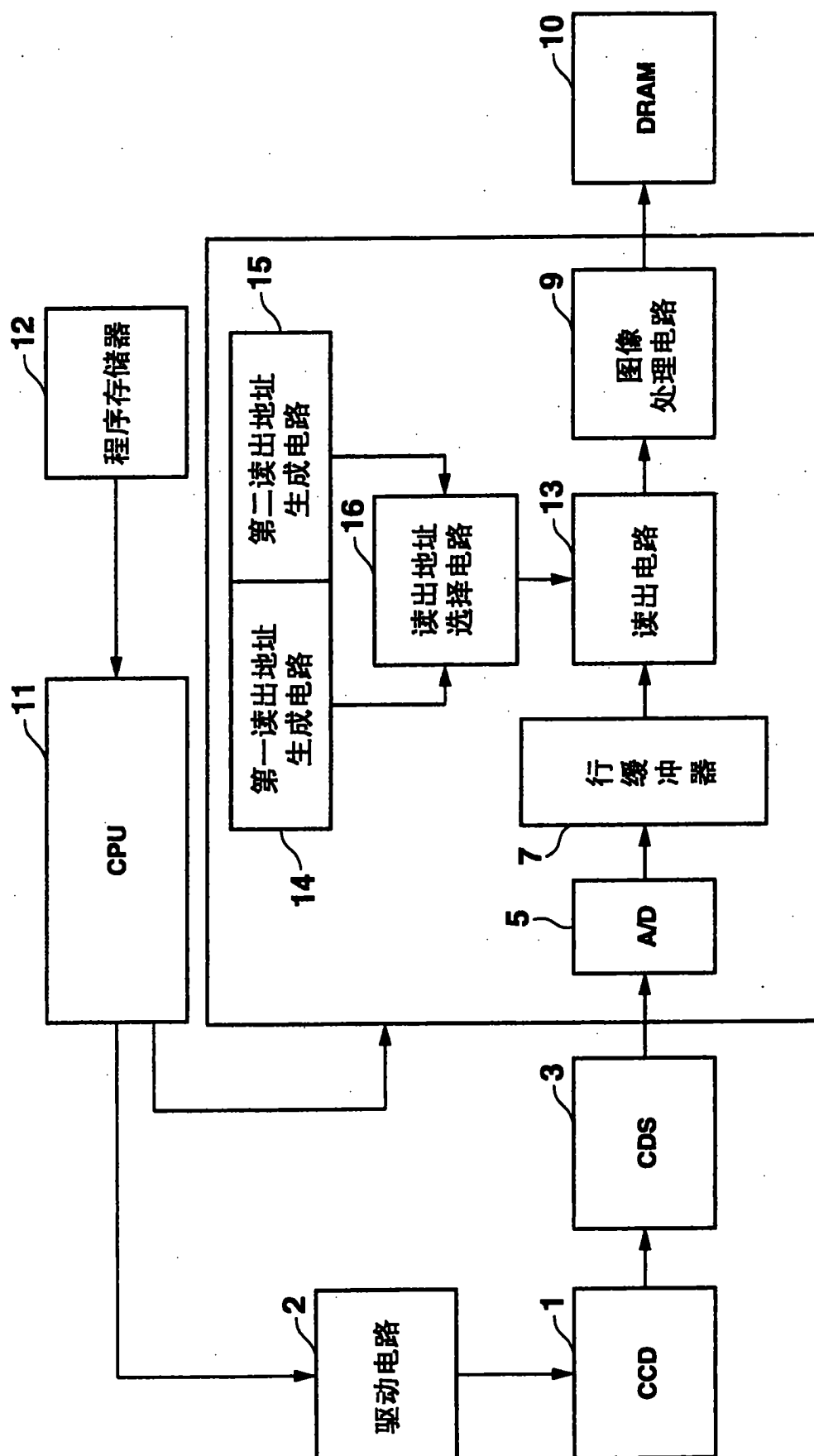


图 8