

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510117619.1

[51] Int. Cl.

G02F 1/1368 (2006.01)

H01L 29/786 (2006.01)

[45] 授权公告日 2009 年 1 月 21 日

[11] 授权公告号 CN 100454124C

[22] 申请日 2005.11.4

[21] 申请号 200510117619.1

[73] 专利权人 北京京东方光电科技有限公司

地址 100176 北京经济技术开发区西环中路 8 号

共同专利权人 京东方科技集团股份有限公司

[72] 发明人 皇甫鲁江

[56] 参考文献

JP7 - 140489A 1995.6.2

CN1670966A 2005.9.21

CN1523413A 2004.8.25

JP11 - 258632A 1999.9.24

审查员 李 慧

[74] 专利代理机构 北京同立钧成知识产权代理有限公司

代理人 刘 芳

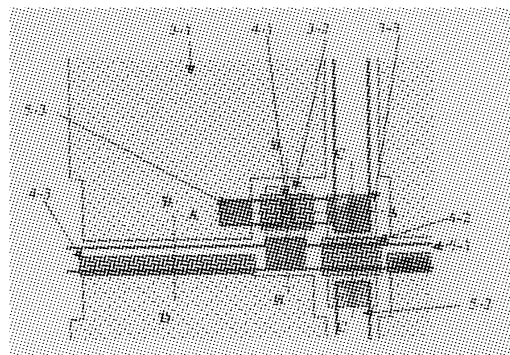
权利要求书 3 页 说明书 8 页 附图 6 页

[54] 发明名称

一种底部栅极薄膜晶体管阵列结构及其制造方法

[57] 摘要

一种底部栅极薄膜晶体管阵列结构, 在这种结构中, 底部栅电极和栅极引线的厚度、层状结构或材料不同。该结构的制作方法是在制作薄膜晶体管液晶显示器 (TFT LCD) 的薄膜晶体管 (TFT) 阵列 (Array) 时, 用于形成像素驱动电极和底部栅电极的导电薄膜是通过同一工艺过程形成的由下层透明导电层和上层金属层构成的复合薄膜。制作完成后, 底部栅电极保持复合薄膜的层状结构, 而透明的像素驱动电极由复合膜剥离不透明的金属层后的透明导电层形成。通过上述结构和方法制造的薄膜晶体管阵列结构, 使底部栅极薄膜晶体管阵列结构更加合理, 制作工艺更加简单。



1、一种底部栅极薄膜晶体管阵列结构，包括：玻璃基板，形成于玻璃基板上的底部栅电极，形成于底部栅电极上的包含有有源沟道的 CVD 复合膜，所述有源沟道一端的源漏电极与源漏引线相连，另一端的源漏电极与像素驱动电极引线相连，底部栅电极与栅极引线相连，其特征在于：所述的底部栅电极和栅极引线为分别制作的两个独立的部分，其层状结构或材料不同，并且所述底部栅电极的厚度薄于所述栅极引线的厚度。

2、根据权利要求 1 所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的底部栅电极为层结构不连续的结构，其被其上包含有有源沟道的 CVD 复合膜和栅极引线遮住部位是由下层透明导电层和上层金属层复合薄膜形成的，未被遮住部位为透明导电层。

3、根据权利要求 2 所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的下层透明导电层和上层金属层复合薄膜为 IT0 层与金属 Mo 层，透明导电层为 IT0 层。

4、根据权利要求 1 或 2 或 3 所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的源漏引线在与栅极引线交叉处是通过源漏引线跨接线进行连接的，源漏引线跨接线位于栅极引线和源漏引线的下方，且源漏引线跨接线与栅极引线之间由 CVD 复合膜形成的绝缘层隔开。

5、根据权利要求 4 所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述源漏引线跨接线为层结构不连续的结构，其被源漏引线及源漏引线跨接线上的绝缘层遮住部位为下层透明导电层和上层金属层复合薄膜形成的，未被遮住部位为透明导电层。

6、根据权利要求 5 所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的源漏引线跨接线上的绝缘层遮住部位的下层透明导电层和上层金属层复合薄膜为 IT0 层与金属 Mo 层，透明导电层为 IT0 层。

7、根据权利要求1或2或3所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的底部栅电极和栅极引线连接处为栅极引线在上、栅电极在下。

8、根据权利要求6所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的底部栅电极和栅极引线连接处为栅极引线在上、栅电极在下。

9、根据权利要求1或2或3所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的像素驱动电极与薄膜晶体管有源沟道一端的源漏电极是通过像素驱动电极引线连接的，且像素驱动电极引线位于像素驱动电极之上。

10、根据权利要求8所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的像素驱动电极与薄膜晶体管有源沟道一端的源漏电极是通过像素驱动电极引线连接的，且像素驱动电极引线位于像素驱动电极之上。

11、根据权利要求1或2或3所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的栅极引线在一侧与阵列的相邻行对应像素延伸到该栅极引线下方的像素驱动电极形成存储电容，其介质层为CVD复合膜。

12、根据权利要求10所述的一种底部栅极薄膜晶体管阵列结构，其特征在于：所述的栅极引线在一侧与阵列的相邻行对应像素延伸到该栅极引线下方的像素驱动电极形成存储电容，其介质层为CVD复合膜。

13、一种制作底部栅极薄膜晶体管阵列结构方法，该方法包括：

在玻璃基板上形成下层透明导电层和上层金属层复合薄膜结构的像素驱动电极、栅电极、源漏引线跨接线步骤；

在栅电极上、相邻的像素驱动电极上、源漏引线跨接线上分别形成薄膜晶体管部分、存储电容介质层部分和源漏引线跨接线上的绝缘层步骤，所述的薄膜晶体管部分、存储电容介质层部分和源漏引线跨接线上的绝缘层为 SiNx/a-Si/n+ a-Si 复合膜；

形成栅极引线、源漏引线、像素驱动电极引线步骤；

剥离 n+ a-Si 层、形成薄膜晶体管有源沟道步骤；

形成钝化层步骤。

14、根据权利要求 13 所述的一种制作底部栅极薄膜晶体管阵列结构的方法，其特征在于：所述的形成像素驱动电极、栅电极、源漏引线跨接线步骤是用磁控溅射的方法，在玻璃基板上形成下层透明导电层和上层金属层的复合薄膜，然后进行掩膜，并用对应的腐蚀液腐蚀上层金属层和下层透明导电层，形成像素驱动电极、栅电极和源漏引线跨接线图形。

15、根据权利要求 13 或 14 所述的一种制作底部栅极薄膜晶体管阵列结构的方法，其特征在于：所述的剥离复合薄膜步骤为复合膜湿法蚀刻，其是在形成栅极引线、源漏引线、像素驱动电极引线后，通过增加腐蚀时间和/或变更腐蚀剂手段获得的。

16、根据权利要求 13 或 14 所述的一种制作底部栅极薄膜晶体管阵列结构的方法，其特征在于：所述的下层透明导电层和上层金属层构成的复合薄膜为 ITO 层和金属 Mo 层。

17、根据权利要求 15 所述的一种制作底部栅极薄膜晶体管阵列结构的方法，其特征在于：所述的下层透明导电层和上层金属层构成的复合薄膜为 ITO 层和金属 Mo 层。

18、根据权利要求 13 或 14 所述的一种制作底部栅极薄膜晶体管阵列结构的方法，其特征在于：所述的栅电极的厚度薄于栅极引线的厚度。

19、根据权利要求 17 所述的一种制作底部栅极薄膜晶体管阵列结构的方法，其特征在于：所述的栅电极的厚度薄于栅极引线的厚度。

一种底部栅极薄膜晶体管阵列结构及其制造方法

技术领域

该发明属于薄膜晶体管液晶显示器（TFT LCD）领域，尤其是与薄膜晶体管阵列（TFT Array）更具相关性。

背景技术

对大尺寸 TFT LCD 而言，TFT LCD 阵列的引线随之增长，因此保持较低的阵列引线电阻十分关键。在材料电阻率一定的前提下，降低 TFT LCD 阵列引线电阻的办法是制作更宽、更厚的引线。通常更宽的引线会降低像素开口率，在此不进行详述。

目前，用于有源 LCD 的 a-Si TFT 阵列结构中，绝大部分采用底部栅极背沟道腐蚀型 TFT 阵列单元结构，5 mask 工艺技术为其实现的主流工艺技术。图 1、图 1A 和图 1B 中是一种目前大量采用典型的 5Masks 工艺制作的底栅型 TFT 阵列单元结构。其中，底部栅电极和栅极引线是在同一工艺步骤中形成的，厚度结构相同。通常，为保证栅极引线的导电性，电极较厚，造成 TFT 结构的不平整，其典型的 TFT 单元结构和实现这种结构的 5 mask 工艺流程见图 1C。

这种方法对器件结构和工艺有两个限制，一是栅极和栅极引线同质、同构；二是栅极引线必须在栅绝缘层、有源层等结构形成之前制作。在此限制下，当试图通过增厚电极降低栅引线电阻时，底栅也随之增厚。这种方法会产生以下负面影响，一是栅的上层结构薄膜的台阶覆盖困难，易产生缺陷；二是整个 TFT 阵列基板的平整性下降，对后续的 Cell 工艺产生不利影响；三是制作顺序的限制不利于 TFT 阵列引线的整体优化。

此外，通过简化工艺步骤降低成本，也是制作 TFT 器件一种典型的思路。比较典型的简化技术有利用 half tone mask 技术，把 5 mask 工艺简化

为 4 mask 工艺, 其中, a-Si 有源层 masking 和源漏电极 masking 合并成一次。通过 half tone mask 技术的 4 mask 工艺, 原来的 a-Si 有源层 masking 和源漏金属 masking 被合并为 1 次 masking。总体上对 5 mask 工艺简化效果如图 2。主要效果在于简化了 1 次 mask 工序。如果源漏金属采用干法刻蚀, 还可能与 a-Si 的干法腐蚀进行合并, 进一步简化。但 half tone masking 工艺难度大, 简化效果也有限。简化工艺的基础是相邻的工艺过程类同, 方法相似, 顺序兼容。目前主流的底栅沟道腐蚀型 TFT 阵列结构, 沉积和腐蚀方法差异很大的金属 (或 ITO) 层与 a-Si (或 SiNx) 层相间排列, 在不改变这一结构的条件下, 仅通过工艺方法的变化 (如 half tone 技术) 进行工艺简化的效果是有限的。

发明内容

因此, 本发明目的是提供一种可较好的满足 TFT LCD 中对 TFT 结构平整性和引线导电性要求的底部栅极薄膜晶体管阵列结构。本发明的另一目的是通过简化薄膜晶体管阵列的制造工艺过程, 降低制造成本。

为了实现上述目的, 本发明提供一种底部栅极薄膜晶体管阵列结构, 包括: 玻璃基板, 形成于玻璃基板上的底部栅电极, 形成于底部栅电极上的包含有有源沟道的 CVD 复合膜, 有源沟道一端的源漏电极与源漏引线相连, 另一端的源漏电极与像素驱动电极引线相连, 底部栅电极与栅极引线相连, 其特征在于: 所述的底部栅电极和栅极引线为分别制作的两个独立的部分, 其层状结构或材料不同, 并且所述底部栅电极的厚度薄于所述栅极引线的厚度。

其中所述的底部栅电极为层结构不连续的结构, 其被其上包含有有源沟道的 CVD 复合膜和栅极引线遮住部位是由下层透明导电层和上层金属层复合薄膜形成的, 未被遮住部位为透明导电层, 下层透明导电层和上层金属层复合薄膜为 ITO 层与金属 Mo 层, 透明导电层为 ITO 层。所述的源漏引线在与栅极引线交叉处是通过源漏引线跨接线进行连接的, 源漏引线跨接线位于栅极

引线 and 源漏引线的下方，且源漏引线跨接线与栅极引线之间由 CVD 复合膜形成的绝缘层隔开。所述源漏引线跨接线为层结构不连续的结构，其被源漏引线及源漏引线跨接线上的绝缘层遮住部位为下层透明导电层和上层金属层复合薄膜形成的，未被遮住部位为透明导电层，源漏引线跨接线上的绝缘层遮住部位的下层透明导电层和上层金属层复合薄膜为 IT0 层与金属 Mo 层，透明导电层为 IT0 层。所述的底部栅电极和栅极引线连接处为栅极引线在上、栅电极在下。所述的像素驱动电极与薄膜晶体管有源沟道一端的源漏电极是通过像素驱动电极引线连接的，且像素驱动电极引线位于像素驱动电极之上。所述的栅极引线在一侧与阵列的相邻行对应像素延伸到该栅极引线下方的像素驱动电极形成存储电容，其介质层为 CVD 复合膜。

为了实现上述目的，本发明提供一种制作底部栅极薄膜晶体管阵列结构方法，该方法包括：在玻璃基板上形成下层透明导电层和上层金属层复合薄膜结构的像素驱动电极、栅电极、源漏引线跨接线步骤；在栅电极上、相邻的像素驱动电极上、源漏引线跨接线上分别形成薄膜晶体管部分、存储电容介质层部分和源漏引线跨接线上的绝缘层步骤，所述的薄膜晶体管部分、存储电容介质层部分和源漏引线跨接线上的绝缘层为 SiNx/a-Si/n+ a-Si 复合膜；形成栅极引线、源漏引线、像素驱动电极引线步骤；剥离 n+ a-Si 、形成薄膜晶体管的有源沟道步骤；形成钝化层步骤。

其中所述的形成像素驱动电极、栅电极、源漏引线跨接线步骤是用磁控溅射的方法，在玻璃基板上形成下层透明导电层和上层金属层的复合薄膜，然后进行掩膜，并用对应的腐蚀液腐蚀上层金属层和下层透明导电层，形成像素驱动电极、栅电极和源漏引线跨接线图形。所述的剥离复合薄膜步骤为复合膜湿法蚀刻，其是在形成栅极引线、源漏引线、像素驱动电极引线后，通过增加腐蚀时间和/或变更腐蚀剂手段获得的。所述的下层透明导电层和上层金属层构成的复合薄膜为 IT0 层和金属 Mo 层。所述的步骤形成的栅电极的厚度薄于栅极引线的厚度。

通过本发明提供的底部栅极薄膜晶体管阵列结构, 由于其底部栅电极和栅极引线可以采用不同的材质或结构等分别制作, 厚度也可以在较大的范围内按需要分别选择, 因此底部栅电极相对于栅极引线做得很薄, 因此与常规 5Masks 工艺厚底部栅电极 TFT 结构相比, 栅绝缘层、有源层和引线电极等各层薄膜均相对平整, 容易形成良好的台阶覆盖性, 减少缺陷的产生。

本发明提供的制作底部栅极薄膜晶体管阵列结构方法, 通过溅射的方法形成透明导电层/金属层复合膜, 1 次 mask 工艺及对应的腐蚀工艺, 同时形成像素驱动电极、底部栅电极等图形。并且, 透明导电层、金属通常都采用湿法腐蚀, 因此也有可能在一次湿法腐蚀工艺步骤中, 通过变换腐蚀条件完成腐蚀。这样有可能在原来 5 mask 工艺技术的基础上, 减少 1 次 mask 工艺、1 次溅射工艺和 1 次湿法腐蚀工艺, 如图 3 所示, 且降低了薄膜晶体管的制作成本。

下面结合说明书附图和具体实施例, 对本发明的技术方案做进一步的详细描述。

附图说明

图 1 为一种典型 5 mask 工艺底栅背沟道腐蚀型 TFT 阵列单元俯视图;

图 1A 为图 1 A-A 部分截面图;

图 1B 为图 1 B-B 部分截面图;

图 1C 为 5 mask 工艺流程图;

图 2 为 half tone mask 技术的 4 mask 工艺总体上对 5 mask 工艺简化效果图;

图 3 为本发明复合膜淀积光刻后的状态图;

图 3A 为图 3 A-A 部分截面图;

图 3B 为图 3 B-B 部分截面图;

图 3C 为图 3 C-C 部分截面图;

图 3D 为图 3 D-D 部分截面图;

图 4 为本发明 CVD 复合膜淀积光刻后的状态图;

图 4A 为图 4 A-A 部分截面图;

图 4B 为图 4 B-B 部分截面图;

图 4C 为图 4 C-C 部分截面图;

图 4D 为图 4 D-D 部分截面图;

图 5 为本发明工艺步骤完成后的 TFT 阵列单元结构;

图 5A 为图 5 A-A 部分截面图;

图 5B 为图 5 B-B 部分截面图;

图 5C 为图 5 C-C 部分截面图;

图 5D 为图 5 D-D 部分截面图;

图 6 为本发明的工艺流程图;

图 7 为本发明的技术工艺总体上对 5 mask 工艺简化效果图。

图中标识:

- 1、基板;
- 2-1、透明导电层/金属层复合薄膜, 像素驱动电极部分;
- 2-2、透明导电层/金属层复合薄膜, 栅电极部分;
- 2-3、透明导电层/金属层复合薄膜, 源漏引线跨接线部分;
- 3-1、金属层部分剥离后的透明导电层/金属层复合薄膜, 像素驱动电极部分;
- 3-2、金属层部分剥离后的透明导电层/金属层复合薄膜, 栅电极部分 ;
- 3-3、金属层部分剥离后的透明导电层/金属层复合薄膜, 源漏引线跨接线部分;
- 4-1、TFT 部分;
- 4-2、源漏引线跨接线上的绝缘层部分;
- 4-3、存储电容介质层部分;
- 5-1、引线电极, 栅极引线部分;

5-2、引线电极，源漏引线部分；

5-3、像素驱动电极引线；

6、钝化层。

具体实施方式

下面结合附图说明和具体实施例，对本发明进行进一步详细说明：

参见图 5，图中所示是一种采用本发明的 TFT 阵列单元结构。其中，底部栅电极 3-2 和栅极引线 5-1 是用不同的工艺步骤分别制作的。因此，栅电极 3-2 和栅极引线 5-1 可以用不同的材料、不同电阻、不同厚度、不同机构材料所形成。与常规 5Masks 工艺制作的常规底栅结构的 TFT 中的栅电极及栅极引线（见图 1、图 1A 和图 1B）相比，通常底部栅电极 3-2 比较薄，有利于形成比较平坦的 TFT 结构（参见图 5、图 5A、图 5B、图 5C 和图 5D）。栅极引线 5-1 在栅绝缘层和 a-Si 有源层形成后制作的，因此可以制作得与常规底栅结构的 TFT 中栅极引线厚度相当，以降低栅极引线 5-1 的电阻。

具体结构为，如图 5、图 5A、图 5B、图 5C 和 5D 所示，在玻璃极板 1 上形成的像素驱动电极 3-1 和栅电极 3-2 和源漏引线跨接线 3-3，这些部分复合膜剥落后的部位为透明导电层，材料可为 500Å ITO 层；未被剥落的部位为下层透明导电层和上层金属层复合薄膜，材料刻为 ITO/Mo（500Å/300Å）复合膜。在栅电极 3-2 上、源漏引线跨接线 3-3 和相邻像素驱动电极靠近栅极引线 5-1 边沿处形成复合膜结构的 TFT 部分 4-1 和源漏引线跨接线上的绝缘层 4-2 和存储电容介质层 4-3 等图形，材料为 SiNx/a-Si/n+ a-Si（4000 Å /1800 Å /400Å）。在玻璃基板 1、存储电容介质层 4-3、栅电极 3-2 以及源漏引线跨接线上的绝缘层 4-2 上形成栅极引线 5-1，材料为 Mo/AlNd/Mo（500 Å /3000 Å /500 Å）。在玻璃基板 1、源漏引线跨接线 3-3、TFT 部分 4-1 上形成源漏引线 5-2，材料为 Mo/AlNd/Mo（500 Å /3000 Å /500 Å）。在像素驱动电极 3-1，玻璃基板 1 及 TFT 部分 4-1 上形成像素驱动电极引线 5-3，材料为

Mo/AlNd/Mo (500 Å /3000 Å /500 Å)。TFT有源沟道形成在TFT部分4-1上的源漏之间。钝化层6形成在上述部分上,材料为SiNx (3000 Å)。

本发明的制作底部栅极薄膜晶体管阵列结构方法,是以5 mask工艺为基准,可以实现对工艺流程的简化,从而降低成本。对比同样目的的典型的4 mask工艺,本发明的工艺简化效率更高,并且不必采用较难掌握的halftone mask技术,工艺控制相对容易。

其具体制作方法为,参见图3、图3A、图3B、图3C和图3D,用磁控溅射的方法,依次溅射沉积ITO层和金属Mo层,形成ITO/Mo (500Å/300Å)复合薄膜。然后进行masking,并用对应的腐蚀液腐蚀Mo层和ITO层,形成像素驱动电极2-1、栅电极2-2和源漏引线跨接线2-3等图形;

参见图4、图4A、图4B、图4C和图4D,用PECVD方法,依次淀积SiNx/a-Si/n+ a-Si (4000 Å /1800 Å /400Å)复合膜。然后进行masking,并用RIE干法腐蚀的方法形成SiNx/a-Si/n+ a-Si (4000 Å /1800 Å /400Å)复合膜的TFT部分4-1和源漏引线跨线上的绝缘层4-2和存储电容介质层4-3图形;

参见图5、图5A、图5B、图5C和5D,采用磁控溅射工艺,依次沉积金属AlNd/Mo (3000 Å /500 Å)。并光刻形成栅引线5-1、源漏引线5-2和透明像素电极引线5-3和外围部分引线等的图形;

此时,通过增加腐蚀时间和/或变更腐蚀剂手段,剥离下层透明导电层和上层金属层复合薄膜像素驱动电极部分2-1,使之成为透明的像素驱动电极3-1,同时栅电极2-2和源漏引线跨接线2-3上的透明导电层/金属层复合膜未被绝缘层和引线光刻胶遮盖部分也被蚀刻掉,形成复合薄膜部分剥离后的栅电极3-2和源漏引线跨接线3-3。

引线腐蚀去胶前,用RIE干法腐蚀TFT-LCD源漏之间有源沟道上方的N+层,形成TFT有源沟道;

采用 PECVD 工艺，淀积 SiNx (3000 Å)，然后光刻暴露外引线电极 Pad，形成 TFT 钝化层 6。

其具体工艺流程见图 6。通过以上步骤，可以实现图 5 所示的 TFT 阵列单元结构。相对于典型的 5 mask 工艺技术，其工艺流程减少了 1 次 Sputter 工艺、1 次 masking 工艺和 1 次 etch 工艺，参见图 7。

以上说明及附图图示了本发明的特定实施方式，但不言自明，本发明可以由本领域的技术人员进行各种变形来实施，如将栅电极及栅极引线的材料采取不同的厚度、宽度、材料、结构和形状等，或变更制造工艺条件或将制造工艺复杂化等。诸如此类变形的实施方式等不能脱离本发明的技术思想或展望来个别地理解，必须看作本发明所附的权利要求书内包含的结构及制作方法。

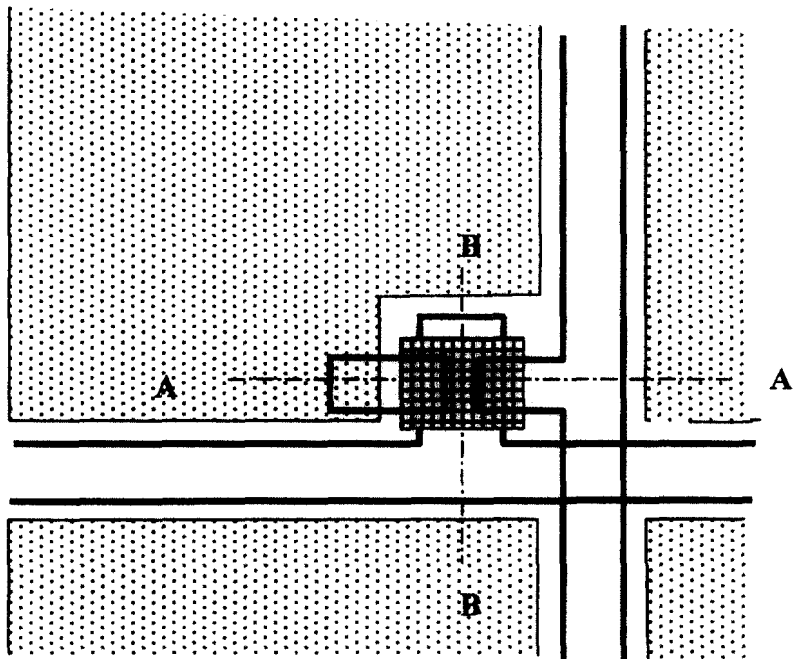


图 1

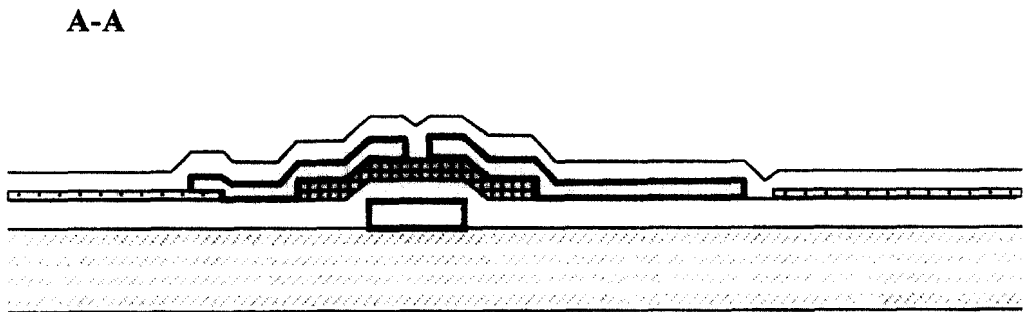


图 1A

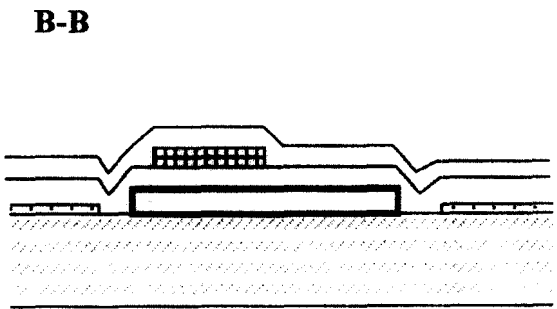


图 1B

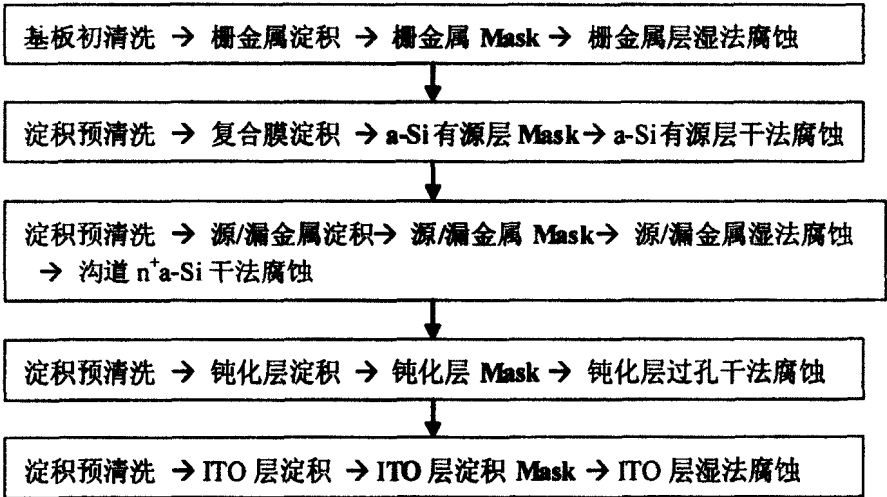


图 1C

工序	典型 5 mask	典型 4 mask	备注
PECVD	2	2	
Sputter	3	3	
Mask	5	4	
Dry	3	3	
Wet	3	2 or 4	源漏金属干法腐蚀，可简化

图 2

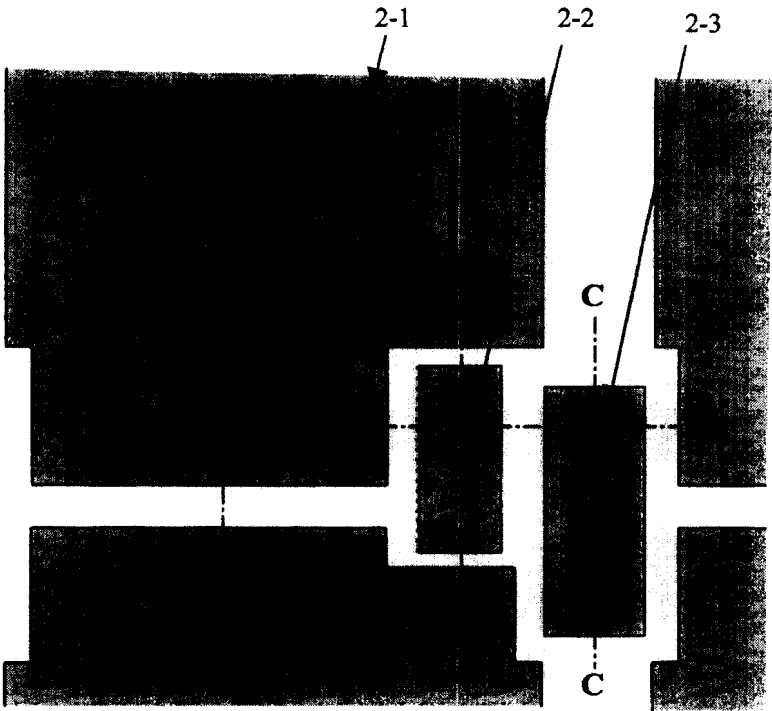


图 3

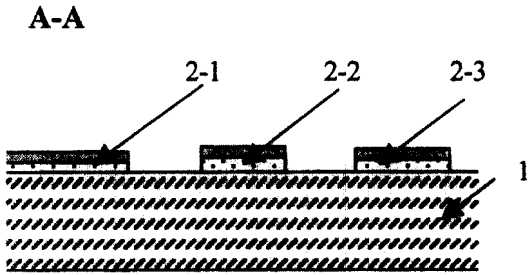


图 3A

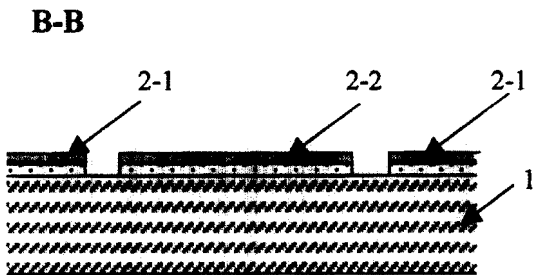


图 3B

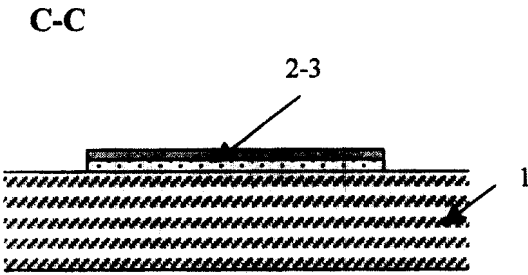


图 3C

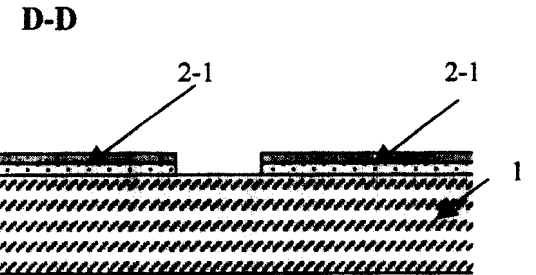


图 3D

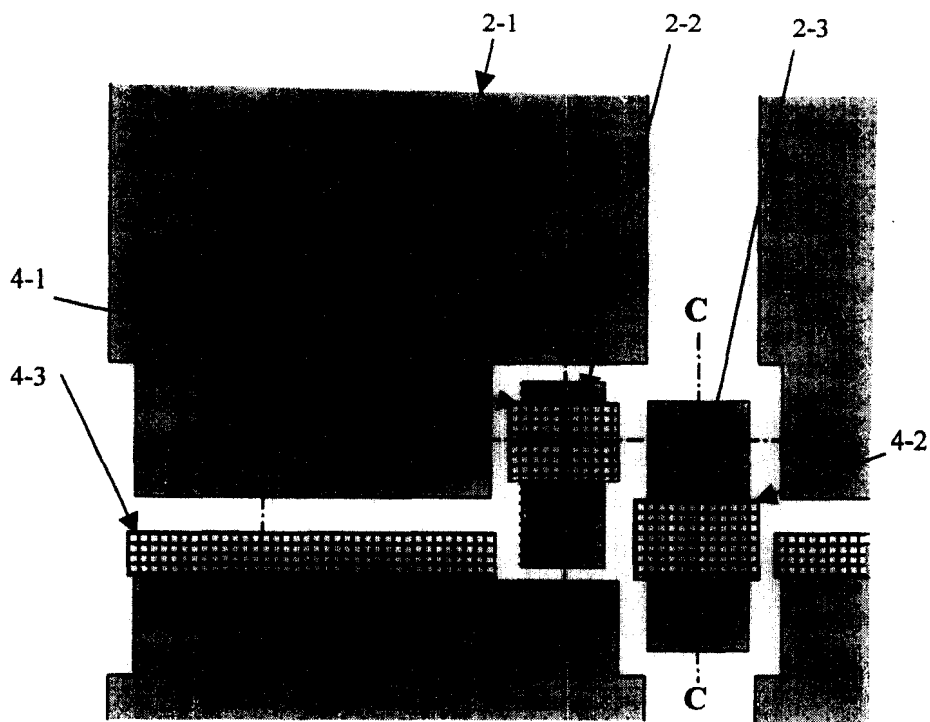


图 4

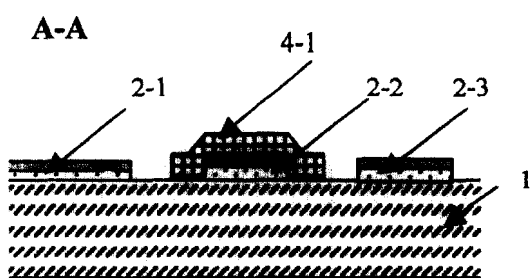


图 4A

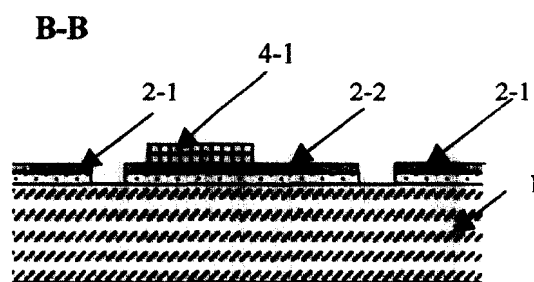


图 4B

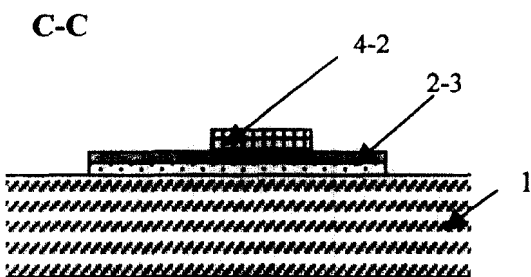


图 4C

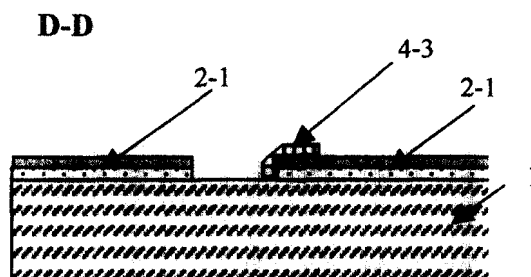


图 4D

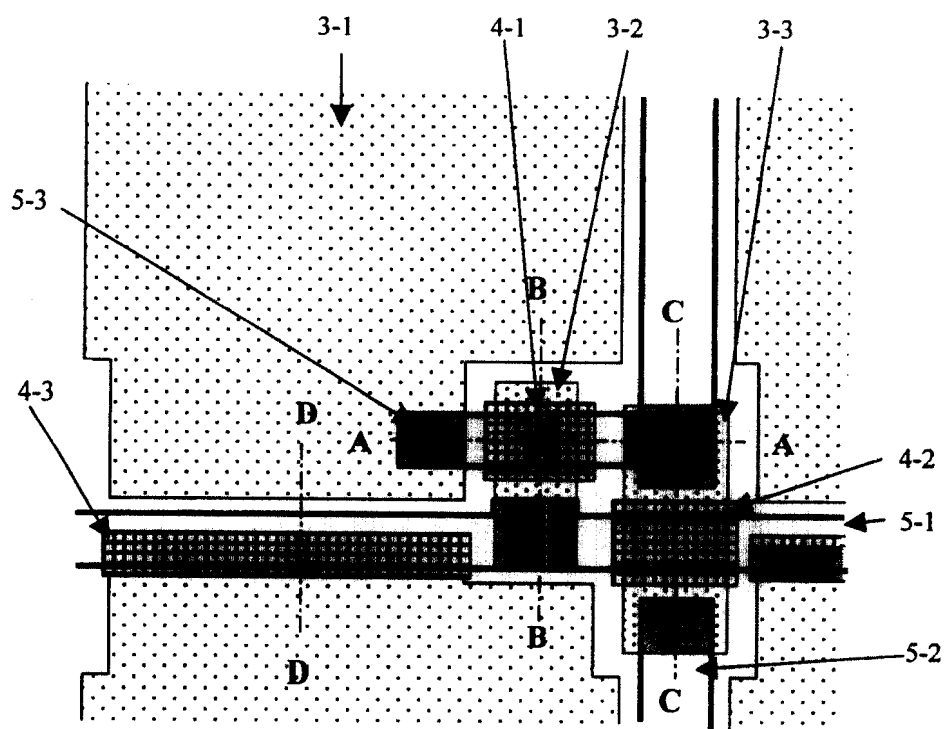


图 5

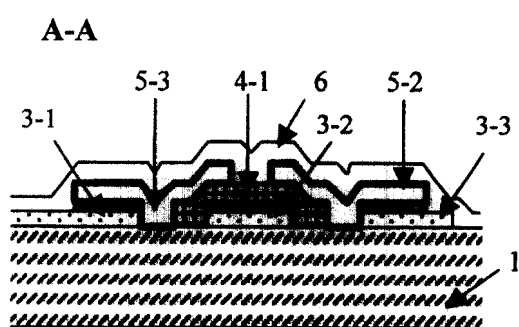


图 5A

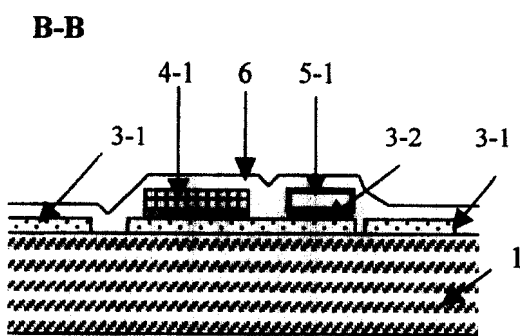


图 5B

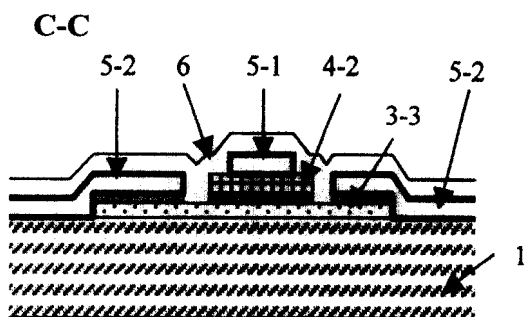


图 5C

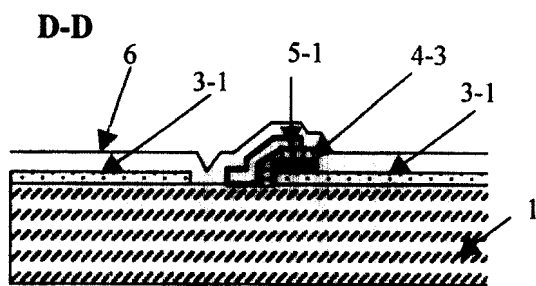


图 5D

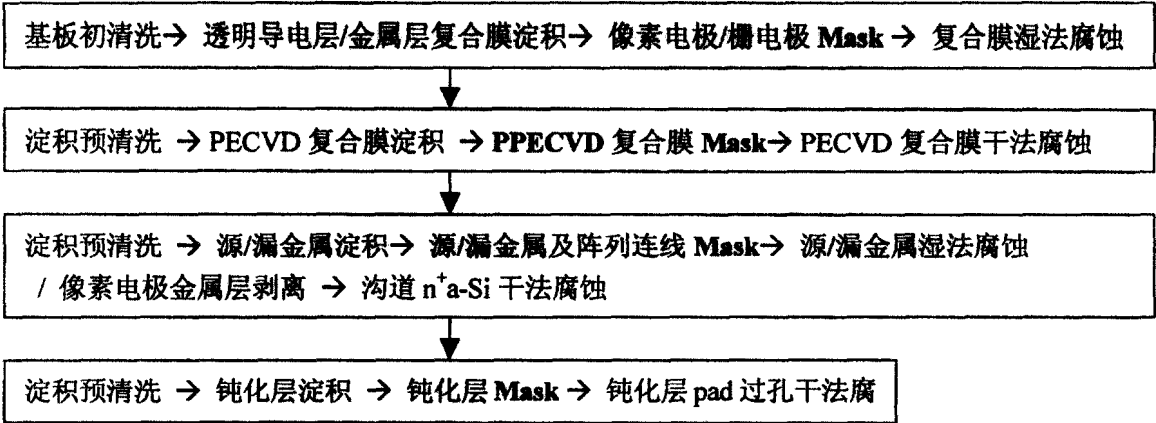


图 6

工序	典型 5 mask 工艺	典型 4 mask 工艺	透明导电层/金属层复合
PECVD	2	2	2
Sputter	3	3	2
Mask	5	4	4
Dry Etch	3	3	3
Wet Etch	3	2 or 4	2

图 7