



(12) 发明专利

(10) 授权公告号 CN 103345910 B

(45) 授权公告日 2015. 11. 18

(21) 申请号 201310231426. 3

US 2008/0181040 A1 , 2008. 07. 31, 说明书

(22) 申请日 2013. 06. 09

第 0019-0025 段和附图图 1-2.

(73) 专利权人 苏州国芯科技有限公司

审查员 凤艳艳

地址 215011 江苏省苏州市高新区竹园路
209 号 3 号楼 2301

(72) 发明人 郑茈 肖佐楠 匡启和 谢伟军
刘卫华 尹平

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 常亮

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 101243415 A , 2008. 08. 13, 全文 .

CN 1049926 A , 1991. 03. 13, 全文 .

CN 1136698 A , 1996. 11. 27, 全文 .

CN 1162800 A , 1997. 10. 22, 全文 .

KR 2002-0049813 A , 2002. 06. 26, 全文 .

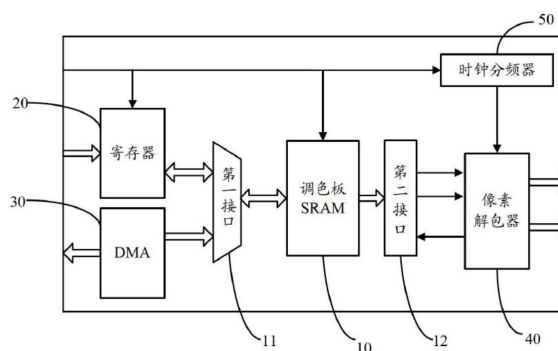
权利要求书1页 说明书5页 附图2页

(54) 发明名称

单端口调色板 SRAM 控制器及其控制方法

(57) 摘要

本发明公开了一种单端口调色板 SRAM 控制器及其控制方法,所述控制器包括:调色板 SRAM、寄存器、DMA、像素解包器和时钟分频器,时钟分频器用于对总线时钟进行分频并得到像素时钟,所述总线时钟的频率至少为像素时钟的 2 倍。本发明通过 SRAM 倍频以及 SRAM 访存仲裁的设计,只使用一块单端口 SRAM 就能满足双通道 LCD 控制器的调色板功能。所使用的 SRAM 的面积是现有技术的四分之一,从而降低了芯片生产成本,提高了芯片良率,降低了芯片功耗。



1. 一种单端口调色板 SRAM 控制器,其特征在于,所述控制器包括:

调色板 SRAM,所述调色板 SRAM 包括用于加载调色板数据的第一接口和用于读取像素数据的第二接口;

与所述第一接口相连的寄存器和 DMA;

与所述第二接口相连的像素解包器;

与所述寄存器、调色板 SRAM 及像素解包器相连的时钟分频器,所述时钟分频器用于对总线时钟进行分频并得到像素时钟,所述总线时钟的频率至少为像素时钟的 2 倍,

所述寄存器接收 PLB4 总线的数据并和调色板 SRAM 相连,用于完成调色板 SRAM 的静态加载;所述 DMA 通过 PLB6 总线读取数据并和调色板 SRAM 相连,用于完成调色板 SRAM 的动态加载,

所述调色板 SRAM 的静态加载包括调色板数据的读写操作,调色板 SRAM 的动态加载包括调色板数据的写操作,所述 PLB4 总线操作的优先级高于像素解包器读取像素数据操作的优先级。

2. 一种如权利要求 1 所述的单端口调色板 SRAM 控制器的控制方法,其特征在于,所述方法包括以下步骤:

S1、将总线时钟进行分频得到像素时钟,所述总线时钟的频率至少为像素时钟的 2 倍;

S2、动态或静态加载调色板数据;

S3、控制器开始工作后,像素解包器在每个像素时钟向调色板 SRAM 发出读操作;

S4、在两个总线时钟内,对调色板 SRAM 的两个独立地址进行读操作,读取调色板数据并锁存;

S5、像素解包器同时取用所读取的两个调色板数据。

3. 根据权利要求 2 所述的控制方法,其特征在于,所述步骤 S2 具体包括:

静态加载调色板数据,寄存器接收 PLB4 总线的数据并和调色板 SRAM 相连,完成调色板数据静态加载;

动态加载调色板数据,DMA 通过 PLB6 总线读取数据并和调色板 SRAM 相连,完成调色板数据动态加载。

4. 根据权利要求 2 所述的控制方法,其特征在于,所述步骤 S2 中,静态加载调色板数据在控制器工作前完成或在控制器工作时同时进行;动态加载调色板数据在控制器工作前完成。

5. 根据权利要求 2 所述的控制方法,其特征在于,所述静态加载调色板数据包括调色板数据的读写操作,动态加载调色板数据包括调色板数据的写操作。

6. 根据权利要求 2 所述的控制方法,其特征在于,所述控制方法还包括:

当静态加载调色板数据与像素解包器发出的读操作发生冲突时,取消当前拍像素解包器发出的读操作,将上一拍锁存的调色板数据发送给像素解包器。

单端口调色板 SRAM 控制器及其控制方法

技术领域

[0001] 本申请涉及 LCD 控制技术领域,尤其涉及一种 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器及其控制方法。

背景技术

[0002] 随着 LCD 显示分辨率的不断升高,传统单通道 LCD 的时钟和数据信号受到信号完整性等的限制,已经不能满足高分辨率的要求。越来越多的 LCD 显示屏使用双数据通道乃至四数据通道,多数据通道的 LCD 控制器在一个像素周期送出多个像素数据。

[0003] 在一些色彩丰富度要求不高的应用中,通常会采用调色板来减小视频缓存和降低系统总线带宽需求。

[0004] 参图 1 所示,现有技术的双通道 LCD 控制器中一般采用两块双端口 SRAM 来实现调色板功能。

[0005] 采用两块双端口 SRAM 具有以下缺点:

[0006] 1、需要使用复制两块双端口 SRAM 来实现双通道 LCD 控制器的调色板功能,芯片面积较大。

[0007] 现有 LCD 控制器中,为了满足 CPU 操作和调色板功能同时工作,一般使用双端口 SRAM 来实现调色板 SRAM,而双端口 SRAM 面积及功耗一般是相同容量的单端口 SRAM 的两倍。

[0008] 现有双通道 LCD 控制器,由于一个像素周期需要读取 2 个像素,所以需要复制两块同样大小的 SRAM 实现双通道的调色板功能。

[0009] 2、现有技术加载模式单一,一般只支持通过 CPU 读写的方式来完成加载。

[0010] 综上所述,有必要提供一种 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器及其控制方法以解决上述问题。

发明内容

[0011] 有鉴于此,本发明提供一种 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器及其控制方法。

[0012] 为了实现上述目的,本申请实施例提供的技术方案如下:

[0013] 一种单端口调色板 SRAM 控制器,所述控制器包括:

[0014] 调色板 SRAM,所述调色板 SRAM 包括用于加载调色板数据的第一接口和用于读取像素数据的第二接口;

[0015] 与所述第一接口相连的寄存器和 DMA;

[0016] 与所述第二接口相连的像素解包器;

[0017] 与所述寄存器、调色板 SRAM 及像素解包器相连的时钟分频器,所述时钟分频器用于对总线时钟进行分频并得到像素时钟,所述总线时钟的频率至少为像素时钟的 2 倍。

[0018] 作为本发明的进一步改进,所述寄存器接收 PLB4 总线的数据并和调色板 SRAM 相

连,用于完成调色板 SRAM 的静态加载;所述 DMA 通过 PLB6 总线读取数据并和调色板 SRAM 相连,用于完成调色板 SRAM 的动态加载。

[0019] 作为本发明的进一步改进,所述调色板 SRAM 的静态加载包括调色板数据的读写操作,调色板 SRAM 的动态加载包括调色板数据的写操作。

[0020] 作为本发明的进一步改进,所述 PLB4 总线操作的优先级高于像素解包器读取像素数据操作的优先级。

[0021] 相应地,一种单端口调色板 SRAM 控制器的控制方法,所述方法包括以下步骤:

[0022] S1、将总线时钟进行分频得到像素时钟,所述总线时钟的频率至少为像素时钟的 2 倍;

[0023] S2、动态或静态加载调色板数据;

[0024] S3、控制器开始工作后,像素解包器在每个像素时钟向调色板 SRAM 发出读操作;

[0025] S4、在两个总线时钟内,对调色板 SRAM 的两个独立地址进行读操作,读取调色板数据并锁存;

[0026] S5、像素解包器同时取用所读取的两个调色板数据。

[0027] 作为本发明的进一步改进,所述步骤 S2 具体包括:

[0028] 静态加载调色板数据,寄存器接收 PLB4 总线的数据并和调色板 SRAM 相连,完成调色板数据静态加载;

[0029] 动态加载调色板数据,DMA 通过 PLB6 总线读取数据并和调色板 SRAM 相连,完成调色板数据动态加载。

[0030] 作为本发明的进一步改进,所述步骤 S2 中,静态加载调色板数据在控制器工作前完成或在控制器工作时同时进行;动态加载调色板数据在控制器工作前完成。

[0031] 作为本发明的进一步改进,所述静态加载调色板数据包括调色板数据的读写操作,动态加载调色板数据包括调色板数据的写操作。

[0032] 作为本发明的进一步改进,所述控制方法还包括:

[0033] 当静态加载调色板数据与像素解包器发出的读操作发生冲突时,取消当前拍像素解包器发出的读操作,将上一拍锁存的调色板数据发送给像素解包器。

[0034] 本发明具有以下有益效果:

[0035] 通过 SRAM 倍频以及 SRAM 访存仲裁的设计,只使用一块单端口 SRAM 就能满足双通道 LCD 控制器的调色板功能。所使用的 SRAM 的面积是现有技术四分之一,从而降低了芯片生产成本,提高了芯片良率,降低了芯片功耗;

[0036] 可由 C*Core C9000 通过 PLB4 总线读写的方式实现对调色板 SRAM 的静态加载,也可以通过内部 PLB6DMA 实现每帧动态加载调色板信息。

附图说明

[0037] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请中记载的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0038] 图 1 为现有技术中双通道 LCD 控制器中双端口调色板 SRAM 控制器的模块示意图;

[0039] 图 2 为本发明一具体实施方式 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器的模块示意图；

[0040] 图 3 为本发明一具体实施方式 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器的控制方法流程图。

具体实施方式

[0041] 为了使本技术领域的人员更好地理解本申请中的技术方案，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都应当属于本申请保护的范围。

[0042] 本发明公开了一种 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器及其控制方法，该控制器包括

[0043] 调色板 SRAM，调色板 SRAM 包括用于加载调色板数据的第一接口和用于读取像素数据的第二接口；

[0044] 与第一接口相连的寄存器和 DMA；

[0045] 与第二接口相连的像素解包器；

[0046] 与寄存器、调色板 SRAM 及像素解包器相连的时钟分频器，时钟分频器用于对总线时钟进行分频并得到像素时钟，总线时钟的频率至少为像素时钟的 2 倍。

[0047] 该单端口调色板 SRAM 控制器的控制方法包括以下步骤：

[0048] S1、将总线时钟进行分频得到像素时钟，所述总线时钟的频率至少为像素时钟的 2 倍；

[0049] S2、动态或静态加载调色板数据；

[0050] S3、控制器开始工作后，像素解包器在每个像素时钟向调色板 SRAM 发出读操作；

[0051] S4、在两个总线时钟内，对调色板 SRAM 的两个独立地址进行读操作，读取调色板数据并锁存；

[0052] S5、像素解包器同时取用所读取的两个调色板数据。

[0053] 以下结合具体实施方式对本发明单端口调色板 SRAM 控制器及其控制方法作进一步说明。

[0054] 参图 2 所示，本发明一实施方式中单端口调色板 SRAM 控制器包括：

[0055] 调色板 SRAM10，调色板 SRAM10 包括用于加载调色板数据的第一接口 11 和用于读取像素数据的第二接口 12；

[0056] 与第一接口 11 相连的寄存器 20 和 DMA30；

[0057] 与第二接口 12 相连的像素解包器 40；

[0058] 与寄存器 20、调色板 SRAM10 及像素解包器 30 相连的时钟分频器 50，时钟分频器用于对总线时钟进行分频并得到像素时钟，总线时钟的频率至少为像素时钟的 2 倍。

[0059] 寄存器 20 与 PLB4 总线和调色板 SRAM10 相连，加载操作来自 C*CoreC9000PLB4 总线的寄存器 20 读写操作，即调色板数据静态加载。调色板 SRAM 的调色板数据静态加载包括调色板数据的读写操作。

[0060] DMA30 通过 PLB6 总线读取数据,并和调色板 SRAM10 相连,由 PLB6 总线上 DMA30 在每一帧开始之前从外部动态读入,通过内部 PLB6DMA 实现每帧动态加载调色板信息,即调色板数据动态加载。调色板 SRAM 的调色板数据动态加载包括调色板数据的写操作。

[0061] 调色板数据静态加载和调色板数据动态加载所产生的 SRAM 访存操作在配置寄存器的控制下进行二选一。

[0062] 像素解包器 40 读取调色板数据时,由于双通道 LCD 在每个像素时钟需要输出两个像素,故在每个像素时钟内需要对调色板 SRAM10 完成两次读操作。

[0063] 进一步地,本实施方式中 PLB4 总线操作的优先级高于像素解包器读取像素数据操作的优先级。静态加载时,PLB4 的总线操作优先级高于调色板读操作,这样若静态加载生成的 SRAM 访存与像素解包器的读操作发生冲突时,能确保总线读写数据正确,而调色板使用上一拍锁存下来的像素数据,亦能在显示上进行错误隐藏。动态加载生成的 SRAM 访存会在调色板开始工作之前完成,从而与像素解包器的读操作在状态机的控制下完全实现分时复用。

[0064] 参图 3 所示,本实施方式 C*Core C9000 平台双通道 LCD 控制器中单端口调色板 SRAM 控制器的控制方法包括以下步骤:

[0065] S1、初始化,将总线时钟进行分频得到像素时钟,所述总线时钟的频率至少为像素时钟的 2 倍;

[0066] S2、动态或静态加载调色板数据;

[0067] 调色板数据加载操作由 C*Core C9000 发起的 PLB4 寄存器写操作和 PLB6DMA 发起的读操作进行二选一操作之后得到,具体包括:

[0068] 调色板数据静态加载,PLB4 总线通过寄存器和调色板 SRAM 相连,完成调色板数据静态加载,调色板数据静态加载包括调色板数据的读写操作,一般在控制器启动之前完成,也可以在控制器工作时同时工作;

[0069] 调色板数据动态加载,DMA 通过 PLB6 总线读取数据并和调色板 SRAM 相连,完成调色板数据动态加载,调色板数据动态加载包括调色板数据的写操作,在控制器工作前完成。

[0070] S3、控制器开始工作后,像素解包器在每个像素时钟向调色板 SRAM 发出读操作;

[0071] S4、在两个总线时钟内,对调色板 SRAM 的两个独立地址进行读操作,读取调色板数据并锁存;

[0072] S5、像素解包器同时取用所读取的两个调色板数据。

[0073] 进一步地,当步骤 S2 中的调色板数据静态加载与步骤 S3 中像素解包器发出的读操作发生冲突时,取消当前拍像素解包器发出的读操作,将上一拍锁存的调色板数据发送给像素解包器。

[0074] PLB4 寄存器接口在一般情况下总是在 LCD 控制器开始工作之前对调色板 SRAM 进行读写操作。但是,为保证 CPU 在 LCD 显示过程中也能控制调色板 SRAM,只要 PLB4 寄存器接口出现对调色板 SRAM 的读写操作,就取消当前拍从像素解包器发出的访存操作。而送给像素解包器的像素则是锁存在暂寄存器的上一拍的像素,这样,显示上也不会出现明显瑕疵,从而做到错误隐藏。PLB6DMA 在状态机控制下总是在一帧的开始之前动态加载调色板数据,做到与像素解包器完全分时复用单端口 SRAM 的带宽。

[0075] 由上述技术方案可以看出,本发明具有以下有益效果:

[0076] 通过 SRAM 倍频以及 SRAM 访存仲裁的设计,只使用一块单端口 SRAM 就能满足双通道 LCD 控制器的调色板功能。所使用的 SRAM 的面积是现有技术的四分之一,从而降低了芯片生产成本,提高了芯片良率,降低了芯片功耗;

[0077] 可由 C*Core C9000 通过 PLB4 总线读写的方式实现对调色板 SRAM 的静态加载,也可以通过内部 PLB6DMA 实现每帧动态加载调色板信息。

[0078] 以上所描述的装置实施方式仅仅是示意性的,其中所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施方式方案的目的。本领域普通技术人员在不付出创造性劳动的情况下,即可以理解并实本申请可用于众多通用或专用的计算系统环境或配置中。

[0079] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

[0080] 此外,应当理解,虽然本说明书按照实施方式加以描述,但并非每个实施方式仅包含一个独立的技术方案,说明书的这种叙述方式仅仅是为清楚起见,本领域技术人员应当将说明书作为一个整体,各实施例中的技术方案也可以经适当组合,形成本领域技术人员可以理解的其他实施方式。

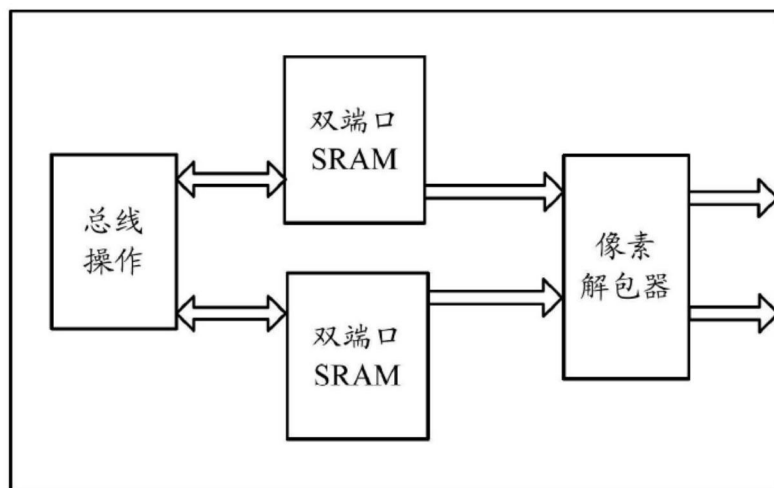


图 1

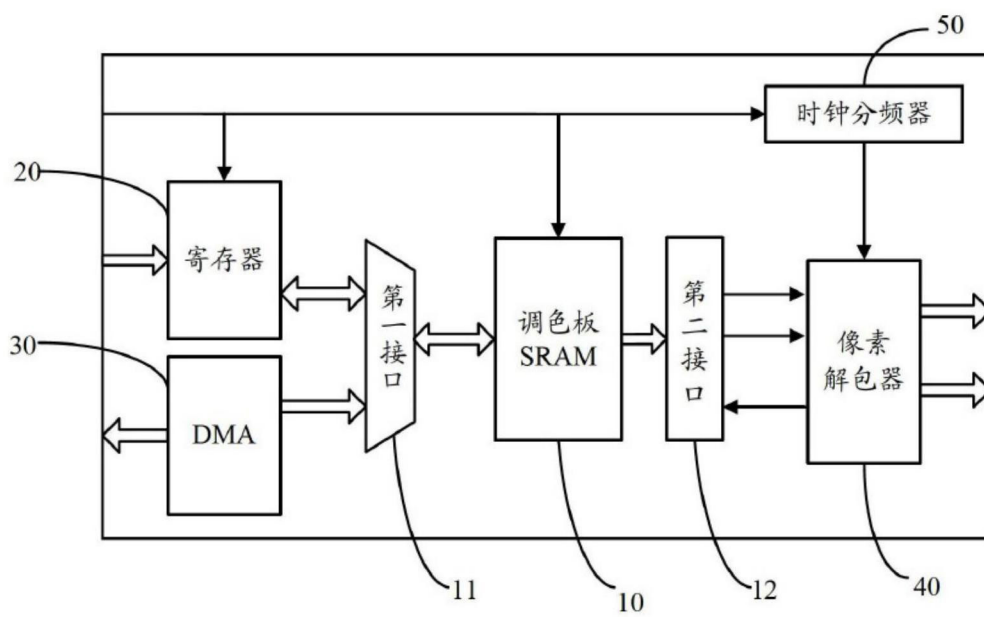


图 2

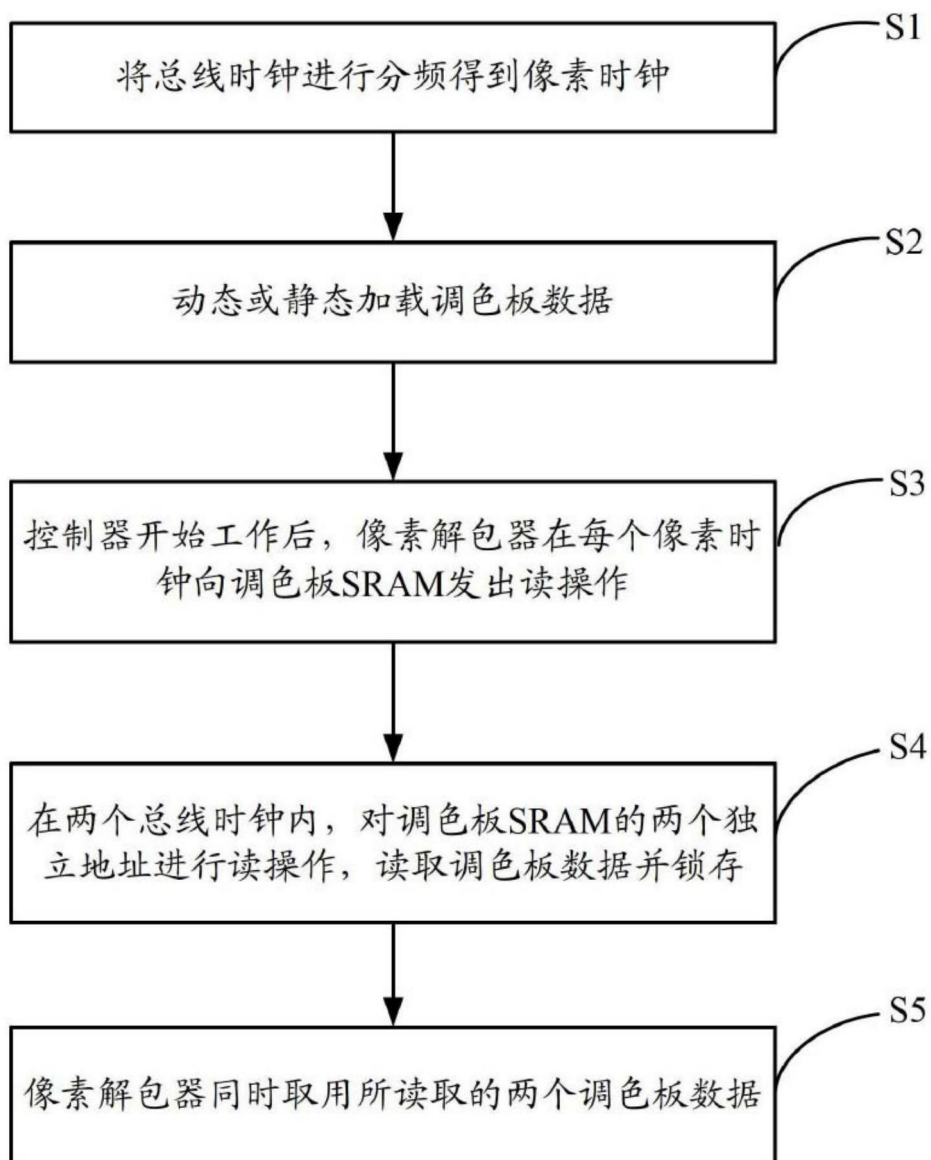


图 3