

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 21/302

H01L 21/306 H01L 21/3065

[12] 发明专利申请公开说明书

[21] 申请号 98124902.7

[43]公开日 1999年6月2日

[11]公开号 CN 1218279A

[22]申请日 98.11.13 [21]申请号 98124902.7

[30]优先权

[32]97.11.13 [33]JP [31]312183/97

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 庄司秀行 祐川光成

[74]专利代理机构 中科专利代理有限责任公司

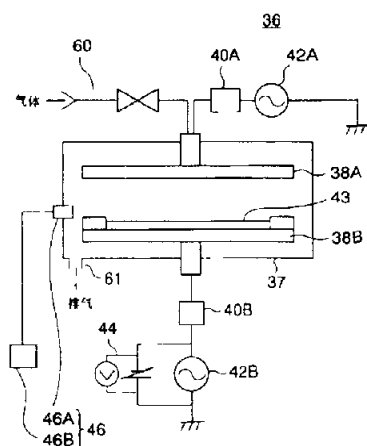
代理人 刘晓峰

权利要求书 1 页 说明书 7 页 附图页数 8 页

[54]发明名称 从氧化硅膜选择蚀刻氮化硅膜的方法

[57]摘要

一种用于从盖住硅基片的下部氧化硅膜蚀刻氮化硅膜的方法,包括提供具有频率为 13.56MHz 到 60MHz 的第一 RF 功率源及为 0.8MHz 到 13.56MHz 的第二 RF 功率源的步骤,基片顶面及与基片顶面相对的顶部电极底面的功率密度分别为从 0.20W/cm² 到 0.35W/cm² 及大于 1.13W/cm²。在氟气环境下蚀刻,以形成由氧化硅构成的元件隔离区及由氮化硅膜构成的侧壁膜。



ISSN 1008-4274

权 利 要 求 书

1、一种形成半导体器件的方法，其中包含如下步骤：连续形成盖住半导体基片的氧化硅膜及氮化硅膜，从所述氧化硅膜选择蚀刻所述氮化硅膜，同时为半导体基片提供具有第一频率的第一RF功率源及具有第二频率的第二RF功率源。

2、根据权利要求1所述方法，其特征在于所述第一频率在13.56MHz到60MHz之间，而第二频率在0.8MHz到13.56MHz之间。

3、根据权利要求1所述方法，其特征在于所述基片顶面及所述顶面相对的电极底面处的功率密度在所述蚀刻步骤期间分别为 $0.20\text{W}/\text{cm}^2$ 到 $0.35\text{W}/\text{cm}^2$ 之间及大于 $1.13\text{W}/\text{cm}^2$ ，且所述蚀刻步骤在氯气气氛中进行。

4、根据权利要求3所述方法，其特征在于还包括在蚀刻步骤后，在含有氯气及氧气的气氛中蚀刻所述氮化硅膜。

5、根据权利要求1所述方法，其特征在于所述蚀刻步骤期间发射波长为 $580\pm 10\text{nm}$ 的光强度低于某一特定值时停止蚀刻。

6、根据权利要求1所述方法，其特征在于所述蚀刻步骤为用于形成元件隔离区步骤中的一个。

7、根据权利要求1所述方法，其特征在于所述蚀刻步骤为用于形成由所述氮化硅膜构成的侧壁膜的步骤中的一个。

说明书

从氧化硅膜选择蚀刻氮化硅膜的方法

本发明涉及从氧化硅膜蚀刻氮化硅膜的方法，更具体地，一种相对于氧化硅高选择性地蚀刻氮化硅膜的方法。

在半导体器件的传统制造工艺中，为了各种目的需要对带有氧化硅膜的基片上的氮化硅进行干刻蚀（此后简称为“蚀刻”），如形成由氧化硅构成的元件隔离区或在自校准接孔的侧壁膜上形成蚀刻阻挡层。

一种用于蚀刻氮化硅的传统技术是通过蚀刻直接形成由氧化硅膜构成的元件隔离区。图1A到1C为用于连续示出第一传统工艺的半导体器件截面示意图。在硅基片12上连续形成氧化硅膜14及氮化硅膜16后，通过应用光刻技术形成光刻胶掩膜18并用光刻技术对其进行图形加工，如图1A中所示。

接着，用平行板RIE（反应离子蚀刻）技术对氮化硅膜16进行选择蚀刻。在此阶段，如图1B中所示，氧化硅膜14通常与氮化硅膜16一起被蚀刻。然后，去除光刻胶掩膜18，接着进行硅基片12的热氧化及去除氮化硅膜16和氧化硅膜14，在如图1C中所示的硅基片上形成由氧化硅构成的元件隔离区20。

用于蚀刻氮化硅膜的第二种传统工艺是直接在自校准接孔的侧壁膜上形成蚀刻阻挡层。图2A到2C为用于显示第二传统工艺连续步骤的半导体器件的截面示意图。在连续形成第一氧化硅22、多晶硅膜24、硅基片12上的第一氮化硅膜26后，通过用光刻胶在其上形成光刻胶掩膜用光刻技术对其加工图形，如图2A中所示。然后在不会腐蚀第一氧化硅膜22的气氛下通过使用光刻胶掩膜28的平行板RIE对第一氮化硅膜26进行选择蚀刻，以获得图2B所示的结构。

接着，去除光刻胶掩膜28，随后连接形成第二氧化硅膜及氮化硅膜。蚀刻第二氮化硅膜以形成侧壁膜32，其作为蚀刻阻挡层。在此步

骤，如图2C中所示，第一和二氧化硅膜22及30经常与氮化硅膜32一起被蚀刻。多晶硅膜24用作栅电极。此后，在基上形成具有接孔的绝缘（图中未示出）

例如，用于蚀刻氮化硅膜16的蚀刻气体为以碳氟化合物为基础的气体，如 CF_4 气， $\text{CF}_4 / \text{CH}_3$ 混合气， CH_3 / O_2 混合气， CF_4 / O_2 混合气， $\text{SF}_6 / \text{CHF}_3$ 混合气（见日本专利JP-A-05(1993)-251339）， CF_4 / H_2 混合气（见日本专利JP-A-56(1981)-122129），或 CF_4 / N_2 混合气（见日本专利JP-A-01(1989-214025)）。

在传统技术中，在蚀刻氮化硅膜的步骤中，如果掩膜图形与通过蚀刻所形成的掩膜图形的尺寸差别超过一允许的水平，就会生产一个问题，即氮化硅膜相对于氧化硅膜的选择比就无法被保持在一足够的水平，因为选择比维持在大约1到3的低水平。

在第一传统技术中的低选择比导致对氧化硅膜的慢刻由此会露出硅表面的部分，如果位于氮化硅下面的氧化膜的厚度为10nm或更小。硅基片露出的表面通常会被蚀刻损坏，结果导致较低的耐压及相邻元件区间的漏电流。

在如图3所示的第二传统技术中，其详细示出了图2C中的部分。元件隔离区20与侧壁膜32间的硅表面12露出的部分被破坏。这是因为在对第二氮化硅蚀刻形成侧壁膜32时也会刻到第一和二氧化硅膜22和30从而使硅表面的部分露出。在图3中，被损坏的区域用标记“×”表示。另外，对第二氮化硅膜32的蚀刻也会蚀刻到元件隔区20下面的硅基片的区域35A及其周围，这样如果在其上形成接孔就会在相邻元件区20间产生低耐压。

JP-A-2(1994)-66943及JP-A-6(1994)-1891190揭示了一种改进的蚀刻技术，其中在氮化硅膜与氧化硅膜间可获得高的选择性。该技术分别使用 CLF_3 气及 $\text{NF}_3 / \text{Cl}_2$ 的混合气体。然而，这些技术包含在蚀刻中产生的氟的原子团，其会产生在与硅表面平行方向上的平行蚀刻。这将导致很难准确控制通过蚀刻所获得的尺寸，这妨碍了用于获得精细图形器件的蚀刻技术。JP-A-5-198538同样提出了一种使用 $\text{NF}_3 / \text{Cl}_2$ 混合气体的蚀刻技术，然而，并非很有效，这是因为在其中获得了氮化硅膜相对于氧化硅

膜的选择比仍处于最大在约为4的水平。

因此本发明的一个目的是提供一种对带有氧化硅膜的基片上形成的氮化硅膜在高选择比及优良尺寸精度情况下进行蚀刻的方法。

本发明所提供的形成半导体器件的方法包含如步骤：连续形成覆盖半导体基片的氧化硅膜及氮化硅膜，从所述氧化硅膜选择蚀刻所述氮化硅膜同时向半导体基处提供具有第一频率的第一RF（射频）功率源及具有第二频率的第二RF功率源。

根据本发明的方法，可获得相对于氧化硅膜及氮化硅膜的高的选择比。

通过下面参考相应附图的描述会对本发明的以上及其它目的、特征及优点有更清楚的了解。

图1A到1C为用于连续示出第一传统技术工艺的半导体器件的截面示意图；

图2A到2C为用于连续示出第二传统技术工艺的半导体器件的截面示意图；

图3为图2C中所示部分的详细截面示意图；

图4为应用本发明的方法的蚀刻系统的方框图；

图5为依据基片顶面上的功率密度（ W/cm^2 ）而画出的氮化硅膜及氧化硅膜的蚀刻速率；

图6为依据基片底面上的功率密度（ W/cm^2 ）而画出的氮化硅膜及氧化硅膜的蚀刻速率；

图7A到7C为用于连续示出本发明第一实施例的工艺半导体器件的截面示意图；

图8A到8C为用于连续示出本发明第二实施例的工艺半导体器件的截面示意图；

图9A到9C为用于连续示出本发明第三实施例的工艺半导体器件的截面示意图。

下面参考相应附图对本发明作具体描述。

第一实施例

参考图4，使用本发明方法的用36表示的蚀刻系统包括：腔室37，一

对在腔室中彼此相对的顶部电极38A及底部电极38B，及第一和第二高（射）频功率源（指RF功率源）42A及42B。第一RF功率源42A的一个电极通过第一匹配电路40A与顶部电极38A相连，而第二RF功率源的其中一个电极通过第二匹配电路40B与底部电极38B相连。RF功率源42A及42B的每一个的另一端接地。

从第一RF功率源42A提供的第一RF功率源的频率在13.56MHz到60MHz之间，而从第二RF功率源42B提供的第二RF功率的频率位于0.8MHz到13.56MHz之间。

蚀刻系统36还包括一监控系统46，用于监控蚀刻操作的结束，其包括用于探测在蚀刻期间发射的波长为 $580 \pm 10\text{nm}$ 的光探测器46A，及一控制器46B，用于接收来自光探测器46A的输出，当具有特定波长的光的强度减少到一特定值时，用于传送表示蚀刻终止的结束信号。氧化硅膜的蚀刻通常发射580nm波长的光，其在蚀刻期间由监控系统监控。

蚀刻系统36还包括静电支撑件44，用于在底部电极38B的上表面上支撑硅基片43，用于从顶部向腔室37提供蚀刻气体的供气系统及设置在腔室37的底侧上与腔室37的出口61相连的用于排出蚀刻气体的排气系统。

图5为当基片43的顶面上的功率密度变化时的氮化硅膜及氧化硅膜的蚀刻速率。更具体地，该图是通过改变来自与底部电极38B相连的第二RF功率源42B的输出而获得的，同时在蚀刻一侧具有氮化硅膜及氧化硅膜的基片43被放置在底部电极38B上从而基片43的蚀刻一侧直接向上。在此实例中，氧化硅膜的由 SiO_2 构成，而蚀刻气为氯气。当基片43顶面上的功率密度逐级从0变到 $0.56\text{W}/\text{cm}^2$ 时，氮化硅膜的蚀刻速度也随功率密度成比例上升，而氧化硅膜的蚀刻速率基本不变并处于0到 $0.35\text{W}/\text{cm}^2$ 的范围内。其结果，必须明确通过将基片顶面处的功率密度设定为较高范围，例如0.2到 $0.35\text{W}/\text{cm}^2$ ，氮化硅膜相对于氧化硅膜可以10倍或更大的选择比率进行蚀刻。

图6示出在基片43的顶面处的功率密度被设定到 $0.28\text{W}/\text{cm}^2$ 时而顶电极底面处功率密度从0.5逐级变到 $3.39\text{W}/\text{cm}^2$ 时的图形。当顶部电极的底面处的功率密度上升到高于 $1.13\text{W}/\text{cm}^2$ 时氮化硅膜的蚀刻速率基本不变，而氧化硅膜的蚀刻速率快速上升，从而获得10倍或更大的选择比。

因此，根据图5及图6可以确信，通过在氯气气氛下将顶部电极底面处及基片43底面处的功率密度控制在一特定范围内，就可获得氮化硅膜相对于氧化硅膜的10倍或更大的选择比。

根据上述结果，第一实施例的方法采用图7A到7C所示工艺。图7A的结构类似于图1A的结构。在本实施例中，在硅基片12上连续形成10nm厚度氮化硅膜14及120nm厚的氮化硅膜16之后，通过应用光刻胶在其上形成光刻胶膜18及随后的光刻步骤，可获得图7A中所示的结构。

接着在如下的条件下通过用图5的蚀刻系统36蚀刻氮化硅膜16：

- (1) 蚀刻气体： Cl_2 气，
- (2) Cl_2 气流速：50到150sccm
- (3) Cl_2 气压力：5到15mTorr
- (4) 顶部电极底面的功率密度：在1.13到3.39W/cm²的范围内，
- (5) 基片顶面处的功率密度：在0.20到0.35W/cm²的范围内。

顶部电极底面及基片顶面的功率密度被控制在上述范围内以在高选择比下蚀刻氮化硅膜16，例如，相对于氧化硅膜选择比为10或更大。在蚀刻期间，监控系统46监控580nm波长光的强度。当光的强度减少到低于特定值时，显示蚀刻结束并完成蚀刻。图7B示出如此获得的基片或晶片。光刻胶掩膜图形与形成在氮化硅膜上的所获图形间的尺寸差别例如为0.03 μm 或更小。也即，可获得很好的尺寸精度。

此后，去除光刻胶膜18，接着进行热氧化及去除氮化硅膜16及氧化硅膜14，由此获得图7C中所示的元件隔离区48。

在本实施例中，以相对于氧化硅膜14的高选择比蚀刻氮化硅膜16。相应地，由于氧化硅膜14基本未被蚀刻，如图7B中所示，硅表面未露出而不会损坏。因此，基本不会降低耐压且在元件隔离区间无漏电流。

第二实施例

参考图8A到8C，本发明第二实施例工艺包括如下步骤：在硅基片12上连续形成8nm厚第一氧化硅膜22、200nm厚多晶硅膜24及100nm厚第一氮化硅膜26。通过用光刻胶在其上形成光刻胶膜28并用光刻技术进行加工，获得图8A中所示结构。然后，蚀刻第一氮化硅膜26及多晶硅膜24以获得图8B中的基片。

然后在整个表面上连续形成20nm厚第二氧化硅膜30及60nm厚第二氮化硅膜32，接着在下述条件下用蚀刻系统36对第二氮化硅膜32蚀刻：

- (1) 蚀刻气： Cl_2 气，
- (2) Cl_2 气流速：50到150sccm，
- (3) Cl_2 气压力：5到15mTorr，
- (4) 顶部电极底面上的功率密度：在1.13到3.39W/cm²的范围，以及
- (5) 基片顶面上的功率密度：在0.20到0.35W/cm²的范围。

顶部电极底面及基片顶面上的功率密度被设在上述范围内，相对于第二氮化硅膜30以10或更大的选择比蚀刻第二氮化硅膜32。与第一实施例类似，用监控系统46监控蚀刻的结束。在蚀刻第二氮化硅膜32期间，其监控580nm波长光的强度。当光强变得低于某一特定值时，表示蚀刻结束并完成蚀刻。图8C示出本实施例获得的基片，第二氧化硅膜30侧壁上的侧壁膜34由第二氮化硅膜32构成。

在本实施例中，相对于第二氧化硅膜30以高选择比蚀刻第二氮化硅膜32。相应的如图8C中所示，由于第一和第二氧化硅膜22及30基本未被蚀刻，硅表面不会暴露而被损坏，由此防止蚀刻到元件隔离区周围。因此，基本无由于硅表面晶体缺陷造成的漏电流。

第三实施例

参考图9A到9C，本发明第三实施例工艺除了图9C中步骤外与第二实施例类似。更具体地，在本实施例中与第二实施例类似，通过蚀刻形成图9B中结构。此后，进行第二次蚀刻并在下述条件下获得图9C中结构：

- (1) 蚀刻气： Cl_2 及 O_2 气混合气体，
- (2) Cl_2 气流速：50到150sccm，
- (3) O_2 气流速： Cl_2 气流速的10%，
- (4) Cl_2 气及 O_2 气压力：5到15mTorr，
- (5) 顶部电极底面上的功率密度：在1.13到3.39W/cm²的范围内，以及
- (6) 基片顶面上的功率密度：在0.20到0.35W/cm²的范围内。

顶部电极底面及基片顶面上的功率密度被设在上述范围并以相对于

第二氧化硅膜30的高选择比（如10或更大）蚀刻第二氮化硅膜32。与第一及第二实施例类似，监控系统46在蚀刻期间监控580nm波长光的强度。当光强降低于某一值时，判定蚀刻结束并完成蚀刻。第二氧化硅膜30侧壁上的侧壁膜50由第二氮化硅膜32构成。

在本实施例中，在第二次蚀刻期间，用含 O_2 及 Cl_2 气的混合气体蚀刻第二氮化硅膜32。混合气体气氛下的蚀刻表现出来的氮化硅膜相对于氧化硅膜的选择比大于第一蚀刻。相应地，与第二实施例相比，更能确保留下氧化硅膜30，并在无残余氮化硅膜32的情况下形成侧壁膜50。

由于上述实施例仅是以实例进行描述，本发明并不限于上述实施例，对本领域技术人员而方所作的各种修改及变化都不脱离本发明的范围。

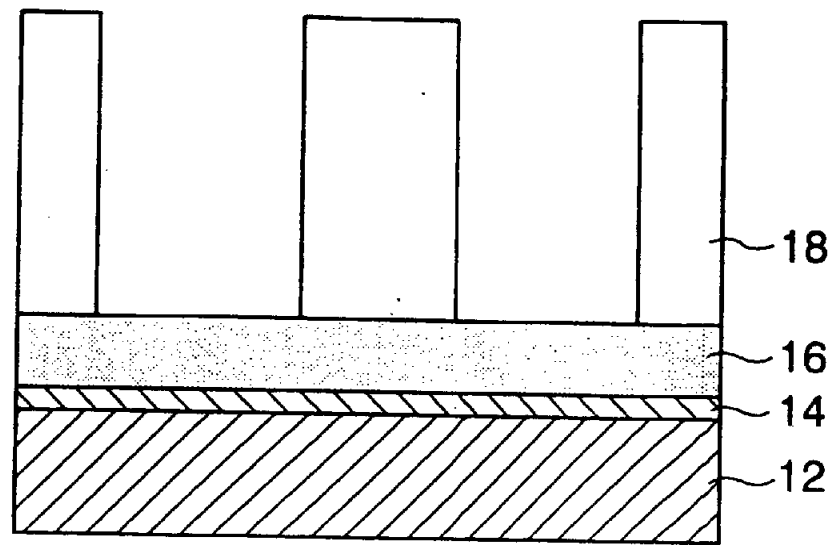


图 1A

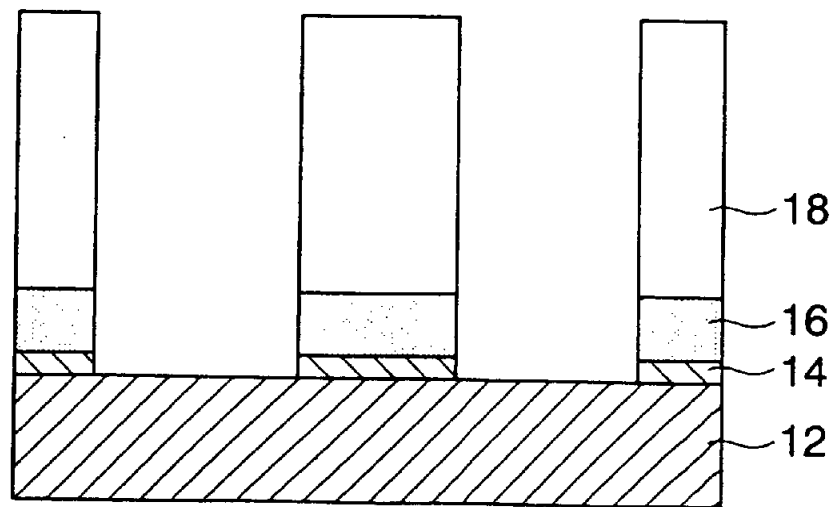


图 1B

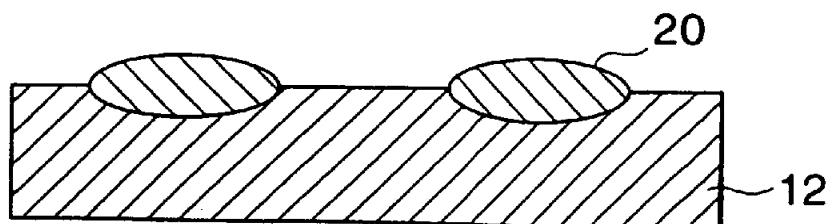


图 1C

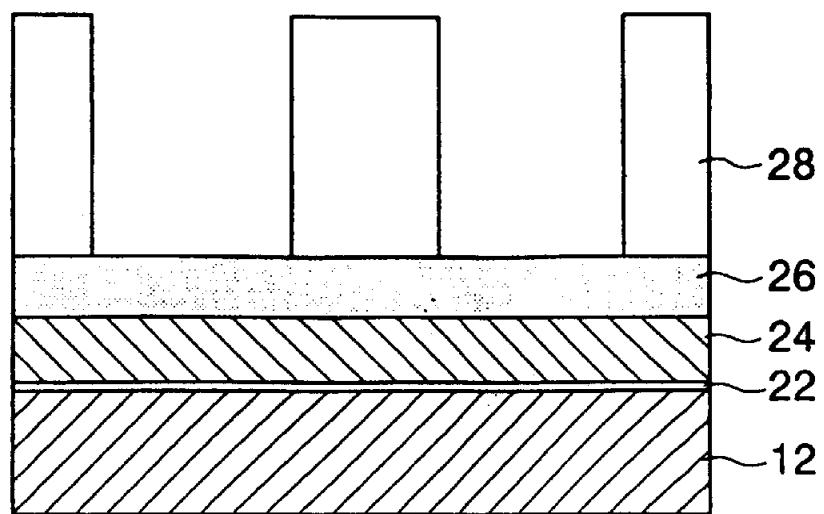


图 2A

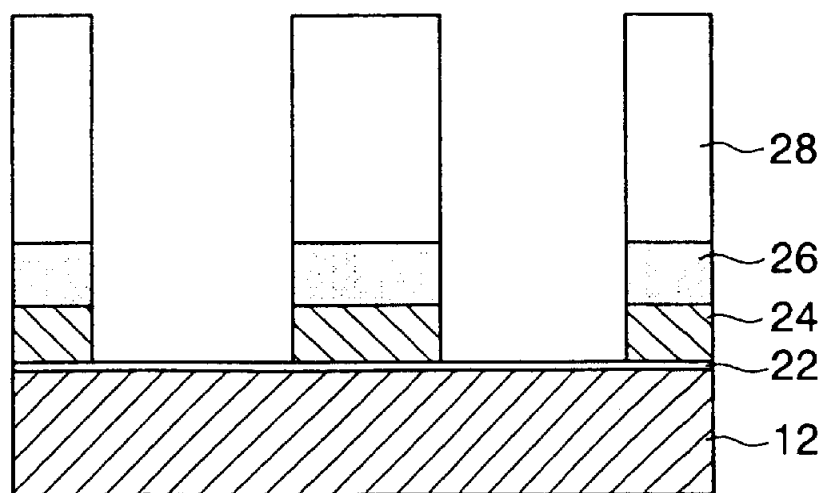


图 2B

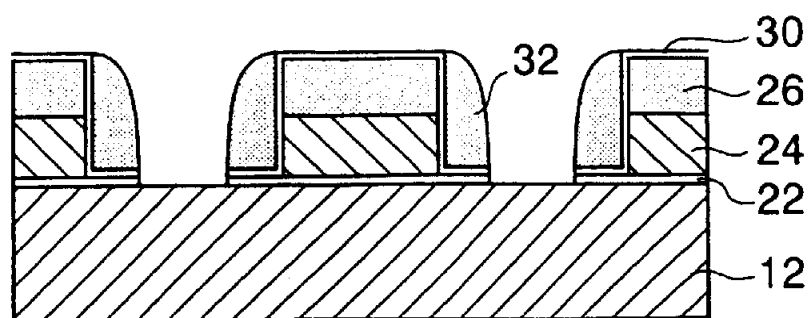


图 2C

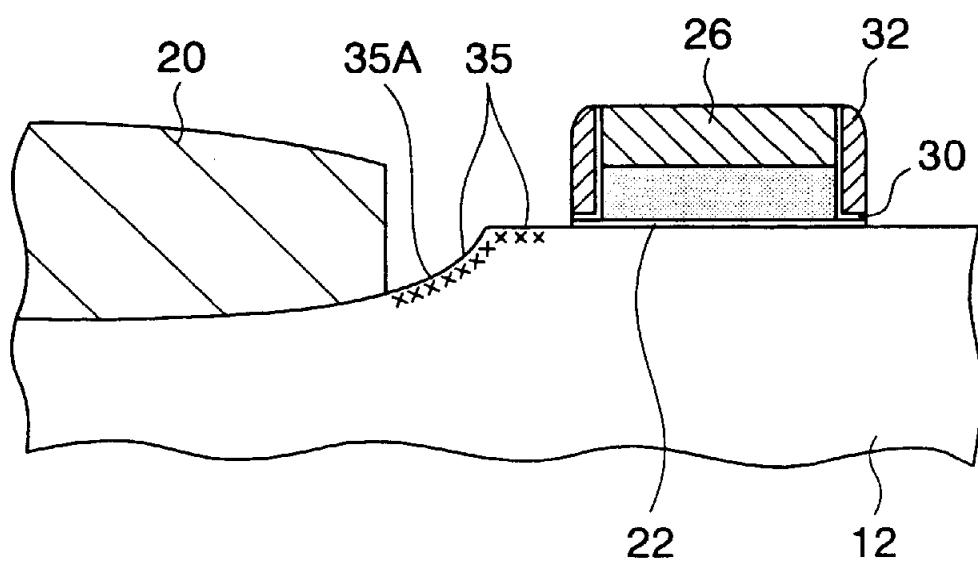


图 3

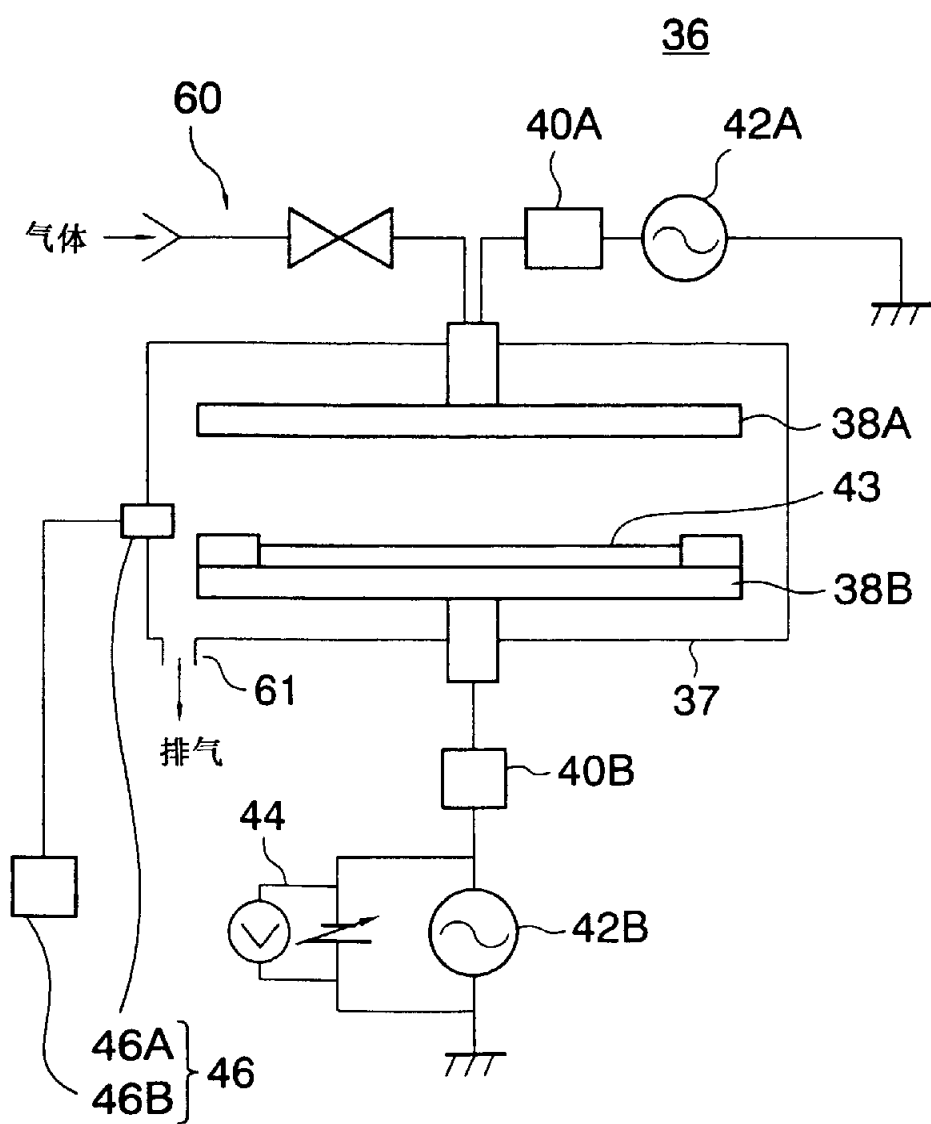


图 4

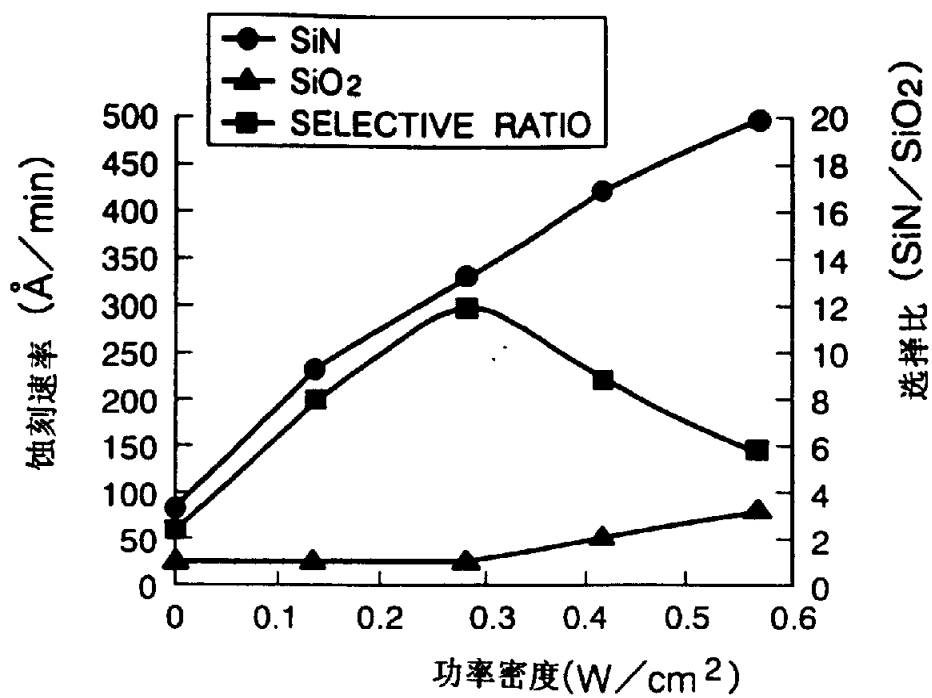


图 5

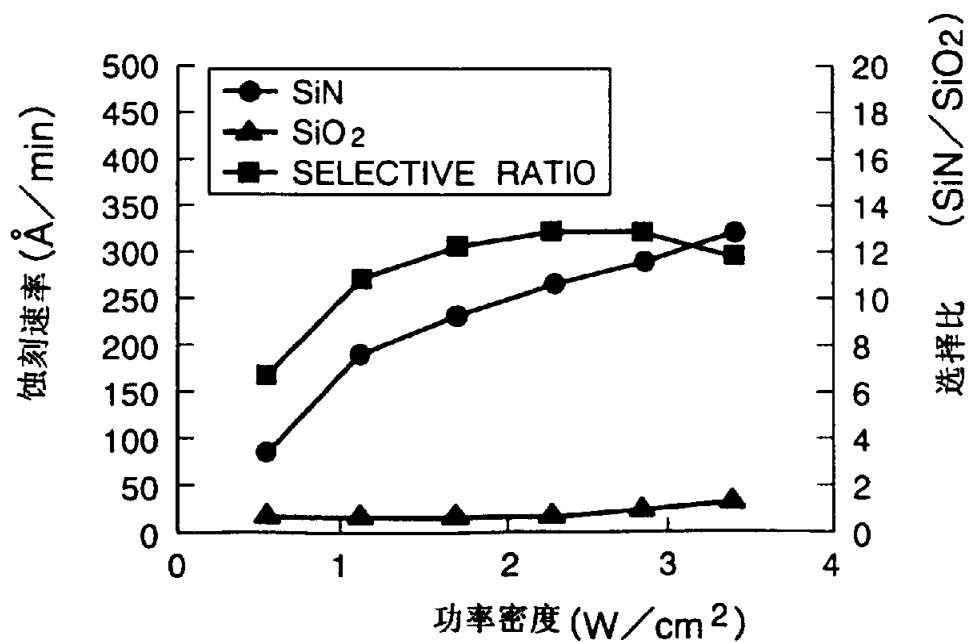


图 6

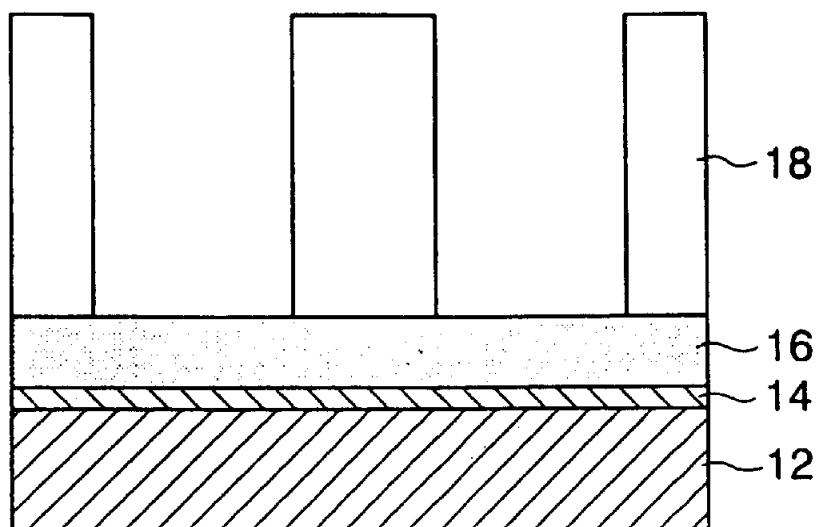


图 7A

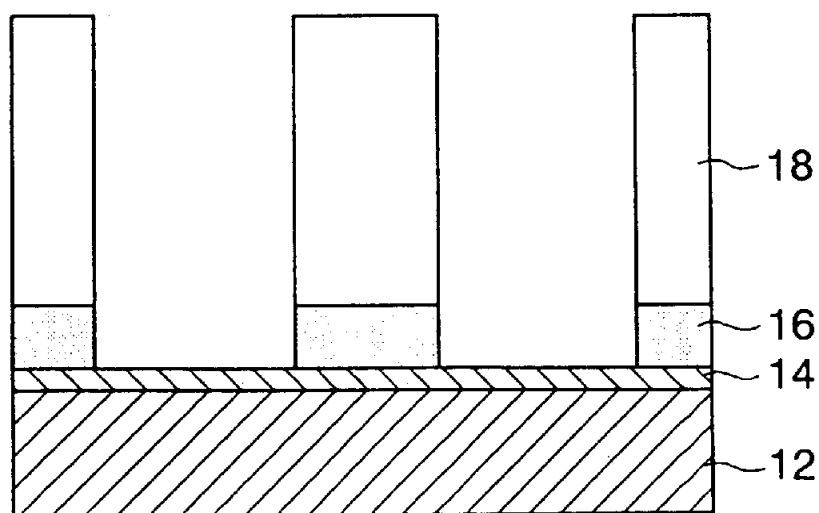


图 7B

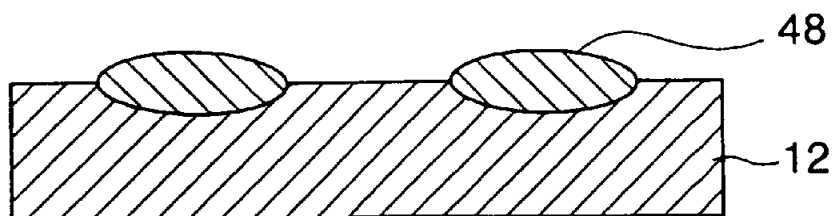


图 7C

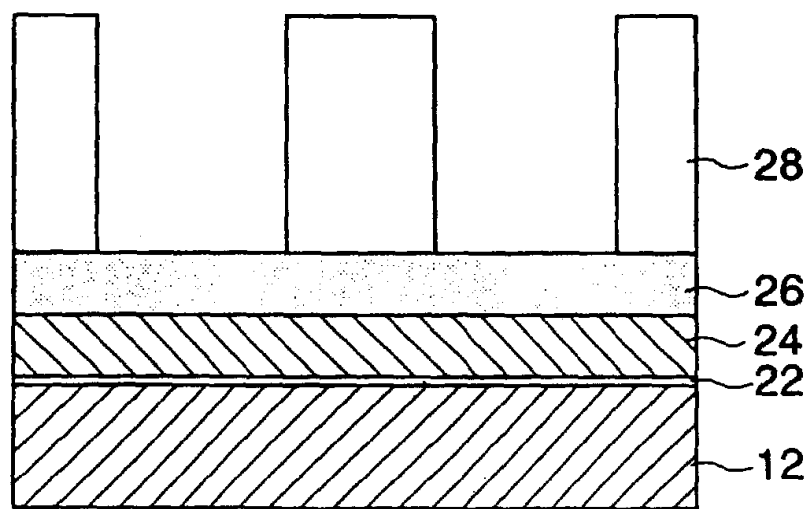


图 8A

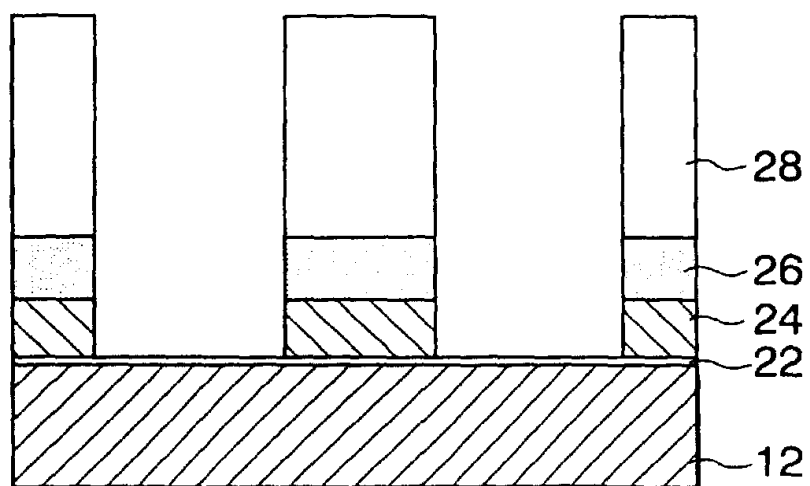


图 8B

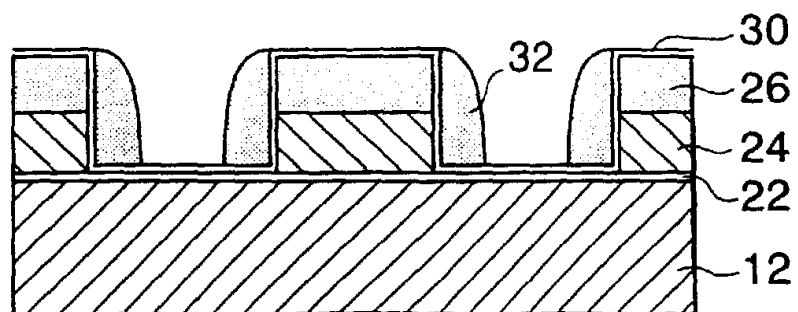


图 8C

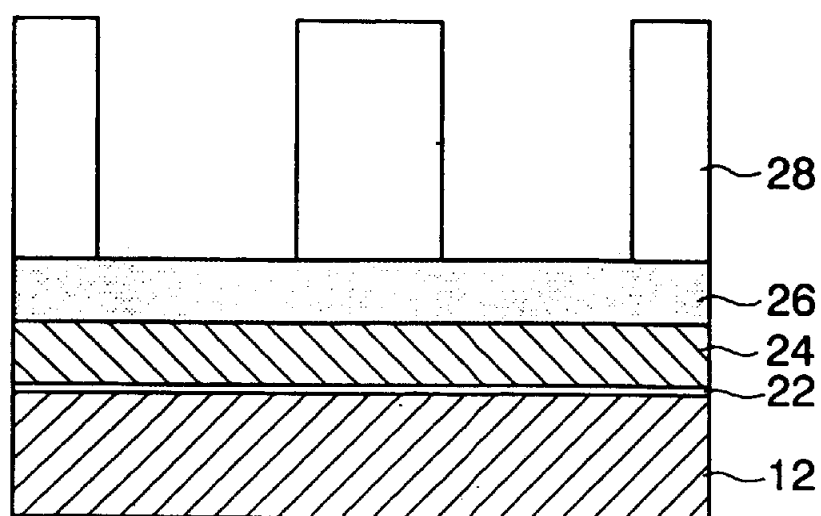


图 9A

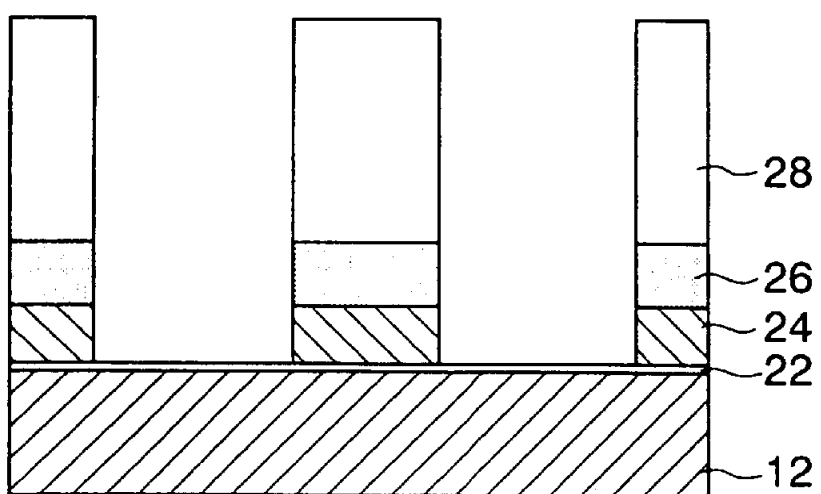


图 9B

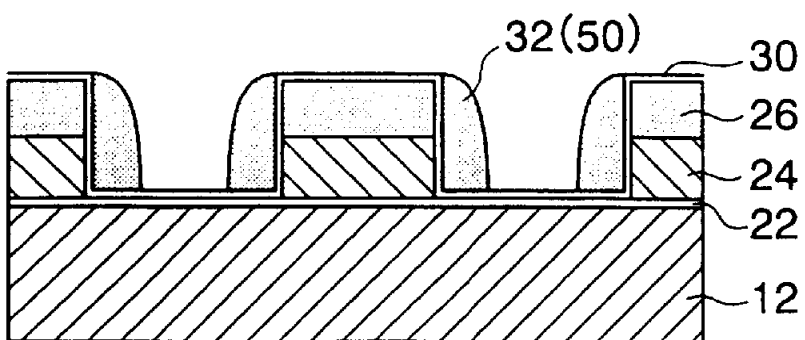


图 9C